

**PLAN DE COURS**  
Cours ELE6305A, hiver 2009

**Cours**

Titre: Conception des Circuits Électroniques Intégrés

Crédits: 3

Préalable: ELE4304 ou l'équivalent

Heures par semaine:(3-1.5-4.5)

**Professeur**

Nom: Yvon Savaria

Local: M-5404

Disponibilité: sur rendez-vous

Téléphone: 340 4711 ext. 4737

---

**Format du cours**

Ce cours approfondit les notions de conception de circuits électroniques intégrés. Son contenu suppose que les notions de base telles qu'enseignées au ELE4304 de l'École sont déjà connues. Il peut être séparé en deux parties distinctes. Premièrement, le projet qui consiste à concevoir un circuit intégré VLSI digital en technologie CMOS et deuxièmement le cours lui même, où seront abordés une série de sujets pertinents pour un concepteur. Au besoin, des périodes de temps seront réservées à l'intérieur des cours pour discuter de l'évolution des projets.

**Buts du cours**

i) Travaux pratiques

Ce cours vise avant tout à donner aux étudiants une *expérience pratique* en conception de circuits intégrés. La seule bonne façon d'atteindre cet objectif est de *participer à la réalisation d'un circuit de complexité VLSI*. Un effort particulier est mis sur la sélection de problèmes réalistes où la réalisation d'un circuit intégré est justifiable. Compte tenu de la complexité et des contraintes de temps, chaque projet doit être le fruit d'un travail d'équipe. Les contraintes de temps, associées dans le cas présent à la structure d'un trimestre académique, sont néanmoins bien réelles dans un environnement industriel, où il y a toujours un échéancier, un budget et des ressources limitées. Nous tentons aussi de reproduire les contraintes pratiques associées au fait que la réalisation d'un circuit VLSI est presque toujours associée à un projet nécessitant le concours d'une équipe.

ii) Partie théorique

Le but visé n'est évidemment pas de former des experts dans chacun des domaines discutés, mais plutôt de donner une vue globale de façon à vous permettre d'utiliser la technologie des circuits intégrés de manière éclairée.

## Objectifs généraux d'apprentissage

À la fin de ce cours, l'étudiant pourra:

- partitionner la solution à un problème en blocs fonctionnels en vue de réaliser un circuit intégré dédié à l'application;
- concevoir l'architecture d'un circuit dédié à une application en exploitant des outils modernes de conception par synthèse
- effectuer la conception détaillée et la vérification de modules d'un circuit VLSI.

De plus, il connaîtra:

- la micro-architecture de microprocesseurs existants;
- les principes d'accélération de calcul et de conception de processeurs spécialisés ;
- les méthodes utilisées dans la conception de microprocesseurs de haute performance ;
- les principes de vérification et les grandes méthodes associées ;
- les principales techniques de synchronisation;
- les différentes classes des circuits asynchrones;
- les architectures systoliques et les méthodes de transformation associées ;
- l'impact de ces concepts sur la conception des systèmes sur une puce.

## Modes d'évaluation:

Projet	70%
Spécification	10%
Rapport intermédiaire	10%
Rapport de vérification	10%
Journal de bord	10%
Rapport final d'équipe	20%
Évaluation du code	5%
Présentation	5%
Examen final (22 avril)	<u>30%</u>
Total	100%

## Première étape : Spécification textuelle

Écrire la spécification textuelle en utilisant le format donné dans le matériel pédagogique soit :

- Introduction
- Résumé
- Objectifs et contraintes du design
- Définition des termes
- Références
- Aperçu de l'architecture du circuit (et sous-éléments dont la description des blocs du système et

des communications entre les blocs)  
 Indiquer et justifier sections pertinentes des documents fournis  
 Décider du rôle de chacun des membres du groupe

- Diviser le groupe en équipes de deux
- Assigner les tâches aux équipes pour les étapes suivantes selon un découpage par modules

Échéancier: mercredi 21 janvier

### **Deuxième étape : Spécification exécutable, plan de test et rapport intermédiaire**

Écrire une spécification exécutable en SystemC (fournir code par courriel)  
 Décrire ce modèle dans un rapport intermédiaire  
 Décrire méthode de vérification, esquisse du programme de test et plan de vérification détaillé dans un rapport intermédiaire

Échéancier: mercredi 11 février

### **Troisième étape : Conception RTL et banc d'essai**

Concevoir le code RTL commenté (fournir code par courriel)  
 Concevoir le code du banc de test commenté (fournir code par courriel)  
 Concevoir le code du banc de test synthétisable commenté (fournir code par courriel)  
 Écrire le rapport de vérification

Échéancier: mercredi 18 mars

### **Quatrième étape : Synthèse et prototypage**

Effectuer la synthèse FPGA du banc de test synthétisable (contenant le design)  
 Effectuer la vérification sur FPGA  
 Écrire le rapport final :
 

- Rapport de synthèse FPGA
- Document d'utilisation du banc d'essai synthétisable et du prototype
- Rapport de vérification sur FPGA (incluant testcases, injection de fautes et analyse des résultats)

Échéancier: 15 avril

### **Journal de bord**

Ordres du jour des réunions  
 Compte rendu des réunions

Échéancier: 15 avril

Les présentations qui auront lieu le 8 avril porteront sur la contribution personnelle de chaque membre au projet.

### Plan de cours et références:

- 0) Plan de cours; Travail en équipe (1 heure); Présentation de projets potentiels et démarrage des équipes (2 heures)
- R. Prigent, Méthodologie des projets d'ingénierie et travail en équipe, Presses Internationales Polytechnique, document 5201, 1998, (chap.8 et 9)
- 1) Accélération des calculs et conception de processeurs embarqués (6 heures)
- Beucher N., Bélanger N., Savaria Y., et Bois G., A Methodology to Evaluate the Energy Efficiency of Application Specific Processors, ICECS'2007 Marrakech, Décembre 2007
  - MBAYE, M.M., LEBEL, D., BÉLANGER, N., SAVARIA, Y., SAMUEL, P., «Novel Application-Specific Instruction-Set Processor Design Approach for Video Processing Acceleration», Journal of VLSI Signal Processing Systems, juin 2007, vol. 47, no 3, pp. 297-315.
  - BEUCHER, N., BÉLANGER, N., SAVARIA, Y., BOIS, G., «Motion Compensated Frame Rate Conversion Using a Specialized Instruction Set Processor», Workshop on Signal Processing Systems Design and Implementation, Banff, Canada, 2-4 octobre 2006, pp.130-135.
  - MBAYE, M.M., LEBEL, D., BÉLANGER, N., SAVARIA, Y., PIERRE, S., «Design Exploration with Application-Specific Instruction-Set Processor for ELA Deinterlacing», ISCAS 2006, Island of Kos, Grèce, 21-24 mai 2006, pp. 4607-4610.
  - Y.Savaria, G. Bois, P. Popovic, and A.Wayne, Computational acceleration methodologies : advantages of reconfigurable acceleration subsystems, SPIE's Photonics East, Boston, novembre 1996, vol. 2914, pp. 195-207.
- 2) Vérification fonctionnelle des systèmes intégrés (9 heures)
- Vérification fonctionnelle des systèmes intégrés, spécification et méthodes de vérification, Serge Cadudal, Sébastien Régimbald
  - System on a chip verification, Methodology and techniques, P. Rashinkar, P. Paterson, and L. Singh, Kluwer 2001.
  - Principles of Verifiable RTL Design, Second Edition, L. Bening, H. Foster, Kluwer 2001.
  - Assertion-based Design, Foster, Krolnik, Lacy, Springer 2004.
  - Writing Testbenches, Functional Verification of HDL Models, 2nd ed., Bergeron J., Kluwer, 2003.
- 3) Architecture microprogrammée, séquençement et machine OM2, architecture modernes, SOC (7 heures)
- L.A. Glasser, and D.W. Dobberpuhl, The design and analysis of VLSI circuits, Addison-Wesley 1985.
  - Mead, and Conway, "Introduction to VLSI Systems", Addison Wesley, 1980  
(version française chez Inter Éditions 1983)
  - J. Mick, and J. Brick, Bit-slice microprocessor design, McGraw-Hill 1980
  - D. Tabak, Advanced Microprocessors, McGraw Hill 1995.
  - N. Weste and K. Eshraghian, Principles of CMOS VLSI Design, 1993 (chap.8 et 9)
  - A. Chandrakasan, W.J. Bowhill et F. Fox, Design of High-Performance Microprocessor Circuits, IEEE Press, 2001.
  - Microprocessor Architecture & Compiler Technology, Special Issue, November 2001.
  - J. Henkel, S. Parameswaram ed. Designing Embedded Processors, A Low-Power Perspective, Springer 2007
  - Articles récents sur les structures de processeurs.
- 4) Synthèse sur les principes généraux de conception d'un circuit intégré de haute performance et distribution d'horloges (5 heures)
- F. Anceau, The architecture of microprocessors, Addison Wesley 1986
  - N. Weste and D. Harris, CMOS VLSI Design, Addison Wesley 2005
  - A. Chandrakasan, W.J. Bowhill et F. Fox, Design of High-Performance Microprocessor Circuits, IEEE Press, 2001, (Chap. 11,12 et 13).
  - E.G. Friedman, Clock Distribution Networks in Synchronous Digital Integrated Circuits, PROCEEDINGS OF THE IEEE, VOL. 89, NO. 5, MAY 2001 665-692.
  - J. Yuan and C. Svensson High-Speed CMOS Circuit Technique, IEEE JOURNAL OF SOLID-STATE CIRCUITS,

VOL. 24, NO 1, FEBRUARY 1989 p.62-70.

-W. Ling, Y. Savaria, Analysis of Wave-Pipelined Domino Logic Circuit and Clocking Styles Subject to Parametric Variations, ISQED'2005

5) Réduction de l'échelle et limites technologiques (2 heures)

6) Circuits asynchrones (4 heures)

-Mead et Conway ...

-Glasser et Dobberpuhl ...

-A. Chandrakasan, W.J. Bowhill et F. Fox, Design of High-Performance Microprocessor Circuits, IEEE Press, 2001 (chap.9).

7) Architectures systoliques et pipelinage (3 heures)

-Mead et Conway ...

-Glasser et Dobberpuhl

Yvon Savaria