

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

GROUPE DE RECHERCHE EN

MICROÉLECTRONIQUE

RAPPORT ANNUEL 1995-1996

TABLE DES MATIÈRES

REMERCIEMENTS

INTRODUCTION

COLLABORATIONS EN 95 - 96

OBJECTIFS DU GROUPE

COMPOSITION DU GROUPE

Liste des membres réguliers

Liste des membres associés

Liste d'autres professionnels et chercheurs

PROGRAMME DE RECHERCHE EN VLSI

Domaines

Activités des membres réguliers

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Titres des projets et diplômes en cours de chaque étudiant

Description détaillée des projets d'étudiants

SUBVENTIONS ET CONTRATS

Subventions, contrats et conventions de recherche individuelles

Subventions, contrats et conventions de recherche de groupe

Autres contrats et subventions de recherche

Équipement prêté par la SCM (CMC)

Équipement appartenant au groupe

Logiciels

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés pour publication

Articles de revues publiés de septembre 1995 à août 1996

Articles de revues publiés de septembre 1994 à août 1995

Articles de conférences publiés de septembre 1995 à août 1996

Articles de conférences publiés de septembre 1994 à août 1995

Séminaires et autres conférences avec comité de lecture

Rapports techniques

INDEX DES AUTEURS

REMERCIEMENTS

Nous désirons remercier tous les membres du GRM (Groupe de Recherche en Microélectronique) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à madame Ghyslaine Carrier pour son excellent travail de secrétariat afin de produire ce rapport. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche pour sa préparation et sa diffusion.

INTRODUCTION

Le Groupe de Recherche en Microélectronique (GRM) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 1995-1996, 81 étudiants inscrits à la maîtrise ou au doctorat et une dizaine de postdoc, professionnels et techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GRM. Les membres du groupe ont connu des succès importants aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) et auprès du Fonds pour la formation de Chercheurs et l'Aide à la Recherche du Québec (FCAR), ainsi qu'au programme de prêt d'équipement de la Société Canadienne de Microélectronique. Ils participent aussi à trois projets réalisés dans le cadre de Micronet, le centre d'excellence en microélectronique et à un projet de IRIS dans le cadre du centre d'excellence en vision. Citons aussi les projets réalisés avec des partenaires industriels, BNR/NT,NHC Communications, MIROTECH et AMI, ainsi que ceux réalisés pour le Ministère de la Défense. Il est à noter finalement que la plupart des professeurs membres réguliers du GRM sont impliqués dans la réalisation d'un projet de grande envergure subventionné par le programme Synergie du gouvernement du Québec. Ce projet appelé PULSE implique trois partenaires industriels soient MIROTECH, GENESIS et MIRANDA. Le groupe tend vers un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 95-96

L'année 95-96 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GRM et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple, la collaboration entre le professeur Savaria et le professeur Audet de l'Université du Québec à Chicoutimi (Méthodes de conception de circuits tolérants aux défauts); la collaboration entre Savaria, Barwicz et Massicotte de l'Université du Québec à Trois-Rivières (Développement des circuits spécialisés et algorithmes pour réaliser des systèmes de mesures intégrés); Savaria et Thibeault de l'École de Technologie Supérieure (Méthode de restructuration laser); Savaria et Aboulhamid de l'Université de Montréal (Parallélisation de boucles et compilation de description synthétisable à partir de spécification en langage C); Savaria et Blaquière de l'Université du Québec à Montréal (Conception de réseaux de neurones et conception logiciel-logiciel); Raut et Sawan (circuits en mode courant), Davidson de l'UQAM et Sawan (processeurs spécialisés et FPDs), Bennis de l'ETS et Sawan (circuits de prédiction), Homsy de l'Université de Montréal et Sawan (systèmes ultrasoniques), Fortier de l'Université d'Ottawa et Sawan (stimulateur de Cortex), Van der Puije de l'Université de Carleton et Sawan (électrodes implantables), la collaboration entre les professeurs Poussart et Tremblay avec Savaria dans le cadre de IRIS (le centre d'excellence en vision robotique); les collaborations entre la professeure Kaminska et le professeur Rajski de McGill, le professeur Wagneur de Nantes, France; et avec T. Makino de Bell-Northern Research à Ottawa. De plus, R. Maciejko travaille sur la modélisation et la caractérisation des lasers à semi-conducteurs avec R. Leonelli, Université de Montréal, sur l'étude de la Photoluminescence de monostructures avec D. Morris, Université de Sherbrooke et de la Photoluminescence résolue en temps et échantillonnage électro optique. Notons la collaboration avec plusieurs membres du centre Poly-Grames notamment les professeurs Savaria, Laurin et Wu (interconnexions de circuits VLSI à très haute vitesse) Sawan et Bosisio (circuits mixtes VLSI et micro-ondes), Sawan et Ghannouchi (Applications des circuits DSPs en micro-ondes), notons aussi la collaboration avec le GRBB (Groupe de Recherche en Biomatériaux et Biomécanique), entre les professeurs Sawan et Yahia (Electrodes et Matériaux implantables).

OBJECTIFS DU GRM

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique a pour objectif général de «promouvoir et de regrouper les activités de recherche en Microélectronique à l'École Polytechnique de Montréal». Plus spécifiquement, le Groupe de Recherche en Microélectronique poursuit les objectifs suivants:

- Regrouper dans une entité visible et identifiée les chercheurs qui oeuvrent dans des secteurs reliés à la Microélectronique;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d'échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe;
- Assurer le bon fonctionnement des laboratoires du GRM;
- Faciliter l'accès à la technologie Microélectronique aux autres chercheurs de l'École susceptibles d'en profiter.

Ces objectifs n'ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique relève du directeur du département de génie électrique et de génie informatique et se compose des membres réguliers et membres associés suivants:

Liste des membres réguliers

Dr. Yvon Savaria: professeur titulaire au département de génie électrique et de génie informatique, directeur du Groupe de Recherche en Microélectronique, responsable administratif du laboratoire de

VLSI. Il s'intéresse à la méthodologie du design des circuits intégrés, aux problèmes de testabilité, à l'intégration ULSI et aux applications de ces technologies.

Dr. Guy Bois: professeur adjoint au département de génie électrique et de génie informatique, qui s'intéresse à l'aspect algorithmique de la conception de circuits intégrés, en particulier à la synthèse de très haut niveau et à la synthèse de masques.

Dr. Jean-Louis Houle: professeur titulaire au département de génie électrique et de génie informatique, qui s'intéresse aux applications du VLSI et aux architectures parallèles pour le traitement des signaux et des images.

Dr. Bozena Kaminska: professeure agrégée au département de génie électrique et de génie informatique, qui s'intéresse à la conception pour la testabilité, aux problèmes de testabilité, à la synthèse de haut niveau ainsi qu'aux interconnexions optiques.

M. Bernard Lanctôt: professeur titulaire au département de génie électrique et de génie informatique, qui s'intéresse aux méthodes de conception et au développement de logiciels de conception VLSI.

Dr. Romain Maciejko: professeur titulaire au département de génie physique, dont le domaine de recherche porte sur l'étude et la réalisation de dispositifs optoélectronique intégrés.

Dr. Mohamad Sawan: professeur agrégé au département de génie électrique et de génie informatique, qui s'intéresse à la synthèse, la conception et la réalisation de circuits mixtes (numériques-analogiques) et à leurs applications dans les domaines industriel et biomédical, spécifiquement, les stimulateurs et capteurs sensoriels.

Liste des membres associés

Dr. David Haccoun: professeur titulaire au département de génie électrique et de génie informatique, qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'impact de l'intégration en VLSI.

Dr. Michel Meunier: professeur titulaire au département de génie physique et directeur du Groupe de recherche en physique et technologie des Couches Minces (GCM). Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de laser dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration par laser pour la microélectronique.

Liste d'autres professionnels et chercheurs

De plus, les personnes suivantes collaborent ou ont collaboré aux travaux du groupe à divers titres:

M. Tahar Ali Yahia: associé de recherche.

M. Jean Bouchard: technicien du laboratoire VLSI.

M. Alain Champagne: auxiliaire de recherche.

M. Michele Goano: chercheur post-doctoral.

M. Qunshan Gu: associé de recherche.

M. Rachid Kermouche: associé de recherche.

M. Réjean Lepage: administrateur systèmes du projet PULSE.

M. Paul Marriott: chercheur.

M. Claude Villeneuve: associé de recherche.

Ces personnes forment le Groupe de Recherche en Microélectronique de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la Microélectronique.

PROGRAMME DE RECHERCHE EN VLSI

Domaines

Les programmes de recherche et de formation de chercheurs en VLSI de l'École Polytechnique recouvrent les sous-secteurs suivants: la technologie VLSI en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défauts;

les applications, surtout en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, en biomédical par la réalisation de micro stimulateurs implantables et dans la réalisation d'échantillonneurs rapides;

les logiciels de synthèse de conception et de test assistés par ordinateur;

les dispositifs électroniques et électro-optiques ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse par chaque membre de ses activités au sein du GRM.

Activités du professeur Savaria

Il conduit des recherches selon deux grands axes: l'élaboration de méthodes de conception et l'utilisation des technologies microélectronique à des applications spécifiques. Le premier axe englobe des travaux sur les méthodes de conception de circuits à haute vitesse, sur la cosynthèse et le codesign de systèmes électroniques et sur les techniques d'autotest et de tolérance aux pannes et aux défauts. Le second axe couvre des thèmes divers comme la conception d'un classificateur de haute performance, la conception d'organes de calcul pour un système de vision 3D, la réalisation d'échantillonneurs rapides et la mise en oeuvre de processeurs spécialisés. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception

Un premier thème est la conception de circuits de haute vitesse. Nous concentrons nos efforts sur les technologies CMOS et bipolaires au silicium. Nous élaborons des méthodes pour concevoir, modéliser et automatiser la conception de réseaux de distribution d'horloge et de circuits synchrones rapides. Nos travaux exploitent aussi les techniques de synchronisation à une phase (True Single Phase Clocking (TSPC)). De plus, nous utilisons les lignes à délai verrouillable (Delay locked loop (DLL)) pour produire des bases de temps ultra-rapides, nécessaires aux applications de haute performance. Enfin, nos travaux récents portent l'impact du placement et du routage sur le fonctionnement à haute vitesse et sur les méthodes de test adaptés pour ces circuits.

Un autre axe de recherche poursuivi est l'élaboration de méthodes pour concevoir des coprocesseurs dédiés à des applications intensives en calcul. De tels coprocesseurs peuvent être synthétisés puis chargés au besoin dans une batterie de réseaux logiques programmables afin de réaliser un amalgame performant, fruit d'un compromis matériel logiciel.

Nous travaillons aussi à l'élaboration de méthodes qui permettent de concevoir des circuits auto-testables. Nos recherches portent sur l'élimination des problèmes d'initialisation et de résistance au test pseudo-aléatoire des circuits séquentiels. Dans la même veine, nous élaborons des méthodes pour concevoir des circuits tolérants aux pannes.

Applications

Dans le cadre de cet axe plus appliqué, nous avons étudié les techniques de mise en oeuvre de réseaux de neurones artificiels et nous avons proposé une nouvelle règle d'apprentissage pour les réseaux ART qui est plus performante et plus facile à mettre en oeuvre. Ce type de réseau est envisagé pour la classification en temps réel des signaux radars.

Nous avons débuté des travaux sur la conception de modules d'un système de vision 3D qui exploite le principe de caméra à balayage autosynchronisé proposé au conseil national de recherche du Canada. Nos efforts se concentrent sur un problème de correction d'artefacts associés à des sauts de réflectance ainsi que sur la transformation en temps réel d'un système de coordonnées de mesure polaires vers un estimé de profondeur cartésien.

Nous exploitons les techniques de conception de circuits rapides afin de concevoir des circuits d'échantillonnage ultra-rapides. Nos efforts portent sur la conception d'échantillonneurs précis et de circuits d'interface applicables pour la mise en oeuvre de liens de communications rapides. Les circuits proposés peuvent s'appliquer au recouvrement d'horloges ultra rapides.

Nos travaux portent enfin sur l'étude d'architectures pour deux problèmes de traitement des signaux. La première cible des applications métrologiques pour la reconstruction des mesures. Le second porte sur les architectures adaptées pour le traitement vidéo.

Activités du professeur Bois

Le professeur Bois conduit des recherches dans le domaine de la Microélectronique, principalement dans la conception d'algorithmes pour la synthèse automatique de circuits intégrés. Ces recherches sont divisées en trois thèmes: 1. cosynthèse ou cocompilation logiciel/matériel; 2. la synthèse d'horloges rapides pour circuits VLSI et ULSI; 3. la synthèse de masques.

1. Codesign et cosynthèse logiciel/matériel

L'objectif premier de cette recherche est de proposer une approche pour accélérer la vitesse de calcul en traitement du signal (DSP) et de l'image. Considérant trop lent l'utilisation d'un processeur commercial (e.g. *Motorola, Texas Instrument, etc.*), jusqu'à tout récemment deux approches existaient pour accélérer: a) l'approche des circuits intégrés, très performante mais très dispendieuse en frais de développement pour des volumes modérés, b) l'approche multiprocesseur, beaucoup moins dispendieuse à cause de sa souplesse au niveau programmation mais beaucoup moins performante.

En assistant le processeur commercial d'un réseau de logique reconfigurable (FPGAs) jouant le rôle d'accélérateur, nous obtenons une troisième approche, qui est celle du système dédié reconfigurable de haute performance. Ce dernier offre un excellent compromis, c'est-à-dire la performance des circuits intégrés à coût abordable.

Le second objectif de cette recherche est de développer une méthode de partitionnement logiciel/matériel pour la synthèse de systèmes dédiés reconfigurables de haute performance. Ce partitionnement se fait à deux niveaux: le premier niveau concerne le partitionnement entre le processeur commercial et le réseau de logique reconfigurable, alors que le deuxième concerne uniquement le partitionnement du réseau de logique reconfigurable. Bien que nos travaux aient débuté depuis peu au premier niveau de partitionnement, au deuxième niveau nous travaillons au développement d'une librairie matérielle (par analogie à librairie logicielle pour DSP). Plus précisément, à chaque opération spécialisée (convolution, FFT, etc) exécutée sur le réseau de logique reconfigurable correspond une représentation binaire qui configure le(s) FPGA(s) afin d'exécuter la fonctionnalité requise.

Ces travaux dans le domaine du codesign et de la cosynthèse logiciel/matériel sont réalisés principalement en collaboration avec la société montréalaise Mirotech Microsystems.

2. Synthèse d'horloges rapides

Des travaux sur la synthèse d'horloges performantes se poursuivent. Ces travaux traitent de l'impact des variations du procédé de fabrication sur les systèmes intégrés synchrones de haute performance. Nous travaillons à un meilleur modèle des biais de synchronisation dans les circuits VLSI et ULSI de haute performance. Nous travaillons aussi sur la manière optimale d'effectuer les compromis entre la bande passante, le délai, le biais de synchronisation, la surface consommée et la puissance dissipée. Ceci devrait conduire d'ici peu à une méthode automatique de synthèse des systèmes d'horloge.

3. Synthèse de masques

Il existe un champ d'application où les outils traditionnels au niveau masque (placement et routage, générateur de cellules feuilles, extracteur, etc) ne sont plus efficaces (e.g. les fréquences d'horloge plus grande que 400 MHz). Nous nous intéressons donc ici au développement d'un outil de conception, correctement intégré, pour automatiser et supporter la conception efficace de circuits ou de portions de circuits CMOS opérant à haute fréquence. Plus précisément, nous travaillons actuellement au développement d'un outil de placement et routage automatique pour circuits VLSI CMOS de haute performance. Ces travaux sont réalisés en collaboration avec monsieur Yvon Savaria qui s'intéresse à l'élaboration des méthodes pour concevoir et modéliser la conception de circuits rapides. Ils sont également réalisés en collaboration avec la compagnie montréalaise Design Workshop Inc. Notez finalement qu'à moyen terme, nous souhaitons pouvoir intégrer certains résultats du point 2) à notre méthode de conception.

Activités du professeur Houle

La recherche du professeur Jean-Louis Houle découle de résultats acquis. Afin d'assurer une bonne continuité, nous maintenons l'orientation de travaux fondamentaux et leurs relations à une classe limitée d'applications. Le travail est donc en deux volets:

- Algorithmes et architectures pour multiprocesseurs à objectifs spécifiques;
- Conception, simulation et évaluation de performances de prototypes pour le traitement en temps-réel de signaux de contrôle dans de très grands réseaux électriques.

Dans le premier volet, nous développons des outils informatiques pour évaluer la fonctionnalité et la performance de processeurs spécialisés par analyse et simulation. Nous avons déjà des architectures de processeurs élémentaires (PE) que nous devons optimiser. Ces PE seront ensuite interconnectés en structures parallèles pour des applications spécifiques.

Dans le deuxième volet, l'application principale est l'étude de grands réseaux électriques qui requièrent des équations algébriques de réseaux et des équations différentielles pour modéliser différents équipements électrotechniques. La simulation en temps réel rigide ("hard real-time") de phénomènes de stabilité transitoire nécessite des processeurs parallèles pour exécuter indépendamment les uns des autres, mais ils sont synchronisés. Des graphes de précédances et des graphes de communications sont utilisés. Puisque l'assignation des tâches est de complexité NP, des algorithmes de type A* modifiés doivent être mis au point.

Les deux volets comportent des aspects fondamentaux nécessaires aux prototypes de laboratoire, qui sont testés à l'Institut de recherche d'Hydro-Québec. L'originalité des travaux est dans l'adaptation de la structure du réseau d'ordinateurs à celle du réseau électrique. L'importance est dans l'augmentation de l'efficacité de grands réseaux électriques.

Le professeur Jean-Louis Houle dirige des projets d'implantation en VLSI d'architectures parallèles pour le traitement temps réel de signaux et d'images. Il s'intéresse à la réalisation en FPGA d'algorithmes pour des applications spécifiques en utilisant en particulier des transformées en ondelettes (wavelets). Il travaille aussi sur des algorithmes parallèles pour le traitement de matrices creuses (sparse) appliquées à l'analyse dynamique de la sécurité des grands réseaux électriques ainsi qu'à la simulation de leur instabilité transitoire. Il codirige trois étudiants de cycles supérieurs à l'IREQ et six autres au laboratoire GRM (au total 5 doctorats et 4 maîtrises).

Activités de la professeure Kaminska

Les activités de recherche de la professeure Bozena Kaminska pour 1995/1996 sont principalement concentrées sur les domaines suivants:

Technologie d'interconnexion et de commutation grande vitesse destinées aux réseaux de communication à fibre optiques et optoélectriques avec une attention plus marquée aux services à large bande. En particulier, elle concentre ses efforts dans les domaines de l'interconnexion optique entre les organes d'entrée et les réseaux à fibres optiques. La conception de circuits à haute vitesse est basée sur des technologies rapides GaAs de la société TriQuint Semiconductors. Oregon. L'année 1995-96 s'est amorcée par la mise en oeuvre de notre première matrice de commutation fabriquée et testée avec une fréquence maximale qui dépasse 3.4 GHz. Cette matrice analogique est la plus performante au monde et elle est destinée aux protocoles multiples de communication. Nous avons réalisé également des récepteurs optiques et différentes autres structures à haute vitesse et haute performance. Ces travaux sont réalisés en collaboration avec nos partenaires industriels, NHC Communications, Conseil National de Recherche, Micronet et OPCOM.

Test et conception de circuits analogique et mixte, analogique et numérique. Notre but est de développer un ensemble d'outils qui permettent d'intégrer la conception et le test.

Collaboration industrielle

Les partenaires industriels principaux de nos activités sont:

NHC Communications Inc. et OPTEX Inc. Nous travaillons ensemble sur les matrices de communications ainsi que sur le système optoélectronique.

BNR/NT est notre collaborateur dans le domaine de test de circuits analogiques et mixtes.

Le concept de développement aide à la conception axée sur la vérification systématique et de génération de vecteurs de test pour les circuits analogiques et mixtes durant toutes les phases de la conception. Cet ensemble d'outils aide à concevoir des circuits et systèmes analogiques et mixtes

facilement testables, "manufacturables" et auto-testable en cas de besoin. Ils peuvent être utilisés pour déterminer l'ensemble minimal de vecteurs de test permettant une couverture de panne maximale. Le projet est constitué de 5 éléments:

- Un outil d'aide à la conception et l'optimisation des circuits et système Microélectronique en utilisant l'analyse de sensibilité (LIMSof).
- Un outil de génération de vecteurs de test pour les circuits analogiques.
- Un outil de génération de vecteurs de test pour les circuits mixtes.
- Un outil d'aide à la conception pour la manufacturabilité en intégrant la conception et le test à toutes les phases de production.
- Un outil d'insertion automatique de BIST pour les circuits mixtes.

Ces travaux sont réalisés en collaboration avec BNR/NT, Ottawa.

LV Software Inc. Collabore avec nous dans le domaine de synthèse de haut niveau avec testabilité. Ce volet est réalisé avec le professeur E. Cerny, la société LV Software Inc. et avec Micronet.

Synthèse de haut niveau (dans le cadre du projet PULSE).

Activités du professeur Lanctôt

Le professeur Lanctôt agit en tant que représentant de l'École auprès de la Société Canadienne de Microélectronique (SCMC). Il est membre et vice-président du Conseil d'administration de cette société ainsi que de son Comité exécutif. Il a présidé, au cours de 1994, le Comité d'Affectation des Ressources de la SCMC, ainsi que plusieurs autres comités depuis 1989.

Activités du professeur Maciejko

Le professeur Romain Maciejko dirige le laboratoire d'optoélectronique. Sa recherche porte sur l'application à la photonique des matériaux nouveaux, plus spécialement les semi-conducteurs, pour fabriquer de nouveaux composants. Sa recherche a deux volets: un côté théorique et un côté expérimental. Le volet théorique comprend l'étude de la réponse ultra-rapide des semi-conducteurs, notamment le transport des porteurs de charge à l'aide d'un simulateur Monte Carlo produit dans son laboratoire. Nous travaillons particulièrement à la simulation des laser DFB. On a aussi développé une banque de programmes pour simuler des composants optoélectroniques: la méthode de propagation des faisceaux (BPM), la simulation des guides optiques par la méthode des éléments finis, le calcul de bandes dans les semi-conducteurs à l'aide de l'hamiltonien de Kohn-Luttinger, la résolution de l'équation de Schrödinger pour les puits quantiques simultanément avec l'équation de Poisson et d'autres programmes de moindre importance.

Le volet expérimental comprend des activités de fabrication de composant et des activités de caractérisation. La fabrication se fait à partir de couches épitaxiées (nanostructures) obtenues d'autres laboratoires (BNR). La caractérisation comprend l'étude de la photoluminescence résolue en temps à l'aide d'un laser titane-saphir femto seconde construit par nous-mêmes. Nous avons fait des études à des températures cryogéniques et nous utilisons un système de comptage de photons ultra-sensible pour la détection. Cette caractérisation nous permet d'étudier les processus sur des échelles de temps de l'ordre de 50 femto secondes. De plus, nous avons fabriqué un commutateur optoélectronique ultra-rapide utilisant la photoconduction activée par un laser d'impulsions ultra-brèves. Nous nous proposons aussi d'utiliser l'échantillonnage électro-optique pour caractériser des circuits in situ, grâce à des effets photoréfractifs et possiblement non-linéaires.

Le laboratoire d'optoélectronique est particulièrement bien équipé pour étudier la réponse non-linéaire

de nouveaux matériaux. Grâce à notre laser titane-saphir accordable en longueur d'onde, pompé par un laser à argon de 22 watts en continu, nous pouvons atteindre des puissances crêtes de plusieurs dizaines de kilowatts pour des impulsions ultra-brèves. Ces puissances sont amplement suffisantes pour générer des effets non-linéaires dans la majorité des matériaux qui ont une réponse dans le rouge et l'infrarouge proche. Nous nous intéressons aux transitions résonantes et non-résonantes dans différents matériaux qui peuvent produire des susceptibilités non-linéaires importantes et qui correspondent à des réponses les plus rapides possible, de l'ordre de la picoseconde. Nous voulons utiliser ces matériaux pour réaliser des composants photoniques qui pourront servir pour la modulation et la commutation ultra-rapide.

Activités du professeur Sawan

Le professeur Sawan dirige une équipe de recherche ayant des activités qui se diversifient selon sept grandes priorités:

1. la conception VLSI des circuits intégrés numérique, analogique et mixte (numérique-analogique);
2. la conception des systèmes pour l'acquisition, l'analyse et la génération des signaux ainsi que le traitement d'images;
3. les appareillages médicaux et plus particulièrement les micro stimulateurs et capteurs sensoriels implantables et non-implantables;
4. la conception et la réalisation des circuits mixtes Microélectroniques / micro-ondes et les différentes technologies d'intégration (PCB, SMT, MCM,etc...);
5. les circuits intégrés reprogrammables FPGA (Field Programmable Gate Arrays), FPIC (Field programmable Interconnection Circuits), FPAD (Field Programmable Analog Devices); et les systèmes reconfigurables;
6. les systèmes ultrasoniques portables;
7. la synthèse de haut niveau des circuits électroniques analogiques et mixtes;

L'ensemble de ces priorités s'articule autour de deux objectifs essentiels suivants 1) la création des outils de haute performance servant à la récupération des organes et/ou des fonctions chez des patients ayant perdu l'usage (ou n'ayant pas) de ces fonctions, 2) la mise au point de fonctions et de systèmes complets servant à des applications industrielles variées. La plupart de ces outils regroupent l'ensemble des activités non seulement en microélectronique mais dans les différentes activités en sciences et génie. Autrement dit, ce type de projet pluridisciplinaire implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, micromachinage, médecine, etc... Nous nous intéressons présentement à développer les systèmes suivants:

1. un implant urinaire composé d'un capteur et d'un stimulateur servant à contrôler les deux fonctions de la vessie (rétention et incontinence);
2. un implant visuel dédié à la récupération d'une vision acceptable chez les non-voyants;
3. un système de stimulation dédié à la récupération de mouvements simples de bras paralysés qui est basé sur un modèle de mouvements naturels;
4. un dispositif détecteur de volume d'urine dans la vessie, en se servant d'une technique ultrasonique. Nous nous intéressons au développement d'un circuit non-implantable miniaturisé dédié aux enfants énurétiques.

5. un système de télémétrie pour le test et la surveillance des activités des neurostimulateurs implantables.

6. un moniteur miniaturisé allant dans un compte-gouttes, qui sert à une surveillance précise de son utilisation sans que son utilisateur ne s'en rende compte.

Ces systèmes dédiés à des applications médicales doivent être très performants, (dimensions réduites et à très basse consommation d'énergie) fiables et flexibles. De plus, et pour répondre aux besoins des applications industrielles, nous élargissons nos activités de recherche et nous nous intéressons à la conception et à la réalisation des fonctions et systèmes analogiques et mixtes. A titre d'exemple, nous développons deux catégories de circuits de conversion analogique à numérique (rapide et à haute précision) qui nécessitent la plupart de fonctions analogiques de base, soit un amplificateur opérationnel à large bande passante et un convertisseur/numérique analogique (DAC), etc. Nous proposons des filtres passe-bandes reconfigurables et à bande passante très élevée. Des préamplificateurs reconfigurables et des circuits intégrés mixtes programmables font aussi l'objet de nos travaux de recherche. Nous traitons des circuits en mode courant et en courant commuté. Pour plus de détails sur les différents projets, le lecteur est invité à lire les descriptions des projets d'étudiants dans ce rapport.

Le professeur Sawan est co-fondateur de l'IFESS (International Functional Electrical Stimulation Society, membre de l'AUE (Association for Urology and Engineering) et membre de plusieurs comités de programme de conférences nationales et internationales à l'École Polytechnique, le professeur Sawan est fondateur d'un laboratoire de recherche PolySTIM (Laboratoire de neurotechnologie) et coordonnateur de la section électronique du département de génie électrique et génie informatique.

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

81 étudiants aux cycles supérieurs ont effectué des recherches associées à l'équipe durant la période couverte par ce rapport:

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Abderrahman, Abdessatar	Ph.D.	B. Kaminska	E. Cerny
Abou-Khali, Michel	Ph.D.	K. Wu	R. Maciejko
Achard, Éric	M.Sc.A.	Y. Savaria	Y. Blaquièrre
Achour, Chokri	Ph.D.	J.L. Houle	
Ahmad, Galaly	Ph.D.	B. Kaminska	
Antaki, Bernard	M.Sc.A.	Y. Savaria	
Aourid, Sidi Mohamed	Ph.D.	B. Kaminska	
Arabi, Karim	Ph.D.	B. Kaminska	
Assi, Ali	Ph.D.	M. Sawan	
Ayad, Ahmed	M.Sc.A.	B. Kaminska	
Ayari, Bechir	Ph. D.	B. Kaminska	

Beaudin, Sylvain	M.Sc.A.	M. Bois	R. Marceau
Belabbes, Nacer-Eddine	Ph.D.	B. Kaminska	M. Sawan
Bélangier, Normand	Ph.D.	Y. Savaria	
Belhaouane, Adel	Ph.D.	Y. Savaria	B. Kaminska
Ben-Hamida, Naim	Ph.D.	B. Kaminska	
Ben Salem, Brahim	Ph.D.	B. Kaminska	
Bohsina, Driss	M. Ing.	M. Sawan	
Boubezari, Samir	Ph.D.	B. Kaminska	E. Cerny
Bourret, Sylvain	M.Sc.A.	M. Sawan	
Boyogueno Bendé, André	Ph.D.	B. Kaminska	
Cantin, Marc-André	M.Sc.A.	Y. Blaquièrre	Y. Savaria
Cantin, Pierre-Luc	M.Sc.A.	M. Sawan	
Chabini, Nourreddine	M.Sc.A.	M. Aboulhamid	Y. Savaria
Chen, Jianyao	Ph.D.	R. Maciejko	
Contandriopoulos, Nicolas	M.Sc.A.	Y. Savaria	Y. Blaquièrre
Cornilescu, Dan	M.Sc.A.	M. Sawan	
Djemouai, Abdelouahab	M.Sc.A.	M. Sawan	
Ehsanian-Mofrad, Mehdi	Ph.D.	B. Kaminska	
Fares, Mounir	Ph.D.	B. Kaminska	
Fortin, Guillaume	M.Sc.A.	B. Kaminska	
Gadiri, Abdel Karim	Ph. D.	Y. Savaria	
Gagnon, Mathieu	M.Sc.A.	B. Kaminska	
Gagnon, Yves	M.Sc.A.	M. Meunier	Y. Savaria
Granger, Éric	M.Sc.A.	Y. Savaria	
Guénette, Joelle	M. Sc.A.	G. Bois	Y. Savaria
Haddad, Mohamed Tahar	M.Sc.A.	B. Kaminska	G. Bois
Harb, Adnan	M.Sc.A.	M. Sawan	B. Haroun
Harvey, Jean-François	M.Sc.A.	M. Sawan	
Jeckeln, Ernesto	M.Sc.A.	F. Ghannouchi	M. Sawan

Kassem, Abdallah	M.Sc.A.	J.-L. Houle	J. Davidson
Kassem, Abdallah	Ph.D.	J.-L. Houle	J. Davidson
Khali, Hakim	Ph.D.	Y. Savaria	J.-L. Houle
Kochnari, Ahmad	M.Sc.A.	B. Kaminska	
Lavoie, Michel	Ph.D.	J.-L. Houle	
Lefebvre, Gilbert	M.Sc.A.	R. Maciejko	
Madani, Massoud	M.Sc.A.	M. Sawan	
Mallette, Sylvain	M.Sc.A.	M. Sawan	
Marche, David	M.Sc.A.	B. Kaminska	
Motto, Alexis	Ph.D.	R. Marceau	
Nekili, Mohamed	Ph.D.	Y. Savaria	G. Bois
Oudghiri, Houria	Ph.D.	B. Kaminska	
Ouici, Khalid	M.Sc.A.	M. Sawan	
Patenaude, Serge	M.Sc.A.	Y. Savaria	
Pera, Florin	M.Sc.A.	Y. Savaria	G. Bois
Petrican, Paul	M. Sc.A.	M. Sawan	
Provost, Benoit	M.Sc.A.	M. Sawan	
Rabel, Claude Eddy	Ph.D.	M. Sawan	J. Davidson
Rahal, Ali	Ph.D.	R. Bosisio	M. Sawan
Reid, Benoit	Ph.D.	R. Maciejko	
Ryel, Kim	M.Sc.A.	R. Maciejko	
Robin, Simon	M.Sc.A.	M. Sawan	
Saab, Khaled	M.Sc.A.	B. Kaminska	F. Ghannouchi
Shmaïtelly, Mahmoud	Ph.D.	M. Sawan	
Sokolowska, Ewa	Ph.D.	B. Kaminska	
Soufi, Mohamed	Ph.D.	Y. Savaria	B. Kaminska
Syllo, Iboun Tainiya	Ph.D.	B. Kaminska	M. Slamani
Vaillancourt, Pierre	M.Sc.A.	M. Sawan	
Villeneuve, Luc	M. Ing.	M. Sawan	

Wong, Tony	Ph.D.	J.L. Houle	
Xu, Hiaiqi	M.Sc.A.	M. Sawan	
Yuan, Peijian	M.Sc.A.	G. Bois	Y. Savaria

ÉTUDIANTS RÉCEMMENT INSCRITS			
Nom de l'étudiant	Diplôme en cours	Directeurs	Co-directeurs
Aghakhani, Mehrdad	M.Sc.A.	B. Kaminska	
Beauchamp-Parent, Alexandre	M.Sc.A.	M. Sawan	
Danesh, Houssein	M.Sc.A.	G. Bois	
Le-Hassan, Fadi	M.Sc.A.	M. Sawan	
Fayomi, Christian	Ph. D.	M. Sawan	
Goulet, Stéphen	M.Sc.A.	J.-L. Houle	
Guénette, Philippe	M.Sc.A.	J.-L. Houle	
Shaditalab, Manoucher	M.Sc.A.	M. Sawan	G. Bois
Syllo, I.T.	Ph.D.	B. Kaminska	
Valcourt, Guillaume	M.Sc.A.	J.-L. Houle	

Titres des projets et diplômes en cours de chaque étudiant

Cette section du document contient une liste de projets avec le nom des personnes concernées. Par la suite, nous fournissons plus de détails sur chacun des projets en insistant sur les réalisations.

Nom de l'étudiant - diplôme en cours - le titre de son projet		
<i>ABDERRAHMAN, A.</i>	Ph.D.	Test des circuits analogiques intégrés.
<i>ABOU-KHALIL, M.</i>	Ph.D.	Modélisation du transport des porteurs de charge dans les dispositifs photoniques et à puits quantiques par la méthode Monte-Carlo.
<i>ACHARD, É.</i>	M.Sc.A.	Système de correction d'erreurs en temps réel dans le cas de la vision 3-D par ordinateur.
<i>ACHOUR, C.</i>	Ph.D.	Architecture VLSI pour la compression d'images par ondelettes.

<i>AHMAD, G.</i>	Ph.D.	Spécification à haut niveau, test structurel et fonctionnel avec LIMSoft.
<i>ANTAKI, B.</i>	M.Sc.A.	Étude du design pour la testabilité de circuits logiques haute fréquence, les ECL (Emitter-Coupled-Logic).
<i>ARABI, K.</i>	Ph.D.	Conception pour la fiabilité des systèmes biomédicaux implantables.
<i>ASSI, A.</i>	Ph.D.	Étude et réalisation de circuits analogiques CMOS pour des applications à haute vitesse.
<i>AYAD, A.</i>	M.Sc.A.	Conception d'un circuit échantillonneur bloqueur à haute performance.
<i>AYARI, B.</i>	Ph.D.	Génération de vecteurs de test pour les circuits combinatoires, séquentiels et mixtes.
<i>BEAUDIN, S.</i>	M.Sc.A.	La simulation de la stabilité transitoire, au moyen de processeurs élémentaires, dans les réseaux de transport d'énergie.
<i>BELABBES, N.-E.</i>	Ph.D.	Synthèse des circuits analogiques et mixtes.
<i>BÉLANGER, N.</i>	Ph.D.	Outils et méthodes pour le traitement parallèle de calculs matriciels.
<i>BELHAOUANE, A.</i>	Ph.D.	Modélisation d'un échantillonneur rapide et reconstitution d'un signal à partir d'un nombre fini d'intervalle.
<i>BEN HAMINDA, N.</i>	Ph.D.	Test des circuits analogiques et mixtes.
<i>BEN SALEM, B.</i>	Ph.D.	Modélisation du mismatch dans les circuits analogiques.
<i>BOHSINA, D.</i>	M.Ing.	Contrôleur flexible commandé par ordinateur pour un implant urinaire multi-canal.
<i>BOUBEZARI, S.</i>	Ph.D.	Analyse de testabilité et insertion de points test au niveau de registres.
<i>BOURRET, S..</i>	M.Sc.A.	Stimulateur neuromusculaire implantable pour les muscles des membres supérieurs.
<i>BOYOGUENO BENDÉ, A.</i>	Ph.D.	Conception et réalisation intégrée des portes optiques pour le traitement en parallèle du signal optique en technologie GaAs.
<i>CANTIN, M.-A.</i>	M.Sc.A.	Mise en oeuvre d'un réseau de neurones artificiels basé sur l'algorithme Fuzzy ART.
<i>CANTIN, P.-L.</i>	M.Sc.A.	Interfaces universelles pour capteurs.

<i>CHABINI, N.-E.</i>	M.Sc.A.	Optimisation des boucles sur les architectures VLIW.
<i>CHEN, J.</i>	Ph.D.	Modélisation et analyse d'un semi-conducteur laser DFB couplé par gain.
<i>CONTANDRIOPOULOS, N</i>	M.Sc.A.	Partitionnement logiciel/logiciel automatique sur des architectures parallèles hétérogènes.
<i>CORNILESCU, D.</i>	M.Sc.A.	Convertisseur analogique-numérique basé sur une cellule de 2 bits en mode courant.
<i>DJEMOUAI, A.</i>	Ph.D.	Interface transcutanée bidirectionnelle dédiée aux implants neuromusculaires.
<i>EHSANIAN-MOFRAD, M.</i>	Ph.D.	Convertisseur analogique-numérique de type intervalle à haute résolution et à grande vitesse.
<i>FARES, M.</i>	Ph.D.	Conception de circuits CMOS mixtes très rapides destinés aux systèmes de communication.
<i>FORTIN, G.</i>	M.Sc.A.	Conception d'un circuit en AsGa pour la transmission de données par fibre optique.
<i>GADIRI, A.</i>	Ph.D.	Conception d'une interface CMOS très rapide pour la transmission sérielle de données.
<i>GAGNON, M.</i>	M. Sc.A.	Conception d'un récepteur optique en CMOS.
<i>GAGNON, Y.</i>	M.Sc.A.	Restructuration par faisceau laser sur des circuits intégrés VLSI.
<i>GRANGER, É</i>	M.Sc.A.	Algorithmes de catégorisation pour la mise en oeuvre d'un réseau de neurones Fuzzy ART hiérarchique.
<i>GUÉNETTE, J.</i>	M. Sc.A.	Méthode de multi-partitionnement de circuits VLSI.
<i>HADDAD, M.T.</i>	M.Sc.A.	Réalisation mixte logicielle/matérielle d'un protocole de communication pour réseaux locaux.
<i>HARB, A.</i>	M.Sc.A.	Détection des activités neuronales vésicales et leur utilisation pour récupérer la fonction de la rétention.
<i>HARVEY, J.-F.,</i>	M.Sc.A.	Acquisition et traitement d'images dédiées à un implant visuel.
<i>JECKELN, E.</i>	M.Sc.A.	Technique de linéarisation numérique des amplificateurs de puissance.
<i>KASSEM A.</i>	M.Sc.A.	Compression d'images par la transformée en cosinus discrète (TCD).
<i>KHALI, H.</i>	Ph.D.	Algorithmes et architectures spécialisées pour la correction d'artefacts dans un système de mesure optique.

<i>KOCHNARI, A.</i>	M.Sc.A.	Test de courant de repos (IDDQ) basé sur l'analyse de testabilité et sur l'insertion des points de test pour les circuits séquentiels.
<i>LAVOIE, M.</i>	Ph.D.	Calculs de stabilité de réseaux en temps réel pour architectures de processeurs parallèles.
<i>LEFEBVRE, G.</i>	M.Sc.A.	Réalisation et caractérisation de contact ohmique pour composants optoélectroniques sur InP.
<i>MADANI, M.</i>	M.Sc.A.	Nouvel implant d gestion du fonctionnement de la vessie.
<i>MALLETTE, S.</i>	M.Sc.A.	Conception, réalisation et expérimentation in vivo d'un générateur d'impulsions multicanal dédié à la stimulation du cortex moteur.
<i>MARCHE, D.</i>	M.Sc.A.	Outil automatique de génération de vecteurs de test pour les circuits analogiques.
<i>NEKILI M.</i>	Ph.D.	Impact des variations du procédé de fabrication sur les systèmes intégrés synchrones.
<i>OUZGHIRI, H.</i>	Ph.D.	Partitionnement matériel/logiciel pour la cosynthèse au niveau système.
<i>OUICI, K.,</i>	M.Sc.A.	Conception et réalisation d'un amplificateur opérationnel tension-tension de haute performance (faible-tension d'alimentation, faible-puissance et gain élevé).
<i>PATENAUDE, S.</i>	B. Sc.	Modélisation et simulation de pannes non conventionnelles des circuits ECL utilisés dans des systèmes numériques haute-fréquence.
<i>PERA, F.</i>	M.Sc.A.	Méthodes de routage et modélisation pour circuits intégrés rapides.
<i>PETRICAN, P.</i>	M. Sc.A.	Réalisation d'un détecteur ultrasonique miniaturisé dédié à l'évaluation du volume urinaire chez les enfants énurésiques.
<i>PROVOST, B.</i>	M.Sc.A.	Conception d'un circuit mixte implantable dédié à la mesure du volume vésical.
<i>RABEL, C.-E.</i>	Ph.D.	Réalisation d'un FPMA (Field Programmable Mixed-Digital-Analog Array).
<i>RAHAL, A.</i>	Ph.D.	Étude et conception de sources de fréquence intégrée en ondes millimétriques.
<i>RAYAPATI, V</i>	Ph.D..	Modélisation et analyse de la performance des mégapuces RAM statiques CMOS et BiCMOS.

<i>REIB, B.</i>	Ph.D.	Étude de la dynamique ultra-rapide des porteurs dans les nanostructures.
<i>ROBIN, S.</i>	M.Sc.A.	Développement de stimulateurs neuromusculaires implantables.
<i>RYEL, K.,</i>	M.Sc.A.	Cristaux photoniques bidimensionnels.
<i>SAAB, K.</i>	M.Sc.A.	Outil automatique de génération de vecteurs de test pour les circuits analogiques.
<i>SHMAÏTELLY, M.</i>	Ph.D.	Convertisseurs analogique-numérique rapides à haute résolution et à faible consommation de puissance.
<i>SOKOLOWSKA, E.</i>	Ph.D.	Conception et testabilité des architectures rapides.
<i>SOUFI, M.</i>	Ph.D.	Caractérisation et amélioration de l'acceptabilité séquentielle pseudo-aléatoire des circuits VLSI.
<i>VAILLANCOURT, P.</i>	M.Sc.A.	Développement et réalisation d'un lien de communication et d'alimentation RF destiné à un implant cérébral.
<i>VILLENEUVE, L.</i>	M. Ing.	Lien à fréquence radio pour implants électroniques.
<i>WONG, T.</i>	Ph.D.	La répartition automatique des tâches dans la simulation des réseaux électriques en temps réel.
<i>XU, H.</i>	M.Sc.A.	Conception à verrouillage de phase (PLL) à très haute fréquence.
<i>YUAN, P.</i>	M.Sc.A.	La reconnaissance de patron (pattern matching) avec le système PULSE.

Description détaillée des projets d'étudiants

***ABDERRAHMAN, Abdessatar* DIPLÔME: Ph.D.**

TITRE:

Test des circuits analogiques intégrés.

RÉSUMÉ:

Le test des circuits analogiques intégrés est un problème difficile et coûteux. On se propose d'élaborer une méthode permettant de générer un test de qualité maximale.

PROBLÉMATIQUE:

Le test des circuits analogiques intégrés est un problème difficile. Cette difficulté émane de la complexité naturelle de ces circuits impliquant un spectre continu de défauts. Cela est dû à la variation continue dans le temps des quantités physiques qui caractérisent ces circuits. D'autres sources sont également à l'origine de cette difficulté, parmi lesquelles la tolérance sur les composants. Il faut aussi mentionner le manque d'accessibilité aux noeuds internes du circuit et l'inexistence de modèle de

défaut par opposition aux circuits numériques (modèle collé à 1 ou à 0, collé ouvert, défaut de délai, etc...).

MÉTHODOLOGIE:

Pour assurer une couverture maximale des pannes individuelles, il faut déterminer pour chaque composant la plus petite (resp. la plus grande) déviation positive (resp. négative) détectable. Ceci doit être accompli en tenant compte de l'effet maximal de masquage dû à la tolérance des composants. Pour atteindre ce but, le problème a été formulé comme un problème d'optimisation.

RÉSULTATS:

Mise en oeuvre d'un algorithme qui génère un ensemble de tests de qualité maximale pour tester des circuits analogiques. La méthode a été validée par des simulations Hspice utilisant la méthode de Monte Carlo pour la génération aléatoire des paramètres illustrant ainsi les effets du procédé de fabrication.

La première partie de ce travail a été publiée sous le titre: "Effective Test Generation for Analog Circuits", dans Workshop on Mixed Signal Design and Test, Grenoble 1995. La totalité du travail a été acceptée.

ABOU KHALI, Michel **DIPLÔME:** Ph.D.

TITRE:

Modélisation du transport des porteurs de charge dans les dispositifs photoniques et à puits quantiques par la méthode Monte-Carlo.

RÉSUMÉ:

Le projet consiste à développer et valider un modèle numérique pour la simulation du transport des porteurs de charge. Le programme porte sur la simulation des dispositifs réels et sur le traitement animé des résultats numériques. Le modèle englobe entre autre les effets quantiques sur les hétérojonctions par un calcul autoconsistant.

PROBLÉMATIQUE:

La simulation du transport des porteurs de charge nécessite la connaissance des distributions moyennes de l'état énergétique des porteurs dans le temps ainsi que dans l'espace de phase. La distribution de vitesse, l'occupation des bandes d'énergie et la densité de porteurs sont des exemples de quantités physiques importantes à analyser par le modèle. De plus, puisque la distribution des porteurs modifie le potentiel effectif et le champ électrique dans le dispositif, il est donc nécessaire de suivre simultanément cette variation.

MÉTHODOLOGIE:

La méthode utilisée pour modéliser le transport inclut l'étude de la dynamique des porteurs, leur interaction avec le réseau cristallin ainsi que leur interaction avec d'autres porteurs. Les porteurs sont considérés comme particules classiques: leur dynamique est dominée par l'influence des forces extérieures, qui modifient leur énergie et leur parcours. D'autre part, les interactions physiques sont connues sous forme de différents types de diffusion et sont exprimées par un taux et une probabilité déterminés en fonction de l'énergie. L'application de cette méthode dans des dispositifs

réels exige une considération détaillée de la déformation des bandes, des niveaux d'énergie quantifiés, de leurs fonctions d'onde correspondantes ainsi que de la distribution des porteurs dans chaque niveau. Cela est réalisé par le calcul auto-consistant de la méthode Monte-Carlo, de la solution de l'équation de Poisson et de la solution de l'équation de Schrödinger, ce qui forme un ensemble connu sous le nom "Ensemble de Monte-Carlo.

RÉSULTATS:

Un modèle unipolaire a été réalisé et la vitesse de dérive des électrons dans le GaAs, l'InP et l'AlInAs purs a été calculée. Les résultats sont en bon accord avec d'autres calculs numérique et des mesures expérimentales. L'application de la méthode à la simulation d'un transistor à haute mobilité (HEMT), d'un varactor à barrière quantique (QBV) et du temps de capture dans des puits quantiques a été faite. On a pu tirer la courbe caractéristique courant/voltage du transistor (la courbe I/V) à l'état stationnaire. Dans le cas du varactor, la capacité de la zone d'appauvrissement a été déduite en fonction du voltage appliqué. On a fait la comparaison du caractère oscillatoire du temps de capture calculé en fonction de la largeur du puits avec autres méthodes numériques. Les oscillations obtenues sont en bon accord avec les résultats publiés. Une application directe du schéma proposé a permis la publication du calcul de temps de capture dans une structure GRINSCH (GRaded-Index Separate-Confinement Heterostructure) pour les diodes lasers.

ACHARD, Éric **DIPLÔME** : M.Sc.A.

TITRE:

Système de correction d'erreurs en temps réel dans le cas de la vision 3-D par ordinateur.

RÉSUMÉ:

La vision par ordinateur constitue un domaine d'application de haute performance principalement dans le cas d'applications temps-réel telles que la robotique. Dans le cas de systèmes optiques, une attention toute particulière est donnée à l'exactitude et à la précision des données mesurées en prévision des traitements ultérieurs. Le projet consiste à concevoir un système qui permet d'effectuer la correction d'erreurs à des débits de données de un million de points 3-D par seconde.

PROBLÉMATIQUE:

Dans un système optique de mesure laser, les caractéristiques physiques et géométriques des objets à étudier peuvent influencer grandement l'exactitude des mesures. Lorsque les surfaces à analyser sont uniformes, le signal capté au niveau du détecteur optique est de type gaussien. Cependant, une variation de réflectance ou de profondeur peut entraîner une déformation du spot laser engendrant ainsi une erreur de mesure. Le but du projet est de concevoir un circuit intégré qui corrige cette erreur en temps réel.

MÉTHODOLOGIE:

1. Identification des goulots d'étranglement de l'algorithme;
2. Optimisation de ces parties de l'algorithme;
3. Recherche d'architectures pour l'implantation de l'algorithme;
4. Implantation de certaines de ces architectures;

5 Détermination de celles qui obtiennent le meilleur rapport performances-coût.

RÉSULTATS:

Une étude approfondie de l'algorithme a démontrée que son implantation dans un circuit intégré serait difficilement réalisable. Une implantation du système basée sur trois DSP ainsi qu'un générateur d'adresses couple avec des tables de références a donc été réalisée et simulée. Une deuxième version est présentement en voie d'implantation sur un seul DSP TMS320C40 de Texas Instrument.

ACHOUR Chokri **DIPLÔME** : Ph.D.

TITRE:

Architecture VLSI pour la compression d'images par ondelettes.

RÉSUMÉ:

La compression d'images par ondelettes (CIO) est un outil puissant pour plusieurs applications où la compression par transformée en cosinus discrète (TCD) est limitée. Par l'utilisation d'une architecture VLSI, l'algorithme de compression d'images par ondelettes peut être mis en oeuvre en un circuit ASIC plus facilement que ceux utilisés par la transformée en cosinus discrète.

PROBLÉMATIQUE:

Dans le domaine de compression d'images numériques en temps réel, on utilise généralement la transformée en cosinus discrète (TCD). Cependant cette méthode présente certains inconvénients. D'une part, elle requiert un certain nombre d'opérations mathématiques de l'ordre de n^2 multiplications. D'autre part, elle a besoin d'un volume de mémoire assez grand. Une représentation qui tient compte de ces limites est celle de la compression d'images par ondelettes (CIO). Cette dernière offre plusieurs avantages; un ratio élevé de compression, une excellente qualité d'image et une méthode de décompression progressive.

MÉTHODOLOGIE:

Les processeurs de traitement de signal "digital signal processors" (DSP) sont conçus autour d'architectures d'utilisation généralisée et ne sont pas optimisées pour un algorithme en particulier tel que la CIO. La conception d'une architecture VLSI spécialisée pour la CIO (avec une option d'une solution en codesign) permet de rendre parallèle autant que possible les calculs de l'algorithme, afin d'augmenter la vitesse de traitement.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

AHMAD, Galaly **DIPLÔME** : Ph.D.

TITRE:

Spécification à haut niveau, test structurel et fonctionnel avec LIMSoft.

RÉSUMÉ:

LIMSoft est un outil automatique pour le test de circuits analogiques. Il offre la possibilité de calculer la sensibilité dans le but de réaliser des circuits résistants aux défauts et permet de générer les vecteurs de test. L'analyse peut se faire dans les domaines fréquentiel, temporel et DC.

LIMSoft utilise la sensibilité de tension ou courant à la sortie d'un circuit dans le but de trouver la déviation des composants du circuit qui le forcerait à déborder son intervalle de tolérance.

PROBLÉMATIQUE:

Bien qu'il soit possible d'utiliser la sensibilité de la tension ou courant de sortie du circuit pour déterminer les déviations permises des composants, il est plus pratique de vérifier directement les paramètres fonctionnels (Gain, Offset,...) du circuit par rapport aux déviations des composants.

Pour couvrir tous les circuits analogiques, il est désirable de trouver l'ensemble minimum des paramètres qui garantissent une bonne couverture du circuit sous test pour chaque catégorie de circuits.

MÉTHODOLOGIE:

En utilisant différentes classes de circuits (Amp.OP, PLL, DAC,...) nous essaierons de trouver les relations entre les paramètres des circuits et leurs structures.

Nous essaierons d'utiliser chaque circuit sans modification si possible. Si la sensibilité de quelques paramètres ne peut être obtenue directement, nous essaierons de développer une interface entre le circuit et LIMSoft qui pourrait convertir ces paramètres en courant ou tension pour laquelle la sensibilité est facile à obtenir avec l'outil.

RÉSULTATS:

Nous avons commencé par l'étude des paramètres d'un amplificateur opérationnel. On a obtenu des relations entre la plupart de ses paramètres et la tension ou le courant à la sortie. Maintenant on essaie d'appliquer ces équations pour évaluer la validité de cette approche.

ANTAKI, Bernard **DIPLÔME:** M.Sc.A.

TITRE:

Étude du design pour la testabilité de circuits logiques haute fréquence, les ECL (Emitter-Coupled-Logic)

RÉSUMÉ:

La première étape consiste à caractériser les circuits haute fréquence pour en identifier les pannes possibles ainsi que le poids de chacune des pannes sur les circuits. En seconde étape, il nous faudra trouver des méthodes intégrées de détection des pannes pour obtenir une bonne couverture tout en évitant la surconsommation de surface d'une puce. Finalement, nous devons proposer des adaptations à une bibliothèque de cellules standards implémentant la testabilité des circuits étudiés.

PROBLÉMATIQUE:

Bien que les circuits ECL soient connus depuis longtemps, l'intérêt de les utiliser dans les circuits LSI ou VLSI est survenu plus récemment. En effet, les courants de polarisation consommés dans chaque cellule conduisent à une consommation de puissance considérable. Toutefois, avec la miniaturisation des transistors, il devient possible de s'en servir avec une consommation acceptable compte tenu des

très grandes vitesses d'opération (fréquences au-delà du GHz) à notre portée. Néanmoins, les techniques de test n'ont pas encore été développées pour cette technologie. Quelques auteurs ont tenté d'appliquer des méthodes couramment utilisées en CMOS, mais se sont vite rendu compte que bien d'autres pannes peuvent se glisser dans les circuits ECL réalisés avec des transistors bipolaires.

MÉTHODOLOGIE:

En se basant sur les problèmes rencontrés par certains auteurs dans le test de circuits ECL, nous développerons des outils de caractérisation à partir des circuits extraits des dessins de masques avec l'outil CADENCE et ensuite simulés dans HSPICE.

RÉSULTATS:

La recherche bibliographique est en cours et un ensemble de pannes communes a été assemblé. Des outils de

caractérisation de pannes sont en développement.

Adaptation des éléments proposés pour une technologie commerciale.

ARABI, Karim **DIPLÔME:** Ph.D.

TITRE:

Conception pour la fiabilité des systèmes biomédicaux implantables.

RÉSUMÉ:

Le but de cette thèse est d'établir une approche globale permettant de vérifier l'état des systèmes implantables et celui du patient via un lien de téléométrie. Les techniques efficaces pour la conception des prothèses implantables télétestables et fiables seront donc développées. La même approche doit assurer la biotéléométrie des paramètres biologiques et cliniques. Les informations récupérées permettront, entre autres, la localisation des pannes des circuits électroniques et des électrodes, la calibration des convertisseurs numériques/analogiques, la surveillance de la batterie et la mesure des paramètres cliniques.

PROBLÉMATIQUE:

Suivant le développement initial du stimulateur cardiaque (pacemaker), il y a 35 ans, plusieurs systèmes implantables ont été mis au point pour traiter différentes anomalies. Aujourd'hui, une grande variété de systèmes implantables commercialisés aident à améliorer l'état de santé de nombreux patients, et ainsi qu'à sauver plusieurs vies. Citons par exemple le stimulateur cardiaque, les prothèses cochléaires, les prothèses respiratoires, les stimulateurs de muscles paralysés, les stimulateurs pour contrôler la douleur, les systèmes implantables pour injecter des médicaments etc. La plupart des systèmes implantables existants ne sont pas testables une fois implantés, ce qui diminue leur fiabilité. De plus, les techniques de téléométrie qui servent à vérifier l'état du patient sont complexes et requièrent une grande surface de silicium. Alors, la nécessité de mettre au point une méthode simple et pratique pour vérifier l'état du patient et celui du système implantable est évidente.

MÉTHODOLOGIE:

Afin d'améliorer la fiabilité des systèmes implantables en utilisant la téléométrie, nous procédons de la manière suivante:

1. Étudier les systèmes en général en vue de les appliquer aux systèmes biomédicaux implantables.
2. Développer des méthodes efficaces et simples pour le test intégré des circuits mixtes et spécifiquement des circuits implantables.
3. Développer une technique de télémétrie afin de surveiller l'état du patient et du système implanté.
4. Définir un nouveau protocole de communication bidirectionnelle et fiable qui assure la transmission de données entre le médecin et l'implant.

L'intégration des circuits électroniques sera basée sur la technologie CMOS ou BiCMOS.

RÉSULTATS:

Nous avons établi une méthode permettant de vérifier l'état du patient, celui de l'implant et de ses électrodes. Les résultats préliminaires sont très encourageants. Des approches efficaces pour prévenir des pannes dans les circuits électroniques implantables ont été aussi développées.

ASSI, Ali Diplôme: Ph.D.

TITRE:

Étude et réalisation de circuits analogiques CMOS pour des applications à haute vitesse.

RÉSUMÉ:

La première étape de notre projet traite d'un nouveau circuit de transconductance fonctionnant à très haute fréquence et ajustable via des tensions de référence appropriées. Ensuite, lors d'une seconde étape, nous nous servons de ce circuit de transconductance pour concevoir et réaliser des circuits d'amplification et de filtrage fonctionnant à très haute fréquence (supérieure à une centaine de MHz).

PROBLÉMATIQUE:

Les transconductances CMOS sont devenues très populaires dans la conception des systèmes VLSI analogiques (filtres analogiques). La réalisation des filtres haute vitesse (>100MHz) a toujours été limitée par la méthodologie utilisée. La fréquence des filtres à condensateurs commutés est limitée par la fréquence de l'horloge qu'on peut utiliser et par d'autres problèmes liés aux amplificateurs opérationnels et aux commutateurs MOS utilisés. Dans ce travail, nous avons adopté la méthodologie Gm-C basée uniquement sur des circuits de transconductances et des condensateurs. Donc, nous avons réduit les problèmes du filtre à un seul, qui est celui du circuit de transconductance.

MÉTHODOLOGIE:

En se basant sur un élément de transconductance traditionnel, et à l'aide de l'outil Analog Artist de Cadence, plusieurs versions de cet élément ont été simulées pour améliorer sa réponse en fréquence avec une linéarité acceptable.

Plusieurs applications font l'objet de nos travaux, à titre d'exemple des filtres à bande-passante très élevée, un détecteur et correcteur de décalage dans les ampli.op. en mode courant, etc.

RÉSULTATS:

Un élément de transconductance simple (six transistors MOS), ajustable et qui peut fonctionner à de

très hautes fréquences (> 1 GHz) en technologie CMOS standard, a été simulé avec Analog Artist.

Réalisation physique de cet élément ("Chip") et comparaison de ses performances avec les résultats de simulation.

Conception d'un amplificateur courant-courant et d'un filtre passe-bande rapides en utilisant cet élément.

AYAD, AHMED DIPLÔME: M.Sc.A.

TITRE:

Conception d'un circuit échantillonneur-bloqueur à haute performance.

RÉSUMÉ:

Le projet consiste à étudier les applications générales et les différentes architectures des circuits échantillonneurs bloqueurs. Ce type de circuits est très utile pour les systèmes de communication et en particulier pour les convertisseurs analogiques-numériques

PROBLÉMATIQUE:

La prolifération du traitement de signal a entraîné un besoin grandissant de convertisseurs analogiques-numériques. Simultanément, l'échantillonneur-bloqueur a aussi reçu de plus en plus d'attention. Ce circuit précède les convertisseurs analogiques-numériques pour réduire la distorsion due à la capacité non linéaire de la jonction et aux erreurs résultants de l'horloge et de la variation du délai de propagation du signal d'entrée. Ils sont souvent utilisés à l'entrée des convertisseurs analogiques-numériques pour convertir l'information analogique en une tension constante sur un intervalle de temps de déclenchement.

MÉTHODOLOGIE:

Les échantillonneurs-bloqueurs permettent l'interface entre le monde analogique et les systèmes de traitement de signaux et ils doivent donc atteindre une précision et une vitesse compatibles avec les performances globales. Les échantillonneurs-bloqueurs monolithiques ont été conçus pour opérer à une fréquence d'échantillonnage supérieure à 100 MHz, en utilisant la technologie bipolaire ou BiCMOS, mais la fréquence d'échantillonnage atteinte en CMOS n'a pas dépassé 50 MHz. Aujourd'hui, la majeure partie de la production des semiconducteurs se fait en CMOS. L'un des buts de ce projet est donc de concevoir un échantillonneur-bloqueur plus rapide en CMOS.

RÉSULTATS:

Quelques expériences basées sur des simulations ont déjà été effectuées. Les résultats préliminaires qui ont été obtenus, concernant les parties séparées du circuit, sont très encourageants.

AYARI, BÉCHIR DIPLÔME: Ph.D.

TITRE:

Génération de vecteurs de test pour les circuits combinatoires, séquentiels et mixtes.

RÉSUMÉ:

L'objectif est le développement de nouvelles méthodes de test pour les circuits combinatoires, séquentiels et

mixtes en adoptant des approches algébriques basées sur les diagrammes de décisions binaires (BDD).

PROBLÉMATIQUE:

Différentes techniques ont été proposées pour différents types de circuits. Pour les circuits digitaux, le test peut être obtenu en adoptant une méthode basée sur le "branch-and-bound" ou une méthode algébrique. Le test des circuits mixtes est plus compliqué à obtenir que pour un circuit purement digital ou un circuit purement analogique. La plupart des méthodes décrites dans la littérature modifient le circuit pour le rendre facilement testable.

MÉTHODOLOGIE:

Les méthodes de génération de vecteurs de test que nous avons proposées sont toutes basées sur la manipulation de fonctions logiques en utilisant les BDD. Elles sont basées aussi sur le modèle de défauts collée-à (stuck-at). En adoptant une approche algébrique, on peut facilement prendre en considération les conditions imposées par chacun des blocs d'un circuit mixte durant la génération de vecteurs de test. Quant à la génération de vecteurs de test pour un circuit séquentiel, nous utiliserons son modèle itératif. Pour accélérer la génération de vecteurs de test, nous avons proposé une méthode hiérarchique basée sur la décomposition et la notion de "supergates".

RÉSULTATS:

Nous avons réussi à développer des méthodes de génération de vecteurs de test efficaces et rapides pour des circuits combinatoires, séquentiels et mixtes. Toutes les méthodes que nous avons proposées sont basées sur la manipulation de fonctions logiques en utilisant les BDD et le modèle de défauts collée-à (stuck-at) pour les circuits digitaux.

BEAUDIN, Sylvain **DIPLÔME:** M.Sc.A.

Titre:

La simulation de la stabilité transitoire, au moyen de processeurs élémentaires, dans les réseaux de transport d'énergie.

RÉSUMÉ:

L'objet de la présente recherche consiste à appliquer un nouvel algorithme existant, exploitant le parallélisme pour la simulation des réseaux de transport d'énergie, sur la machine PULSE doté de multiples processeurs élémentaires, et à en valider le concept. En particulier, on vise la réalisation d'un prototype de simulateur rapide qui pourrait évidemment conduire à une technologie de commande de processus en temps réel. De plus, une méthodologie sera élaborée pour l'application de réseaux parallèles sur la machine PULSE.

PROBLÉMATIQUE:

A cause de considérations économiques et environnementales, ainsi que de nouvelles opportunités de vente et d'achat d'électricité dans un marché de plus en plus dérèglementé, il devient nécessaire pour l'industrie du transport d'énergie d'optimiser les capacités de transits. Présentement, la détermination des limites de transits se fait généralement en temps différé, avec comme seul exercice d'assurer la

gestion de l'exploitation et de la planification, et ce principalement à cause des limitations des calculateurs numériques actuels. Alors, la nécessité d'augmenter les transits de puissance sur les corridors obligent aujourd'hui les compagnies d'électricité à avoir recours à des stratégies d'exploitation de plus en plus complexes. Il est donc devenu important d'introduire la détermination de ces capacités de transit dans l'environnement des centres de commande des réseaux. De plus, le développement d'une technologie de simulation beaucoup plus rapide que la réalité pourrait évidemment conduire à une technologie de commande de processus en temps réel.

MÉTHODOLOGIE:

1. Analyse des besoins: étude de l'algorithme proposé et identification des parties critiques à la performance du système (profilage).
2. Implémentation sur la carte BLAZER (modèle MIMD): validation du modèle proposé et en particulier la communication sur une application distribuée, au moyen d'un réseau simple de transport d'énergie à 9 barres.
3. Implémentation sur la machine PULSE (modèle SIMD): validation du modèle proposé sur le simulateur avec le réseau de transport d'énergie à 9 barres.
4. Adaptation et intégration sur les prototypes PULSE (prototype 1 à 3): validation réelle avec le réseau de transport d'énergie à 9 barres, en fonction du nombre de processeurs élémentaires disponibles sur les prototypes.
5. Analyse de performance et optimisation: comparaisons de performances entre les modèles SISD, MIMD, et SIMD.
6. Proposition d'une méthode d'applications sur PULSE pour les réseaux parallèles: généralisation du modèle SIMD.

RÉSULTATS:

Aucun résultat disponible à ce jour.

***BELABBES Nacer-Eddine* DIPLÔME: Ph.D.**

TITRE:

Synthèse des circuits analogiques et mixtes.

RÉSUMÉ:

La conception de circuits analogiques nécessite une connaissance du comportement de bas niveau qui nécessite un grand nombre de simulations pour atteindre les spécifications désirées. Mon objectif est d'automatiser cette phase en réduisant de façon significative le nombre de simulations. Les méthodes utilisées seront basées sur le concept de sensibilité.

PROBLÉMATIQUE:

Le développement technologique en microélectronique permet la réalisation de circuits de grande complexité. Par conséquent dans le but de réduire le temps de design, il est nécessaire d'automatiser la phase de conception des circuits VLSI. Cette automatisation est facile à implémenter dans le cas des circuits digitaux, car l'effort de design est essentiellement concentré à haut niveau. Par contre, pour les

circuits analogiques, il est nécessaire de connaître le comportement de bas niveau, c'est-à-dire de connaître les modèles comportementaux du circuit au niveau composants (résistance, transistors, etc.). Dans notre cas, nous voulons développer des méthodes qui permettent d'améliorer les performances de certains paramètres dégradés lors d'interconnexion des blocs fonctionnels. Ceci aide le concepteur à minimiser le nombre de simulations pour atteindre son objectif.

MÉTHODOLOGIE:

Les méthodes seront basées sur le concept de sensibilité. L'amélioration de paramètre dégradé s'effectue par l'insertion d'éléments passifs dans le circuit. Une analyse détaillée de la sensibilité des paramètres décrivant l'objectif du circuit permet de choisir les éléments et les noeuds où ces éléments seront insérés. Cette analyse est basée sur l'amélioration de certaines performances dégradées tout en gardant les autres performances à un niveau acceptable.

RÉSULTATS:

1. Réalisation d'un nouveau prototype de commutateur qui utilise la technologie AsGa de 0.6 microns de TQS. Cette technologie donne de meilleures performances (consommation de puissance, R_{on} , moins de parasites, moins de hardware et moins de coût).
2. Étude et simulation détaillées de toutes les structures possibles d'un commutateur en technologie CMOS afin d'améliorer les performances suivantes: bande passante, résistance R_{on} , isolation ("Feedthrough"), Effet "crosstalk", délai de propagation et R_{on} .
3. Réalisation et soumission à TQS 3 de prototypes complets (logique et matrice de commutateurs de 8 x 8) en AsGa 1 micron. Les 2 prototypes soumis sont réalisés avec notre logique pour une structure à basse tension (-3.3 à + 3.3 volts) et à haute tension (-5 à 5 volts) et le dernier prototype est réalisé avec la technologie de TQS.
4. Réalisation et soumission à Mitel de 3 prototypes de commutateur 12 x 12 ($R_{on} = 20, 35$ et 90 Ohms) avec la technologie Mitel 1.2u double métal. Chaque prototype est conçu et optimisé au niveau système et ceci justifie les différents R_{on} .

BÉLANGER, Normand **DIPLÔME:** Ph.D.

TITRE:

Outils et méthodes pour le traitement parallèles de calculs matriciels.

RÉSUMÉ:

Développer des outils permettant de paralléliser automatiquement des applications qui traitent des tableaux.

PROBLÉMATIQUE:

Les travaux de ce domaine se limitent essentiellement à paralléliser du code-source écrit sous forme de boucles imbriquées. Dans le but de faire mieux et d'éviter de faire du "reverse engineering" sur le code-source, je me concentre sur du code écrit à l'aide d'opérateurs sur des tableaux.

L'utilisation d'opérateurs sur des tableaux permet de rendre le code-source plus compact et plus lisible et il permet de décrire ce que l'on veut faire plutôt que comment on veut le faire ce qui laisse plus de

flexibilité au compilateur pour générer du code performant (en particulier face à la parallélisation).

MÉTHODOLOGIE:

Le langage HPF permet de décrire le partitionnement à l'aide de directives. Cependant, lorsque l'application est complexe, il est difficile de trouver quel partitionnement est le meilleur. On vise à créer un outil permettant de générer automatiquement les directives de partitionnement.

Une fois cet outil opérationnel, on vise à généraliser l'outil pour effectuer des partitionnements selon un modèle plus général que celui du HPF.

RÉSULTATS:

L'outil est complet et fonctionnel. Il reste à le tester pour quantifier la qualité de l'algorithme utilisé.

BELHAOUANE, ADEL DIPLÔME: Ph.D.

TITRE:

Modélisation d'un échantillonneur rapide et reconstitution d'un signal à partir d'un nombre fini d'intervalles.

RÉSUMÉ:

Cette recherche porte principalement sur une classe particulière d'échantillonneurs entrelacés que l'on nomme échantillonneurs parallèles. Il s'agit de trouver une méthode de reconstitution qui minimise l'erreur introduite par la non-uniformité ainsi que celle introduite par le nombre fini d'échantillons décrivant le signal. Pour arriver à reconstruire précisément les signaux capturés par un échantillonneur parallèle, il est aussi nécessaire de modéliser et de corriger les imperfections des échantillonneurs bloqueurs qu'il comporte.

PROBLÉMATIQUE:

La reconstitution d'un signal à partir de ses échantillons est un problème classique en théorie du signal. Les échantillonneurs rapides sont souvent réalisés à partir d'un décalage, dans le temps, de plusieurs échantillonneurs à vitesse moyenne. Cette technique, connue sous le nom d'échantillonnage entrelacé, augmente considérablement la vitesse, par contre elle introduit une erreur significative dans les instants d'échantillonnage. De plus, on dispose souvent d'un nombre fini d'échantillons. Par conséquent, on est souvent confronté au problème de la reconstitution d'un signal à partir d'un nombre fini d'échantillons non-uniformes.

Un ensemble de difficultés prévisibles découlent du caractère aléatoire et des interactions entre les divers mécanismes qui introduisent des erreurs et des distorsions. Ce travail cherche à reconstruire des signaux fortement corrompus obtenus de technologies de points poussées à leurs limites. De plus, les algorithmes de reconstitution à développer opèrent souvent près des limites fondamentales prédites par la théorie du traitement des signaux.

MÉTHODOLOGIE:

Ce travail de recherche comprendra les points suivants:

1. Recherche bibliographique pour estimer l'état actuel des recherches et nous positionner par rapport à d'autres résultats de travaux de recherche.

2. Développement d'un algorithme de reconstitution d'un signal à partir de ses échantillons.
3. Compensation d'une erreur d'échantillonnage déterministe et prévisible.
4. Compensation d'une erreur d'échantillonnage aléatoire et prévisible.
5. Modélisation de la non-linéarité d'un échantillonneur bloqueur rapide par une famille de fonctions de transfert.
6. Tirer avantage de la périodicité de l'erreur produite par l'échantillonnage parallèle.

RÉSULTATS:

La principale contribution de notre travail est de montrer qu'une reconstitution exacte est possible même si les échantillons sont non uniformes. Les résultats montrent que pour certaines catégories de défauts, le signal peut être reconstitué exactement et, pour le reste, une amélioration est possible. Nous avons entre autre établi un rapport entre la qualité de reconstruction et le produit amplitude-fréquence de la déviation

BEN HAMIDA, Naïm **DIPLÔME:** Ph.D.

TITRE:

Test des circuits analogiques et mixtes.

RÉSUMÉ:

L'objectif de la thèse est de tester les circuits analogiques et mixtes sans leurs apporter de modifications. La méthode que nous proposons est basée sur le calcul des sensibilités et la programmation en nombres entiers pour réduire le nombre de vecteurs de test. Pour la partie numérique, nous utilisons la manipulation booléenne pour prendre en considération les contraintes imposées par chaque bloc du circuit mixte.

PROBLÉMATIQUE:

Le test des circuits mixtes est connu comme étant une tâche très difficile. Ceci est dû à la nature des circuits analogiques et aux interactions entre les signaux numériques et analogiques. Les circuits analogiques sont habituellement testés en vérifiant leurs fonctionnalités. Ces circuits ont tendance à être sur-testés ou sous-testés puisqu'il n'y a pas de critères d'arrêt bien définis. En plus, les techniques utilisées pour le test des circuits analogiques sont des techniques empruntées à celles des circuits numériques. D'autres techniques de génération de vecteurs de test qui se basent sur des modèles de pannes réalistes ont été proposées. Ces modèles sont extraits du dessin de masque du circuit en considérant les probabilités d'apparition des défauts physiques. Ces techniques sont très coûteuses et ne s'appliquent qu'à des circuits de petite taille.

MÉTHODOLOGIE:

Dans le but d'avoir un test optimum, nous proposons une stratégie de test qui tient compte de la structure et de la fonctionnalité du circuit analogique. Ainsi, au lieu de vérifier toutes les fonctions réalisées par le circuit, nous choisissons celles qui couvrent tous les composants du circuit. En utilisant la sensibilité, les circuits analogiques peuvent être modélisés par un graphe liant les composants et les fonctions réalisées par le circuit. Le poids de cet arc est la déviation minimale du composant par rapport à sa valeur nominale qui force une erreur sur la fonction. Cette déviation est déduite de la

sensibilité, de la tolérance sur les composants et de l'estimation de la tolérance sur les fonctions.

Pour remédier aux problèmes de test des circuits mixtes, nous proposons de tester les circuits mixtes sans modification. Le test de la partie analogique traite deux problèmes: l'activation de la panne à partir du circuit analogique et la propagation de son effet aux sorties primaires du circuit numérique. Pour le circuit numérique, les vecteurs de test sont générés sous les contraintes imposées par le circuit analogique. Pour les convertisseurs analogique/numérique (ADC), inclus dans un circuit mixte, on distingue deux types de tests. Un test statique effectué en DC et un test dynamique effectué en AC. Parmi les performances qu'il faut tester en DC on trouve l'erreur de non-linéarité intégrale (INLE) et l'erreur de non-linéarité différentielle (DNLE). Pour le test dynamique, le rapport signal à bruit (SNR) et le nombre effectif de bits sont les paramètres les plus importants.

RÉSULTATS:

Nous avons développé une méthode unifiée de génération de vecteurs de test pour les circuits analogiques et mixtes. Cette méthode a été implantée dans un logiciel de calcul automatique de sensibilité et utilisée dans la conception pour la testabilité des circuits mixtes (LIMSoft).

BENSALEM, Brahim **DIPLÔME:** Ph.D.

TITRE:

Modélisation du mismatch dans les circuits analogiques.

RÉSUMÉ:

Le projet consiste en premier lieu à étudier le problème de mismatch dans les circuits analogiques VLSI. En deuxième lieu, ce modèle sera intégré dans un outil de génération de vecteurs de test et de conception pour la manufacturabilité (D.F.M.).

PROBLÉMATIQUE:

La réduction incessante d'échelle dans la fabrication des circuits intégrés VLSI complique la tâche de rencontrer les spécifications souhaitées par le concepteur. Des transistors de même taille et appartenant au même circuit vont avoir des valeurs nominales différentes. Cette différence est appelée mismatch. Ce phénomène est attribuable à divers facteurs dont la non uniformité du profil de dopage, l'usure des équipements de la ligne de fabrication, etc...

MÉTHODOLOGIE:

Nous nous proposons de modéliser ce phénomène comme un processus stochastique. La multitude des causes du mismatch et la difficulté de prédire avec exactitude l'effet individuel de chaque cause rend inévitable le recours à un modèle stochastique. Le modèle est censé fournir au concepteur une estimation réaliste du mismatch entre les différents composants du circuit dépendamment de leur taille et de leur disposition géométrique dans le circuit.

Ce modèle servira en deuxième lieu à l'amélioration du rendement. Une optimisation du rendement selon les contraintes générées suite à l'étude du mismatch serait mise à la disposition du concepteur.

En troisième lieu, ce modèle nous permet de générer les vecteurs de test pour les pannes du circuit en question. Ceci se fera par la comparaison des déviations des paramètres par rapport aux valeurs nominales avec les contraintes de performance spécifiées par le concepteur.

RÉSULTATS:

Le modèle a été fait. Une interface avec l'environnement de design CADENCE est sous construction. Cette interface permettrait en premier lieu l'extraction des informations topologiques du circuit et en deuxième lieu l'automatisation du calcul du mismatch entre les différents composants.

BOHSINA Driss **DIPLÔME:** M. Ing.

TITRE:

Contrôleur flexible commandé par ordinateur pour un implant urinaire multi-canal.

RÉSUMÉ:

Le présent projet a pour objectif, la conception et la réalisation d'un contrôleur flexible qui sera utilisé comme interface dans un système de simulation contrôlé par IBM-PC (ou compatible), dans le but de faciliter la réalisation des stimulations neuromusculaires chez les personnes souffrant de troubles reliés à l'incontinence et à la rétention urinaire.

PROBLÉMATIQUE:

De nos jours, le nombre de personnes souffrant de maladies reliées à l'incontinence et à la rétention urinaire est de plus en plus élevé, et les recherches et travaux reliés à ce domaine augmente sans cesse; cependant les lacunes des stimulateurs urologiques nous ont incité à mettre au point un système complet qui facilitera la réalisation de tests approfondis en milieu biologique. Le système de stimulation est constitué de deux parties: la première, interne (ou implant) et à base de différents circuits intégrés et technologies variées, sert à stimuler les nerfs liés aux organes présentant les dysfonctions; la seconde, externe, est représentée par le contrôleur avec le micro-ordinateur. Le contrôleur à réaliser doit pouvoir transférer des données du P.C. vers les stimulateurs quelle que soit la longueur de la donnée (8, 24, 32 bits); en plus ces données doivent être mises en forme avant d'être envoyées en série vers les stimulateurs.

MÉTHODOLOGIE:

Notre principale préoccupation est de concevoir un système flexible pouvant transférer des données du P.C. vers les stimulateurs quelle que soit la longueur de la donnée; en plus les données doivent être encodées avant d'être envoyées en série. La seconde préoccupation serait de miniaturiser ce contrôleur puis de développer un logiciel de communication pour permettre à l'utilisateur de varier les paramètres de stimulation.

RÉSULTATS:

Le contrôleur est maintenant réalisé autour d'un FPGA d'ACTEL. Les résultats de simulation de l'application sont satisfaisants. Les étapes qui consistent à programmer un premier prototype et vérifier les limites de ces performances, ont donné des résultats très satisfaisants. De plus, le travail a fait l'objet de deux publications dans des compte-rendus de conférence.

BOUBEZARI Samir **DIPLÔME:** Ph.D.

TITRE:

Analyse de testabilité et insertion de points test au niveau transfert de registres.

RÉSUMÉ:

Notre travail consiste à faire l'analyse de testabilité et l'insertion de points de test dans les circuits numériques décrits au niveau VHDL (RTL) synthétisable par les outils de synthèse existant sur le marché actuel comme Synopsys, Mentor Graphics, Cadence, etc. Nous supposons la technique de full scan où l'analyse de testabilité et l'insertion de points de test concernent seulement la partie combinatoire. Dans une première étape de notre travail, on procède à l'analyse et à l'identification des structures VHDL synthétisables par les outils de synthèse existant pour établir la correspondance matérielle de ces structures après la synthèse. Cette dernière analyse nous permet d'identifier tous les modules séquentiels (full scan) et combinatoires ainsi que les entrées/sorties primaires et pseudo-primaires des modules combinatoires. L'étape suivante consiste à propager des mesures de testabilité à travers les structures VHDL identifiées dans la première étape afin d'identifier les parties du circuit les plus difficiles à tester. Enfin, la dernière étape utilise ces mesures de testabilité pour modifier le code VHDL ou insérer des points de test afin d'améliorer la testabilité du circuit.

PROBLÉMATIQUE:

L'importance et l'avantage de prévoir la testabilité des circuits VLSI à une étape avancée du processus de conception, a été établie récemment dans la littérature. En effet, à cause de la complexité croissante des circuits VLSI, il est devenu de plus en plus difficile d'estimer la testabilité des circuits après la synthèse du circuit au niveau portes. Les techniques classiques utilisent toujours un circuit décrit sous forme d'interconnexions de portes logiques ou de modules fonctionnels relativement petits en terme de complexité. Par conséquent, ces techniques classiques ne permettent d'estimer la testabilité du circuit qu'après la synthèse de ce dernier. Cependant, ces techniques semblent limitées à cause de la complexité croissante des circuits VLSI. De plus, l'insertion de points de test est très complexe après la synthèse du circuit. Donc, il est de plus en plus important de considérer la testabilité du circuit à une étape plus avancée de la synthèse afin de minimiser la complexité du test.

MÉTHODOLOGIE:

La méthode que nous proposons permet d'abord d'explorer la relation entre la description VHDL des circuits et leur correspondance matérielle après la synthèse en utilisant un des outils de synthèse. Dans cette étape, nous devons analyser toutes les descriptions VHDL synthétisables et leur correspondance matérielle après la synthèse. Cette dernière analyse nous permettra d'identifier les éléments séquentiels et combinatoires du circuit qui seront obtenus après la synthèse. Une structure interne sera générée après cette analyse pour pouvoir propager la testabilité du circuit à travers la description VHDL. Après quoi, une modification du code VHDL sera nécessaire dans les parties les plus difficiles à tester.

RÉSULTATS:

1. Analyse des structures VHDL synthétisables en utilisant les outils de synthèse Synopsys et Mentor Graphics
2. Identification des modules séquentiels et combinatoires après l'analyse du code VHDL.
3. Propagation des mesures de testabilité à travers les structures VHDL.
4. Insertion de points de test après identification des parties du circuit les plus difficiles à tester.
5. Validation de l'approche proposée en utilisant les outils de synthèse.

***BOURRET Sylvain* DIPLÔME: M.Sc.A.**

TITRE:

Stimulateur neuromusculaire implantable pour les muscles des membres supérieurs.

RÉSUMÉ:

Le projet consiste à développer un implant permettant de stimuler les muscles des membres supérieurs. Son but ultime est de permettre à des personnes tétraplégiques de recouvrir une partie de leur mobilité et de leur autonomie. Il est à noter que le présent projet ne solutionne pas le problème de la commande de l'implant par l'utilisateur.

PROBLÉMATIQUE:

Des critères vitaux lors de la mise au point d'un circuit implantable sont la fiabilité et la sécurité pour l'utilisateur. Du point de vue du design, une surface minimale et une faible consommation de puissance sont des atouts appréciables. Aussi, ces critères devront guider le projet lors de son développement.

MÉTHODOLOGIE:

Avant de se lancer dans tout développement, une révision de la littérature s'impose. Cette dernière devra toucher les domaines de la microélectronique, la stimulation neuromusculaire ainsi que les règles régissant le mouvement chez les animaux et particulièrement chez l'homme.

Par la suite, des patrons de stimulation permettant la réalisation de différentes tâches seront élaborés. Finalement, un implant respectant les différentes contraintes physiques et physiologiques sera développé, réalisé et ses performances seront évaluées en laboratoire.

RÉSULTATS:

Le projet étant présentement à ses débuts, aucun résultat concret n'a encore été obtenu. Toutefois, une revue exhaustive de la littérature touchant le domaine a été effectuée.

Une source de courant commandable est présentement en développement. Cette dernière sera réalisée en technologie BiCMOS et pourra fournir un courant d'environ 5 mA à une charge de 1 k soit l'impédance caractéristique d'un nerf.

BOYOGUENO BENDÉ André **DIPLÔME:** Ph.D.

TITRE:

Conception et réalisation intégrée des portes optiques pour le traitement en parallèle du signal optique en technologie GaAs.

RÉSUMÉ:

Des portes optiques pour architectures parallèles ayant des entrées/sorties optiques sont des composants indispensables pour la réalisation du traitement en parallèle d'un signal optique. Dans le cadre de ce projet de recherche, nous allons proposer et réaliser sous forme de circuits intégrés compact un transducteur dédié aux transmissions optiques multilongueurs d'onde utilisant les techniques de courant en technologie GaAs.

PROBLÉMATIQUE:

La disponibilité des composants optoélectroniques tels que les lasers à semiconducteurs monomodes et les photodétecteurs rapides a suscité des nouvelles applications en transmission optique. Ces nouvelles applications nécessitent des techniques de transmission à haut débit et par conséquent, une demande accrue en bande passante. Afin de tirer avantage de l'énorme capacité de transmission des fibres optiques, on utilise de plus en plus des techniques de multiplexage/démultiplexage pour transmettre le maximum d'information dans un même canal.

Quelques réalisations de portes optiques ont été rapportés dans la littérature au cours des dix dernières années. Leurs principales limitations sont l'absence de gain optique et une efficacité de conversion très faible. Nous voulons surmonter ces limitations en apportant des techniques novatrices de conception basées sur les courants.

MÉTHODOLOGIE:

1. Choix d'une architecture appropriée et simulation sur Pspice afin de caractériser et optimiser les différents blocs.
2. Développement d'un prototype en technologie GaAs 0.6 micron, réalisant la réception, le traitement optique et la transmission de deux canaux de transmission utilisant une matrice d'interconnexion optique 2 x 2.
3. Extension du design à des architectures plus denses.
4. Réalisation des dessins de masques avec "Cadence", fabrication du circuit intégré et test de l'architecture définitive.

RÉSULTATS:

Le projet est encore à sa phase de démarrage. Des simulations sont en cours afin de choisir et d'optimiser

l'architecture retenue.

CANTIN Marc-André **DIPLÔME:** M.Sc.A.

TITRE:

Mise en oeuvre d'un réseau de neurones artificiels basé sur l'algorithme Fuzzy ART.

RÉSUMÉ:

Les réseaux de neurones auto-organiseurs permettent de regrouper des ensembles d'objets de façon autonome, en temps réel, sans connaître d'avance le nombre de groupes à former. Le traitement effectué par l'algorithme Fuzzy ART de Carpenter, Grossberg et Rosen, permet d'organiser rapidement les ensembles d'objets qui lui sont présentés par des catégorisations stables.

PROBLÉMATIQUE:

L'algorithme Fuzzy ART original n'a pas été formulé en fonction d'une implantation VLSI. Le défi consiste à le reformuler sous la forme d'un algorithme plus facile à mettre en oeuvre tout en préservant la fonctionnalité et en respectant les contraintes d'implantation physique.

MÉTHODOLOGIE:

La tâche consiste d'abord à reformuler l'algorithme Fuzzy ART de façon à ce que l'algorithme devienne séquentiel. La mise en oeuvre de l'algorithme séquentiel est définie par une architecture système pouvant fonctionner à haute vitesse. Le code VHDL de cette architecture sera simulé et synthétisé. Le goulot d'étranglement pourra être défini et l'algorithme séquentiel redéfini de façon à y réintroduire un degré de parallélisme réalisable afin d'optimiser la vitesse de traitement.

RÉSULTATS:

Un algorithme reformulé fut développé pour permettre la mise en oeuvre efficace de l'algorithme. Une architecture système fut proposée. Cette architecture permet la mise en oeuvre de l'algorithme reformulé pour des applications à haute vitesse. Une implantation des différentes fonctions de l'algorithme fut réalisée en VHDL.

CANTIN, Pierre-Luc **DIPLÔME:** M.Sc.A.

TITRE:

Interfaces universelles pour capteurs.

RÉSUMÉ:

Le marché des capteurs connaît une importante croissance. D'une part, la volonté de mieux gérer notre environnement, le contrôle de la qualité et l'apparition de nouvelles technologies de capteurs ouvrent le champ à de nouvelles applications. D'autre part, les progrès de la microélectronique vers des systèmes de traitements numériques toujours plus complexes et denses permettent des interfaces avec le monde extérieur elles aussi plus complexes. Par contre, la conception d'une interface analogique est souvent coûteuse et fastidieuse. La conception analogique ne bénéficie pas encore d'outils et de technologies permettant un prototypage rapide contrairement à la conception de systèmes numériques (e.g. FPGAs, VHDL). Afin d'accroître l'accessibilité à la conception d'applications utilisant des capteurs, notre projet s'intéresse à la conception d'une interface universelle (programmable) pouvant satisfaire un vaste ensemble de capteurs différents par leur nature. Nous tenterons dans un premier temps de répondre aux applications de capteurs de nature conventionnelle par opposition aux technologies micro-machinées.

PROBLÉMATIQUE:

L'ensemble des capteurs qui nous intéressent (gauges de contrainte, RTDs, LVTDs, Thermistors, capteurs de gaz...) requièrent différents modes d'excitation et de conditionnement de signal. La bande passante moyenne pour leurs applications se limite à 100 kHz. Cela ne constitue pas une contrainte sévère. Toutefois, l'amplitude des signaux à conditionner varie de quelques micro-Volts à quelques Volts. L'interface devra donc offrir une large gamme de gain, présenter peu de bruit et d'offset à l'entrée. La précision de l'interface constitue la principale contrainte. Le problème se résume à concevoir une chaîne de conditionnement programmable (gain, bande passante), de définir suffisamment de fonctionnalité afin de produire un composant utile dans plusieurs applications de capteurs.

MÉTHODOLOGIE:

Revue de littérature portant sur les différentes méthodes d'excitation et de conditionnement de signal.

Définition d'une architecture pouvant satisfaire notre ensemble de capteurs.

Revue de littérature pour chaque sous-système.

Entrée schématique au moyen de ViewDraw (ViewLogic) et simulation avec Hspice.

Planification du layout et dessin des masques sur L-Edit (tanner) et/ou Virtuoso (Cadence).

Simulation post-layout au moyen de Hspice (avant-metasoftware) et/ou Meta-Circuit.

RÉSULTATS:

Nous avons achevé une recherche de littérature approfondie, un survol des systèmes existants et nous avons élaboré l'architecture de l'interface universelle que nous proposons.

CHABINI, Nouredine **DIPLÔME:** M.Sc.A.

TITRE:

Optimisation des boucles sur les architectures VLIW.

RÉSUMÉ:

L'optimisation des boucles comme son nom l'indique, consiste à minimiser le temps de calcul dans le corps d'une boucle. Pour atteindre cet objectif, plusieurs méthodes sont utilisées, en particulier le déroulement des boucles et le "pipelinage". Mais ceci sans laisser tomber l'architecture cible comme par exemple l'architecture VLIW (i.e. Very Long Instruction Word).

PROBLÉMATIQUE:

Comment optimiser les bouches en tenant compte de l'architecture; sous contrainte SIMD.

MÉTHODOLOGIE:

Comme la solution n'est pas unique et qu'en général le problème est NP-complet, on essaie de trouver un compromis entre le temps d'exécution et la complexité de l'architecture résultante.

RÉSULTATS:

Étape 1: Analyse des possibilités de l'outil SIR/CASTLE.

Étape 2: Comme l'outil SIR/CASTLE ne répond pas à la totalité de ce que l'on veut faire; nous avons utilisé le compilateur LCC. Durant cette étape, je me suis concentré sur l'étude du compilateur LCC afin de l'adapter à nos besoins.

Étape 3: Trouver ou développer des algorithmes de partitionnement sur les processeurs et après partitionner chaque tâche sur les unités fonctionnelles et de stockage de chaque processeur.

CHEN, Jianyao **DIPLÔME:** Ph.D.

TITRE:

Modélisation et analyse d'un semi-conducteur laser DFB couplé par gain

RÉSUMÉ:

Le projet est de développer un modèle numérique détaillé et universel pour une simulation exacte et

efficace d'un semi-conducteur laser avec une contre-réaction distribuée (DFB). En incluant les caractéristiques de lasers DFB pratiques comme la modulation multi-électrodes, le décalage de phase multiple, la condition de facettes asymétriques, le couplage distribué complexe et l'émission spontanée, les propriétés des semi-conducteurs lasers DFB sont explorés pour de nouvelles améliorations. BR
wp="br1">

PROBLÉMATIQUE:

La contre-réaction distribuée fournit une approche effective pour obtenir une oscillation unique et longitudinale d'un semi-conducteur laser. A cause de la non-uniformité de la distribution du champ dans la cavité du laser, les caractéristiques de dépendance spatiale ont une influence significative sur le comportement statique et dynamique du laser DFB. Le couplage complexe et la modulation multi-électrode donne aussi assez de flexibilité pour améliorer la performance du laser. Notre but est d'examiner l'inter-réaction entre les porteurs et les photons dans différents cas et, de rechercher une conception optimale pour une vitesse élevée, une puissance élevée, un taux de suppression élevé et une intensité indépendante de la fréquence de modulation. Nous aurons donc atteint une performance élevée à faible coût pour une application en télécommunication optique.

MÉTHODOLOGIE:

En se basant sur l'analyse de la fonction de Green et les équations d'ondes couplées, la non-uniformité spatiale induite par les porteurs de charge et les fluctuations des photons peut être traitée comme une source d'excitation distribuée pour le champ optique dans la cavité du DFB. Aussi, de nouvelles équations à taux multi-modes, incluant du bruit, peuvent être développées pour donner une simulation exacte de la performance du laser et ce, en-deçà et au-delà du seuil.

RÉSULTATS:

Utilisant les équations d'onde couplées, un simulateur auto-consistant a été développé pour l'étude, au-dessus du seuil, du fonctionnement statique et dynamique des lasers DFB unimodaux. Le modèle a aussi été utilisé avec succès pour étudier les effets des inhomogénéités spatiales sur la fréquence de résonance et sur la distorsion harmonique des lasers DFB. Récemment, le modèle a été utilisé pour analyser pour la première fois, les lasers DFB multimodaux et avec électrodes multiples en configuration "push-pull".

La modélisation va se poursuivre avec l'élaboration d'un simulateur de lasers DFB multimodaux au-dessous et au-dessus du seuil. Une modélisation plus précise nous permettra d'atteindre une meilleure compréhension des performances dynamiques des lasers DFB. Il est aussi prévu de déterminer le design optimal pour les lasers DFB de la nouvelle configuration "push-pull" ainsi que de comparer avec des résultats expérimentaux.

CONTANDRIOPOULOS, Nicolas **DIPLÔME:** M.Sc.A.

TITRE:

Partitionnement logiciel/logiciel automatique sur des architectures parallèles hétérogènes.

RÉSUMÉ:

Ce sujet vise à développer des méthodes de partitionnement automatiques pour une architecture parallèle ciblée. L'architecture ciblée se trouve être celle définie dans le projet PULSE, dédiée aux traitements numériques (du type vidéo) en temps réel. Ce projet a pour but de transformer un

algorithme décrit dans un code séquentiel pour être exécuté sur une architecture multiprocesseur parallèle.

PROBLÉMATIQUE:

Le projet PULSE prévoit réaliser une architecture multiprocesseur hétérogène constituée de processeur ASIC à structure SIMD et de microprocesseurs commerciaux. L'objectif principal de ce projet consiste à exécuter en temps réel des algorithmes de traitement numérique vidéo. Une constituante essentielle est d'assigner les tâches à chaque processeur avec comme but de maximiser les performances du système pour un algorithme séquentiel donné. Ce partitionnement des tâches réparties sur les différents processeurs est un problème reconnu comme étant difficile même manuellement. L'objectif principal de ce projet consiste à rendre ces actions automatiques et suffisamment flexibles pour qu'il puisse s'adapter aux différentes configurations des architectures actuelles et futures, telles que définies dans le projet PULSE.

MÉTHODOLOGIE:

Dans un premier temps, le problème est analysé par un partitionnement manuel d'algorithmes types sur la plate-forme, pour apprendre les méthodes de partitionnement efficaces sur l'architecture ciblée. Dans un second temps, une interface sera développée pour permettre d'analyser, d'une manière dynamique, les performances de différents partitionnements d'un même algorithme, et ainsi valider les méthodes. Enfin, les méthodes de partitionnement validées seront insérées dans un outil de partitionnement automatique.

RÉSULTATS:

Des partitionnements manuels ont été réalisés et ainsi une expertise a été acquise. Une interface permettant l'analyse dynamique des performances d'algorithmes sur les environnements du système PULSE a été réalisée. Actuellement, nous mettons au point des heuristiques et méthodes pour partitionner automatiquement des algorithmes sur les différents processeurs en tenant compte de leurs rôles et de leurs spécificités.

CORNILESCU, DAN DIPLÔME: M.Sc.A.

TITRE:

Convertisseur analogique-numérique basé sur une cellule parallèle de 2 bits en mode courant.

RÉSUMÉ:

L'objectif est la conception d'un convertisseur analogique-numérique de très haute vitesse (fréquence d'échantillonnage minimum de 50 MHz) avec une résolution minimum de 8 bits pour des applications de traitement numérique d'images.

PROBLÉMATIQUE:

Une technique de conception en mode courant du CAN interne, une architecture pipelinée et l'utilisation du procédé BiCMOS peuvent constituer une solution pour obtenir les caractéristiques demandées du CAN dédié au traitement de signaux vidéo à haute définition (haute fréquence d'échantillonnage, haute résolution) avec une réduction de la surface du circuit et de la consommation de puissance.

MÉTHODOLOGIE:

Le point de départ consiste à proposer un circuit échantillonneur/bloqueur opérant à une vitesse supérieure à 20 MHz. Ensuite la mise au point d'une cellule à 2 bit parallèle sera abordé.

Finalement, l'implantation de l'ensemble sera faite en utilisant le procédé BiCMOS 0.8 μm de Nortel dans l'environnement Cadence-Analog Artist.

RÉSULTATS:

Un nouveau schéma du circuit qui utilise exclusivement le fonctionnement en mode courant a été proposé et validé par des simulations HSPICE avec les modèles de la technologie BiCMOS. Le travail a été principalement concentré sur la minimisation des erreurs de la cellule de conversion.

Comme résultat partial un nouveau miroir de courant BiCMOS avec des caractéristiques supérieures a été

proposé.

Présentement, il reste à finir le schéma du convertisseur tension-courant du CAN et concevoir le dessin des

masques pour le procédé BiCMOS.

***DJEMOUAI, ABDELOUAHAB* DIPLÔME: Ph.D.**

TITRE:

Interface transcutanée bidirectionnelle dédiée aux implants neuromusculaires

RÉSUMÉ:

Le but du présent travail est la conception et la réalisation VLSI d'une interface radio-fréquence de communication et d'alimentation pour des stimulateurs neuromusculaires implantables. Le rôle de ces stimulateurs (implants) est la récupération totale ou partielle des fonctions d'organes humains paralysés. Ces implants devront fonctionner à de très faibles puissances et occuper des surfaces très réduites. De plus, comme ces stimulateurs sont implantés sous la peau, la communication et l'énergie nécessaire pour leur bon fonctionnement devront être effectués à distance.

PROBLÉMATIQUE:

Le recours aux implants biomédicaux (stimulateurs) intégrés a été depuis longtemps considéré comme une solution alternative pour la récupération de la fonctionnalité des organes humains paralysés. Cependant, l'alimentation de ces implants représente un handicap majeur dans leur design. Comme ces stimulateurs sont destinés pour un fonctionnement à long terme, leur alimentation devrait être effectuée à distance afin d'éviter le recours aux batteries et aux opérations chirurgicales nécessaire pour les recharger. Souvent le même lien (interface) d'alimentation est aussi utilisé comme moyen de communication avec l'implant. Donc, le développement d'une telle interface représente une étape cruciale dans la conception des implants biomédicaux. C'est dans cet axe que nous dirigeons les recherches pour développer et concevoir des interfaces d'alimentation et de conunication pour permettre un fonctionnement correct et de longue durée pour des stimulateurs intégrés.

MÉTHODOLOGIE:

La première étape à suivre est de revoir toutes les approches utilisées auparavant dans le domaine des interfaces de transferts d'énergie et de communication pour les implants intégrés. Puis en exploitant les moyens que nous disposons au laboratoire, il faut développer et implanter les méthodes pour palier aux inconvénients déjà rencontrés dans ce domaine.

L'interface (lien inductif) que nous proposons devrait assurer:

1. L'acheminement de l'énergie d'alimentation à l'implant.
2. La transmission de données à l'implant.
3. La réception de données en provenance de l'implant.

Pour évaluer les performances de l'interface, l'estimation des pertes du lien inductif et les pertes dans la peau est indispensable. Une telle estimation est nécessaire pour caractériser efficacement l'interface et de déterminer la région de fréquence d'utilisation où les pertes sont minimales et pour que le rendement en puissance soit optimal.

RÉSULTATS:

1. Évaluation des pertes électromagnétiques dans la peau.
2. Évaluation des pertes de l'interface inductif.
3. Caractérisation de l'interface inductif (détermination du rendement global).

***EHSANIAN-MOFRAD, Mehdi* DIPLÔME: Ph.D.**

TITRE:

Convertisseur analogique-numérique de type intervalle à haute résolution et à grande vitesse.

RÉSUMÉ:

Le projet consiste à faire la conception d'un convertisseur analogique-numérique à haute résolution. La nouvelle technique dite de "subranging" sera utilisée dans la conception. Le design va être implémenté en technologie BiCMOS ou CMOS. La résolution est de 12 à 15 bits. La vitesse de conversion est de 1 à 2 Ghz.

PROBLÉMATIQUE:

Un des principaux problèmes des circuits convertisseurs analogiques-numériques à grande vitesse est la résolution. La résolution est normalement sacrifiée en augmentant la vitesse. L'architecture flash est la solution générale au convertisseur à haute résolution et à grande vitesse. Par ailleurs, le coût des comparateurs augmente exponentiellement en fonction de l'augmentation du nombre de bits. De plus, cela fait augmenter certains éléments parasites qui influencent la résolution et la vitesse.

Notre objectif est de trouver l'architecture appropriée pour permettre la réalisation intégrée d'un système d'acquisition des données à grande vitesse. Viennent ensuite les phases d'implantation et d'essai afin de déterminer les performances et les exigences des autres blocs du système. Le circuit de type intervalle peut être une solution optimale et nouvelle à ce problème. L'entrée de ce circuit est numérique et les signaux de sortie sont numériques et analogiques. La sortie numérique est de m bits couplés aux bits les plus significatifs. La sortie analogique est transférée à l'entrée du convertisseur

analogique-numérique de faible résolution afin de produire les bits les moins significatifs.

MÉTHODOLOGIE:

Pour atteindre ces objectifs les étapes suivantes doivent être faites:

1. Tous les circuits requis doivent être conçus, fabriqués et testés individuellement.
2. Le circuit au complet doit être analysé pour trouver les erreurs.
3. Le circuit au complet doit être conçu et fabriqué en tenant compte des résultats des étapes 1 et 2 en utilisant la technologie CMOS.
4. La conception en mode courant devrait être utilisée.

RÉSULTATS:

Selon les résultats de simulation que nous avons obtenus récemment, nous pouvons concevoir un convertisseur analogique-numérique de 12 bits de résolution, en d'autres termes un rapport signal à bruit de 72 dB. Nous avons remarqué aussi que nous pouvons faire la conversion d'un signal analogique dont la fréquence peut atteindre 10 MHz.

La précision du convertisseur dépend de la précision des composants, de la technologie et du mode courant ou voltage.

Dans le futur, le convertisseur devrait être conçu en mode courant afin de fonctionner en haute fréquence.

***FARES, MOUNIR* DIPLÔME: Ph.D.**

TITRE:

Conception de circuits CMOS mixtes très rapides destinés aux systèmes de communication.

RÉSUMÉ:

L'objectif de ce travail est de développer des techniques de conception de circuits CMOS analogiques très rapides et de faible consommation de puissance. Ces circuits seront destinés surtout aux applications de communication, où la vitesse et la faible consommation de puissance sont des paramètres critiques.

PROBLÉMATIQUE:

Les systèmes de communication actuels demandent des circuits analogiques et numériques ultra-rapides, miniatures et dissipant un minimum de puissance. Ceci vise à augmenter la bande passante de ces systèmes, et aussi pour favoriser la tendance vers des systèmes portatifs opérés à partir de batterie. A cause de ces contraintes sévères, la technologie bipolaire est très souvent utilisée surtout pour les composants analogiques. Ceci a pour effet d'augmenter la dissipation de puissance de ces circuits, et de rendre difficile l'intégration complète de ces systèmes; car les circuits numériques sont généralement implantés en CMOS.

Dans ce travail, nous allons concevoir des circuits analogiques CMOS très rapides et de faible consommation, destinés à des systèmes de communication. Ainsi, nous allons être capable d'intégrer

sur le même substrat les fonctions analogique et numérique, tout en minimisant la puissance dissipée.

MÉTHODOLOGIE:

Ce projet sera réalisé selon la méthodologie suivante:

1. Étude des architectures et topologies des circuits analogiques le plus souvent utilisés en communication: PLL, DAC, ADC, filtre, amplificateur de puissance, etc.
2. Développement de techniques de conception de circuits analogiques de faible consommation de puissance.
3. Application à la conception de PLL.
4. Application à la conception des filtres.
5. Application à la conception d'amplificateurs de puissance.
6. Intégration des fonctions numériques.
7. Étude de la testabilité du système.
8. Considération de bruit.

RÉSULTATS:

Comme résultat, nous allons appliquer les techniques développées ci-haut dans la conception d'une interface de communication CMOS complément intégrée. Ce système sera fabriqué et testé.

***FORTIN Guillaume* DIPLÔME: M.Sc.A.**

TITRE:

Conception de circuits an AsGa pour la transmission de données par fibre optique.

RÉSUMÉ:

Les circuits de modulation de diodes laser sont composés d'un bloc de modulation du courant du laser pour la transmission des données et d'un bloc de régularisation de la puissance optique. Deux types de modulateurs ont été réalisés en AsGa, un pour les diodes à émission latérale et un pour les diodes à émission de surface (VCSEL).

Les méthodes de contrôle de la puissance optique des diodes laser sont nombreuses, mais la littérature contient peu de mentions de leur implantation en VLSI. Une étude des principales méthodes de contrôle de la puissance optique a été complétée et un circuit de régularisation de la puissance optique moyenne a été conçu et fabriqué. Ce circuit ajuste le courant DC fourni au laser (courant de seuil) pour stabiliser la puissance optique moyenne.

Un multiplexeur 2 à 1 fonctionnant à plus d'un gigabit/s a également été conçu et fabriqué.

PROBLÉMATIQUE:

Le développement des réseaux de communication par fibre optique à grande vitesse (622 Mbit/s et

plus) demande des circuits électroniques rapides pour assurer la transmission, la régénération et la réception des données. Plusieurs circuits de modulation de diodes laser pouvant opérer à 622 Mbit/s et plus ont déjà été réalisés dans ces technologies AsGa et silicium bipolaire. La plupart de ces circuits ne permettent cependant que la modulation du courant d'alimentation du laser, le contrôle de la puissance étant assuré par un circuit externe. Le développement d'un circuit monolithique permettant le contrôle complet de la diode laser présente un avantage important au plan de l'intégration et de la réduction des coûts.

MÉTHODOLOGIE:

Les technologies GaAs 1 μm QED/A et 0.6 μm QED/A2 de Triquint Semiconductors ont été utilisées. Les simulations ont été effectuées sur Pspice et le dessin des masques sur Cadence EDGE et Cadence 4.2.2.

RÉSULTATS:

Les simulations des circuits conçus indiquent qu'ils permettent des taux de transmission de 622 Mbit/s à 2.5 Gbit/s, ce qui correspond aux performances recherchées.

GADIRI Abdelkarim **DIPLÔME:** Ph.D.

TITRE:

Conception d'une interface CMOS très rapide pour la transmission sérielle de données.

RÉSUMÉ:

Ce travail repose sur un nouveau concept d'échantillonnage parallèle multi-seuils de signaux très rapides dans un système de transmission de données. La technique utilisée a pour intérêt d'atteindre une résolution très fine et inhabituelle en technologie CMOS dans un échantillonnage en temps réel et ce sans avoir recours à une horloge aussi rapide que le taux d'échantillonnage. Parmi les utilisations possibles dont peut faire l'objet cette technique, on peut citer les instruments de mesure numériques, les PLLs numériques et les systèmes de recouvrement d'horloge et de données.

PROBLÉMATIQUE:

L'échantillonnage des signaux à très haute vitesse est une fonction importante dans les systèmes de communication. Ces systèmes incluent les PLLs numériques et les systèmes de recouvrement d'horloge et de données. L'échantillonnage des signaux se fait généralement en appliquant les signaux de données à l'entrée d'une bascule contrôlée par une horloge de très haute vitesse. La sortie du latch fournit un échantillon de la valeur du signal de donnée à chaque fois qu'une impulsion d'horloge est appliquée. Il existe des limitations quant à la résolution possible lorsqu'on utilise des bascules. Ces limitations peuvent être minimisées en utilisant un latch ultra-rapide avec une technologie avancée. Cependant, le coût d'une telle bascule serait élevé ou tout simplement irréalisable pour un taux d'échantillonnage donné. Précisons aussi que des horloges de haute vitesse peuvent être difficiles et coûteuses à générer et à distribuer dans un circuit intégré. Les techniques conventionnelles de recouvrement de données et d'horloge utilisent une horloge de haute vitesse et des bascules, mais le taux d'échantillonnage de ces méthodes est borné par la fréquence de l'horloge. Le but de ce travail est donc de proposer un système de recouvrement de données et d'horloge à l'aide de notre technique d'échantillonnage parallèle multi-seuils. La technologie utilisée est la CMOS 0.8 μm .

MÉTHODOLOGIE:

Dans un système de transmission les données et l'horloge sont combinées de manière à former un seul train d'impulsions. A la réception, le rythme de l'horloge doit être alors récupéré pour régénérer ensuite les données à la cadence de l'horloge. Pour cela, le système que nous proposons repose sur un échantillonneur parallèle opérant à une fréquence supérieure à 2 Ghz en technologie CMOS. La méthodologie adoptée pour mener notre étude est comme suit:

1. Validation du concept d'échantillonnage parallèle multi-seuils.
2. Proposition d'une technique d'optimisation du circuit échantillonneur.
3. Application du circuit dans un système de réception avec recouvrement d'horloge et régénération de données.
4. Proposition d'un algorithme et une architecture pour le traitement des échantillons.
5. Soumission d'un circuit pour fabrication.

RÉSULTATS:

1. Validation par simulation de concept d'échantillonnage parallèle multi-seuils.
2. Développement d'une technique d'optimisation d'un échantillonneur.

GAGNON, MATHIEU **DIPLÔME:** M.Sc.A.

TITRE:

Conception d'un récepteur optique en CMOS

RÉSUMÉ:

Le récepteur sera utilisé pour réaliser l'interface entre un circuit MOS analogique et des fibres optiques de plastique. Il sera basé sur une technique de conversion de courant de façon à lui donner des performances intéressantes pour les fréquences d'utilisation des fibres optiques. De plus, cela lui permettra d'être compatible avec d'autres circuits fonctionnant en mode courant, en particulier des circuits de commutation. La linéarité de la réponse, la tolérance à une grande plage de conditions d'opération ainsi que la compatibilité avec les technologies existantes seront évaluées.

PROBLÉMATIQUE:

Comme les circuits intégrés sont de plus en plus rapides, les plots d'entrée/sortie conventionnels et les interconnexions limitent la performance des systèmes. Afin que ces derniers soient rapides, il faut donc réussir à transmettre l'information entre les circuits intégrés de façon plus efficace. Cela doit être sans engendrer des coûts de mise en boîtier trop importants ou nécessiter trop d'espace sur les circuits intégrés. De plus, l'approche retenue doit être compatible avec les technologies utilisées couramment. La technologie des fibres optiques de plastique peut répondre aux exigences de communication plus rapides. Cependant, peu de récepteurs efficaces ont été réalisés pour ce genre d'applications, et aucun ne répond à tous les critères énoncés.

MÉTHODOLOGIE:

Les circuits existants seront revus et les caractéristiques voulues déterminées. Des simulations seront faites pour assurer l'invariance de la réponse du circuit aux différentes conditions d'opération possibles.

Des caractérisations sur des structures de test de photorécepteurs seront faites. Cela nous permettra d'avoir des modèles plus précis pour les photodiodes. La testabilité du circuit, dans un contexte de système optoélectronique, sera évaluée. Finalement, un prototype sera fabriqué et testé.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

GAGNON, Yves **DIPLÔME:** M.Sc.A.

TITRE:

Restructuration par faisceau laser sur des circuits intégrés VLSI.

RÉSUMÉ:

La complexité et par conséquent les dimensions sans cesse croissantes des nouveaux micro-circuits conduisent inévitablement à une diminution du rendement à la fabrication. Les développements récents en microchirurgie des circuits par faisceau laser pourraient permettre dans certains cas la restructuration de circuits intégrés défectueux.

PROBLÉMATIQUE:

Il s'agit de proposer des modifications à apporter au design de puces présentement en développement de façon à les rendre restructurables.

De plus, nous désirons investiguer les possibilités de créer des liens par laser sans ajouter des structures supplémentaires au circuit mais en utilisant les structures déjà présentes (transistors, lignes métalliques).

MÉTHODOLOGIE:

L'orientation principale consiste à permettre le contournement de modules défectueux et l'activation de modules substitués en ajoutant le minimum de structures aux circuits. L'exercice conduira finalement à énoncer des règles fondamentales pour la conception de circuits restructurables.

De plus, nous visons la mise sur pied d'une procédure expérimentale permettant d'observer la modification des paramètres électriques sous différentes conditions d'exposition au faisceau laser, un des buts étant de coller un transistor en conduction.

RÉSULTATS:

Des progrès intéressants ont eu lieu au niveau conception mais le projet étant à ses débuts, aucun résultat digne de mention n'a été obtenu jusqu'à présent.

GRANGER, Éric **DIPLÔME:** M.Sc.A.

TITRE:

Algorithmes de catégorisation pour la mise en oeuvre d'un réseau de neurones Fuzzy ART hiérarchique.

RÉSUMÉ:

Les réseaux de neurones auto-organiseurs permettent d'organiser des ensembles d'objets de façon autonome, en temps réel, sans connaître d'avance le nombre de groupes à former. Le traitement effectué par l'algorithme Fuzzy ART de Carpenter, Grossberg et Rosen, permet d'organiser rapidement les ensembles d'objets qui lui sont présentés par des catégorisations stables. Cependant, avec cet algorithme, il est impossible de représenter des connaissances. Le but de cette recherche est d'examiner les modifications ou ajouts permettant à l'algorithme Fuzzy ART d'effectuer des catégorisations hiérarchiques.

PROBLÉMATIQUE:

L'algorithme Fuzzy ART souffre d'un problème qui le rend incapable d'effectuer des catégorisations hiérarchiques. Les catégories créées sont mutuellement exclusives ou disjointes. Toutefois, une entrée devrait logiquement appartenir à plusieurs catégories en même temps. On ne peut donc pas former des relations d'inclusion entre plusieurs niveaux de spécificité pour représenter des données hiérarchiques. Un autre problème avec ce type de système, qui apprend séquentiellement des nouvelles entrées, est sa dépendance sur l'ordre de présentation des données. Un tel apprentissage (en temps réel) donne comme effet un système dont les catégorisations dépendent de l'ordre selon lequel les données sont présentées.

MÉTHODOLOGIE:

Idéalement, un traitement de catégorisation devrait contenir deux étapes. Dans un premier temps, il devrait y avoir une catégorisation à bas niveau (comme fait par l'algorithme Fuzzy ART). Dans un deuxième temps, les catégories formées à bas niveau devraient être agglomérées ou regroupées de façon hiérarchique. Cette deuxième étape fait l'objet de cette étude. Dans le cadre de mon projet, le potentiel de plusieurs approches seront analysées pour tenter de hiérarchiser les catégorisations effectuées par le réseau Fuzzy ART.

Par exemple, il est possible de former des catégories sur plusieurs niveaux, puis de les associer par un mécanisme d'association (en logique floue). Dans tous les cas, une étude bibliographique détaillée sera nécessaire pour déterminer l'état actuel des recherches et pour évaluer la faisabilité de ces approches. Finalement, cette recherche vise à regarder la possibilité de mise en oeuvre d'un Fuzzy ART modifié et de proposer des architectures appropriées.

RÉSULTATS:

La qualité des catégorisations effectuées par l'algorithme Fuzzy ART a été évaluée dans le contexte d'une application de catégorisation de signaux radars. Un algorithme reformulé fut développé pour permettre la mise en oeuvre efficace de l'algorithme. Une architecture système a été proposée pour la mise en oeuvre de l'algorithme reformulé pour des applications à haute vitesse. Une étude comparative des réseaux de neurones auto-organiseurs qui sont efficaces pour des problèmes de catégorisation à haute-vitesse a été entreprise.

GUÉNETTE Joëlle **DIPLÔME:** M.Sc..A.

TITRE:

Une méthode de multi-partitionnement de circuits VLSI.

RÉSUMÉ:

Le projet dans son ensemble vise le développement et l'intégration d'une méthode de partitionnement automatique dans un outil de placement et de routage automatique incorporé à un système commercial

de conception de circuits intégrés, nommé DW2000 et provenant de la compagnie Design Workshop Inc.

PROBLÉMATIQUE:

La synthèse automatique de masques dans le domaine des circuits intégrés est constituée d'un ensemble d'outils dits de conception, comme par exemple l'édition de masques, la vérification automatique des règles de conception, la compaction automatique des masques, le placement et routage automatique de cellules, la génération automatique d'un plan directeur (floorplanning), etc.

La compagnie Design Workshop Inc. possède actuellement plusieurs de ces outils, tous regroupés à l'intérieur

du système DW2000. La compagnie voudrait explorer certains aspects du placement et routage de circuits VLSI dont l'aspect haute fréquence. Le partitionnement automatique est une étape indispensable dans tout processus de placement et routage qui mène au placement des composants en regroupant ceux qui sont fortement liés l'un à l'autre.

MÉTHODOLOGIE:

Une recherche des heuristiques existants et des fonctions objectives est d'abord essentielle. Le projet vise essentiellement à fusionner deux algorithmes itératifs existants dit de multi-partitionnement (division d'un circuit en n partitions). Le premier algorithme a été développé à Delft et son intérêt vient du fait qu'il présente un multipartitionneur bien adapté au style de conception désiré qu'on appelle mer de transistors (sea-of-gates). Le deuxième algorithme nommé ALT, développé à l'Université de Montréal, est beaucoup plus général mais il propose des heuristiques intéressants afin d'éviter les minimum locaux dans la recherche itérative. A cette fusion des deux algorithmes, il faudra finalement proposer des heuristiques propres au partitionnement des circuits hautes fréquences.

RÉSULTATS:

L'évaluation de l'outil de partitionnement est faite à l'aide de circuits tests. L'heuristique de partitionnement développée fonctionne présentement sur des circuits de taille allant jusqu'à 700 cellules. Il reste maintenant à essayer l'outil avec de plus gros circuits. Les temps d'exécution sont présentement acceptables mais les plus gros circuits indiqueront l'efficacité réelle de l'heuristique.

Nous anticipons des partitionnements de bonne qualité mais ne pouvons pas encore prédire les temps d'exécution qui mèneront à ces résultats.

HADDAD, Mohamed Tahar **DIPLÔME:** M.Sc.A.

TITRE:

Réalisation mixte logicielle/matérielle d'un protocole de communication pour réseaux locaux.

RÉSUMÉ:

Partitionnement des fonctions de couches 2 et 3 de Frame Relay selon des fonctions de coût pré-définies. Ce partitionnement vise à maximiser la proportion des fonctions réalisées en matériel et conséquemment à en améliorer le débit. L'architecture résultante doit être compatible avec les topologies existantes des réseaux locaux.

PROBLÉMATIQUE:

Les champs de conception, spécification et synthèse de systèmes mixtes matériel/logiciel (M/L) sont en pleine expansion et de plus en plus populaires. La complexité des systèmes hétérogènes M/L nécessite de nouvelles approches qui supportent à la fois les comportements complexes et les communications de haut niveau.

Le problème principal dans les approches courantes d'implémentation mixtes M/L réside dans l'intégration des deux solutions obtenues. L'usage d'un modèle fixe de communication M/L restreint l'applicabilité de cette approche. La non-disponibilité de modèles de communication de haut niveau mène à entamer la conception avec une description trop détaillée. La solution est, incontestablement, de trouver un modèle d'abstraction des protocoles de communications complexes durant le processus de conception. Nous devons être en mesure de supporter un modèle de communication à différents niveaux d'abstraction dans l'intention de retarder autant que possible la sélection du protocole de communication qui sera utilisé. Bien entendu, le but ultime est de permettre la réutilisation de modèles de communication existants pour permettre la synthèse M/L.

MÉTHODOLOGIE:

Ce travail comprend les points suivants:

1. Un pré-partitionnement préliminaire est effectué. Deux grands blocs sont nettement séparés: un bloc matériel et un autre logiciel. Le premier sera exprimé en VHDL alors que le second le sera en C. Les deux blocs viendront remplir les différents constituants du système et ils seront générés par SDS.
2. Au fur et à mesure de l'avancement du projet, ce partitionnement sera révisé relativement à des fonctions de coûts bien définis.
3. La validation de l'ensemble s'effectuera en simulant chaque bloc séparément, la simulation de l'ensemble suivra.
4. Avant la synthèse du circuit, les performances (débit) seront comparées à celles d'un LAN opérant sous Frame Relay.
5. La synthèse des différents blocs en FPGA et en technologie CMOS 1.2 μm conclura ce travail.

RÉSULTATS:

Les résultats obtenus par ce travail reflètent une amélioration du débit des communications variant entre 22 jusqu'à 49 fois le débit obtenu par une implémentation conventionnelle de Frame Relay.

HARB, Adnan **DIPLÔME:** M.Sc.A.

TITRE:

Détection des activités neuronales vésicales et leur utilisation pour récupérer la fonction de la rétention.

RÉSUMÉ:

Ce travail consiste à concevoir et à réaliser un circuit électronique implantable destiné à corriger les dysfonctions urinaires. Une nouvelle méthode pour mesurer le volume vésical sans nuire à la vessie est proposée. L'effet des fibres C apparaissant après la lésion de la colonne vertébrale sera étudié.

PROBLÉMATIQUE:

En Amérique du Nord, plus de deux millions de personnes souffrent de dysfonctions urinaires. Parmi les solutions suggérées, le stimulateur nerveux implantable est le plus prometteur. Ce type d'implant ne remplace cependant pas toutes les fonctions du système urinaire. Un détecteur du volume vésical est nécessaire. Il formera, avec le stimulateur électrique, une boucle fermée permettant de contrôler la stimulation. Un autre aspect de dysfonctions urinaires est dû aux fibres C. Après la rupture de communications entre le cerveau et la vessie, ces fibres tendent à contracter le détroiseur d'une façon continue. Ce phénomène nuit à la bonne opération du système urinaire.

MÉTHODOLOGIE:

L'objectif du projet est de concevoir et réaliser un implant électronique urinaire qui réalise les fonctions suivantes:

1. La mesure du volume vésical: les méthodes proposées dans la littérature sont imprécises, non fiables, partiellement implantables ou elle peuvent engendrer des dommages à la vessie. Nous proposons d'utiliser une méthode naturelle qui consiste à obtenir l'information sur le volume vésical à partir des nerfs sensoriels qui, dans la situation normale, acheminent l'information au cerveau. L'information acquise sera comparée à des références avant de prendre la décision sur la stimulation. Des tests in vivo chez les animaux seront abordés pour déterminer les références et étudier des signaux des nerfs sensoriels: variation avec le volume vésical, etc.
2. L'élimination de l'effet des fibres C: une étude expérimentale sera menée pour comprendre l'aspect électrique de ce phénomène. Les résultats devront servir à introduire cette fonction dans la conception de l'implant.
3. La microstimulation: le microstimulateur contient cinq blocs principaux: 1. la réception (énergie et commandes), 2. l'acquisition des signaux nerveux, 3. le traitement des commandes, 4. le traitement des signaux nerveux et 5. les générateurs des signaux de stimulation. Dans ce travail, nous visons à concevoir complètement le deuxième et le quatrième bloc et améliorer les travaux sur les autres blocs déjà effectués au sein de notre équipe.

Après la conception et la simulation du circuit, les plans de masques seront préparés pour la fabrication. La technologie sera choisie selon les performances recherchées pour l'implant (faible consommation, faible surface, etc.) Le circuit fabriqué sera testé pour vérifier son bon fonctionnement.

RÉSULTATS:

La conception d'un préamplificateur pour l'acquisition des signaux nerveux est en cours. Nous avons aussi procédé à la conception d'une carte en élément discret destiné à l'étude des signaux des nerfs sensoriels.

HARVEY, Jean-François **DIPLÔME:** M.Sc.A.

TITRE:

Acquisition et traitement d'images dédiées à un implant visuel.

RÉSUMÉ:

Il y a plus de 100 000 personnes totalement aveugles au Canada et aux États-Unis. De ce nombre, seulement 15% peuvent se déplacer à l'aide d'un chien-guide ou d'une canne blanche et seulement 20% peuvent lire le braille. Notre but est de permettre aux non-voyants de retrouver une vision limitée mais

fonctionnelle.

PROBLÉMATIQUE:

Pour permettre aux non-voyants de récupérer une vision fonctionnelle, nous utilisons un implant de type cortical, c'est-à-dire que la stimulation s'effectue directement dans le cerveau. Le stimulateur visuel est divisé en deux parties: le système externe et le système interne (ou partie implantable). Le but du présent projet est de concevoir et réaliser un prototype de système externe. Il s'agit donc de concevoir un système capable de transformer une scène réelle en information de stimulation.

MÉTHODOLOGIE:

L'image est acquise grâce à une puce CCD (charged coupled device) qui convertit une image à sa surface en image de 336 x 244. Chaque pixel a une valeur analogique entre 0 et 400mV. Les pixels sont ensuite numérisés et envoyés à une unité de traitement. Ces opérations sont gérées par un FPGA, principalement au niveau de la génération des signaux de synchronisation du CCD. Une fois dans l'unité de traitement, l'image doit être réduite à une résolution de 25 x 25, les dimensions de l'image qui sera implantée dans le cerveau. La réduction est effectuée en calculant des moyennes locales sur l'image initiale. Cette méthode est un compromis entre la vitesse et la perte d'information. La dernière étape de traitement d'image est une égalisation d'histogramme qui permet une bonne répartition des intensités de gris.

RÉSULTATS:

Le premier prototype est présentement fonctionnel mais n'a pas la puissance nécessaire pour effectuer ces opérations en temps réel. Un deuxième prototype est en phase de design et est basé sur une carte PC/PCI. Il nous permettra une grande flexibilité pour tester et valider les stratégies de stimulation.

JECKELN Ernesto **DIPLÔME:** M.Sc.A.

TITRE:

Technique de linéarisation numérique des amplificateurs de puissance.

RÉSUMÉ:

Ce projet traite d'une technique de linéarisation des amplificateurs de puissance micro-ondes par la méthode de prédistorsion numérique adaptative et de développement des algorithmes exécutés par un circuits de traitement de signal numérique "DSP".

PROBLÉMATIQUE:

Pour une meilleure efficacité énergétique ou afin d'obtenir le maximum de puissance à la sortie, les amplificateurs de puissance sont généralement conditionnés à travailler dans la région non linéaire. Selon la méthode de modulation utilisée, les inconvénients de ces conditions ont pour effet de générer des distorsions (AM-AM; AM-PM) qui dégradent la performance du système. Par conséquent, minimiser ces distorsions nous amène à l'utilisation des techniques de linéarisation analogiques et numériques.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes:

1. Calcul des intervalles de variation des paramètres selon les spécifications d'un amplificateur de puissance; ceux-ci permettront de connaître les paramètres du signal d'excitation, l'échantillonnage et la quantification de la puissance.
2. Stimulation du système composé des parties analogiques (radio fréquence) et numérique "DSP", en utilisant un logiciel de traitement numérique de signaux "SPW" (Signal Processing Work System). Cette simulation permettra de connaître des résultats en fonction de différents algorithmes.
3. Analyse des résultats à travers des valeurs des paramètres et graphiques obtenus, ce qui nous permettra d'évaluer les avantages et les inconvénients par rapport aux différentes techniques de linéarisation.

RÉSULTATS:

Des résultats préliminaires des simulations ont été pris et on peut noter que la technique offre une bonne réduction des produits d'inter modulation (AM-AM, AM-PM) avec une relation $C/I = 70$ dBc (Carrier/Inter modulation), ce qui donne une bonne performance au système.

KASSEM Abdallah **DIPLÔME:** M.Sc.A.

TITRE:

Compression d'images par la transformée en cosinus discrète (TCD)

RÉSUMÉ:

Le but du projet est d'étudier et améliorer les performances d'un algorithme de compression d'images et d'effectuer sa mise en oeuvre dans un circuit ITGE (intégrés à très grande échelle).

PROBLÉMATIQUE:

Le domaine de la compression d'image connaît aujourd'hui un essor considérable dû à ces multiples applications telles que: le disque compact, la téléconférence, le vidéo téléphone, les systèmes multimédia et l'autoroute électronique. Dans toutes ces applications le taux de compression et la largeur de la bande passante de la ligne de transmission sont des contraintes qui déterminent la norme de compression à utiliser.

La transformée en cosinus discrète (TCD) est une des étapes les plus importantes pour la compression d'images. Son importance augmente avec le développement d'algorithmes de plus en plus rapide pour une implantation efficace dans un circuit (ITGE), qui peut effectuer la TCD en temps réel.

MÉTHODOLOGIE:

Les différentes étapes de l'amélioration de l'algorithme de compression d'images et de sa mise en oeuvre dans un circuit ITGE sont les suivantes:

1. Étude de l'algorithme de la compression d'images qui demande une étude approfondie des algorithmes de compression TCD;
2. Simulation de l'algorithme qui démontre que l'algorithme TCD choisi est fonctionnel et réalisable;
3. Modélisation et mise en oeuvre de l'algorithme dans un circuit ITGE pour permettre de réaliser

l'architecture de l'algorithme TCD par synthèse en utilisant le langage VHDL.

RÉSULTATS:

La modélisation, la simulation et la mise en oeuvre de l'algorithme TCD dans un circuit ITGE (en utilisant la librairie LSI-LOGIC) ont été établies.

L'implantation de cet algorithme dans un circuit FPGA a été présenté au 3^e colloque canadien sur les circuits

intégrés programmables (FPD'95).

KHALI Hakim DIPLÔME: Ph.D.

TITRE:

Algorithmes et architectures spécialisées pour la correction d'artefacts dans un système de mesure optique.

RÉSUMÉ:

La vision par ordinateur constitue un domaine d'application de haute performance, principalement pour les applications orientées temps-réel telles qu'en robotique. Dans le cas de systèmes optiques, une attention toute particulière est portée à la précision des données mesurées en prévision des traitements ultérieurs. Notre projet consiste à développer des algorithmes de correction d'artefacts et des architectures spécialisées capables d'effectuer un traitement en temps-réel pour des débits variant entre 1 et 10 millions de points 3-D par seconde.

PROBLÉMATIQUE:

Dans un système optique de mesure par laser, l'exactitude et la précision des mesures effectuées dépendent non seulement des caractéristiques du système optique, mais aussi des caractéristiques physiques et géométriques des objets à analyser. Lorsque ces dernières sont uniformes, le signal capté au niveau du détecteur est de type gaussien. Cependant, une variation de réflectance ou de profondeur peut entraîner une déformation du spot laser. Cette déformation provoque le déplacement du centroïde du spot détecté, causant ainsi une erreur de mesure. Notre but est de modéliser cette erreur en fonction d'une variation des caractéristiques géométriques et physiques de l'objet à analyser, afin d'élaborer des algorithmes capables de réduire ou de supprimer cette erreur. Ces algorithmes serviront alors à l'élaboration d'architectures spécialisées pour un traitement en temps-réel.

MÉTHODOLOGIE:

Dans un premier temps, nous allons modéliser la forme du spot laser en fonction d'une variation de réflectance uniquement. Puis nous effectuerons le même travail pour une variation de profondeur, puis les deux combinés. Dans un second temps, nous allons étudier et modéliser la variation de l'erreur de mesure sur des objets dont on connaît les caractéristiques physiques et géométriques. Cette modélisation nous amènera à établir les algorithmes et architectures correspondantes. Dans un troisième temps, nous devons valider les modèles développés sur un système optique existant.

RÉSULTATS:

Pour la correction d'artefacts, nous avons développé deux types d'algorithmes de correction: l'un des

deux corrige à partir d'informations recueillies sur la caméra durant une phase de calibration, tandis que l'autre corrige à partir de certaines propriétés mathématiques d'une fonction gaussienne. Les résultats obtenus présentent une précision supérieure à la précision actuelle du système optique. De plus, des architectures spécialisées à base de DSP sont en cours d'étude en vue d'une mise en oeuvre efficace d'un algorithme de transformations géométriques 3-D.

KOCHNARI, AHMAD DIPLÔME: M.Sc.A.

TITRE:

Test de courant de repos (I_{DDQ}) basé sur l'analyse de testabilité et sur l'insertion des points de test pour les circuits séquentiels.

RÉSUMÉ:

Le test I_{DDQ} utilise les mesures de testabilité en plaçant tous les noeuds à 0 et à 1. Avec une couverture de 100% des pannes pseudo-collés, I_{DDQ} peut accomplir une couverture élevée pour d'autres types de pannes. Pour les circuits ayant les problèmes de contrôlabilité, on insère des points de test.

PROBLÉMATIQUE:

Les méthodes conventionnelles pour atteindre une couverture de panne sont basées sur le modèle collé classique, mais ce modèle ne permet pas de déceler efficacement la présence de certaines pannes comme les court-circuits de l'oxyde de grille et les pannes multiples. On propose le test I_{DDQ} en utilisant les mesures de testabilité pour atteindre une couverture de panne élevée pour les circuits séquentiels. Si pour certains circuits, une bonne couverture ne peut pas être garantie, on utilisera le concept de l'insertion des points de test.

En principe, le test des circuits séquentiels est difficile, dû à la forme cyclique de ces derniers, mais en combinant le test I_{DDQ} avec les mesures de testabilité et l'insertion des points de test, on atteindra une excellente couverture de panne. Ainsi, on couvrira aussi bien les défauts simples que les défauts comme les court-circuits de l'oxyde de grille et les défauts multiples.

MÉTHODOLOGIE:

Un programme en langage C est implanté afin d'estimer les couvertures de panne avec les mesures de testabilité. On utilise un modèle itératif pour les circuits séquentiels. Afin d'amener un noeud séquentiel à une valeur connue, dans le contexte pseudo-aléatoire, en supposant qu'il a une valeur inconnue, on propose de calculer trois contrôlabilités: $C_0(h,t)$, $C_1(h,t)$ et $C_x(h,t)$, ces valeurs représentent la probabilité que h a une valeur logique 0, 1 et x (inconnu) respectivement, après que t vecteurs pseudo-aléatoires sont appliqués. Étant donné que la somme de ces trois termes est toujours égale à 1, seulement C_0 et C_1 sont calculés et C_x est déduit des deux autres.

Au temps $t=0$, le circuit est dans l'état inconnu et $C_0=C_1=0$ pour toutes les bascules ($C_x=1$). Cependant, on a accès aux entrées en tout temps t , donc $C_0=C_1=0.5$ pour les entrées primaires. Nous utilisons des formules pour calculer $C_0(h,t)$ et $C_1(h,t)$, ces formules dépendent des portes utilisées. Par exemple, les contrôlabilités calculées pour une entrée d'une bascule au temps t seront les contrôlabilités de la sortie de la bascule au temps $t+1$.

RÉSULTATS:

On a simulé le programme pour les circuits séquentiels ISCAS89, et on a obtenu de très bonnes couvertures de panne pour l'ensemble des circuits. Pour 50% de ces circuits, une couverture de plus de 95% est obtenue après 1 ou plusieurs d'itérations. Pour certains circuits ayant des problèmes de contrôlabilité, on insère quelques points de test et ainsi on obtient presque 100% de couverture avec très peu de surface additionnelle.

LAVOIE Michel **DIPLÔME**: Ph.D.

TITRE:

Calculs de stabilité de réseaux en temps réel pour architecture de processeurs parallèles.

RÉSUMÉ:

La simulation des phénomènes de stabilité transitoire des réseaux de production et de transport d'énergie électrique requiert une réaction adéquate à des phénomènes rapides. Des algorithmes et architectures parallèles et des processeurs de traitement numérique du signal sont les principaux éléments de solution. Quelques heuristiques sont aussi primordiales.

PROBLÉMATIQUE:

Les algorithmes de solution de calcul matriciel contemporains qu'ils soient directs ou itératifs, sont tous séquentiels et trop lents pour espérer atteindre le temps réel même sur les processeurs hyperscalaires actuels. En simulation numérique temps réel, l'approche partitionnée facilite la distribution de la modélisation de ces différents composants entre plusieurs processeurs. Un algorithme capable de distribuer correctement la solution des matrices entre les microprocesseurs assemblés suivant des architectures parallèles émergentes a permis d'atteindre des résultats inédits et imprévus. Les matrices représentatives des réseaux électriques sont des matrices très creuses et correspondent à des topologies de réseaux plus ou moins radiales. Le projet consiste à développer un algorithme de solution numérique parallèle et en temps réel de l'équation matricielle $\mathbf{Ax} = \mathbf{b}$ où \mathbf{A} est une matrice d'admittance d'ordre 100 creuse à 95%, \mathbf{b} est un vecteur de courants très creux de longueur 100 et \mathbf{x} est le vecteur voltage des inconnus de longueur 100.

MÉTHODOLOGIE:

La première étape a consisté à programmer les algorithmes les plus rapides dans notre environnement de travail et de vérifier que nous pouvions retrouver les temps d'exécution publiés ou mieux. Au cours de la seconde étape, nous avons vérifié quelques hypothèses de travail en programmant de nouveaux algorithmes et en comparant le temps d'exécution versus la précision de la réponse. Les algorithmes retenus séparent le réseau en sous-réseaux solutionnables simultanément par des processeurs différents. Les algorithmes sont exécutables sur une architecture de processeurs parallèles et permettent de solutionner en temps réel l'équation matricielle $\mathbf{ax} = \mathbf{b}$. Les intrants de chaque processeur sont la matrice d'admittance et le vecteur courant détaillés d'un sous-réseau et un équivalent NORTON pour chacun des autres sous-réseaux. Les extraits sont le vecteur tension détaillé et l'équivalent NORTON du sous-réseau propre à ce processeur. Enfin, la dernière étape consiste à convertir l'algorithme pour utiliser un stockage économique et les techniques de matrices creuses.

RÉSULTATS:

Algorithme d'ordonnancement avec ou sans contraintes de la matrice du réseau. Parallélisation de la solution de l'équation matricielle $\mathbf{Ax} = \mathbf{b}$ par la méthode des équivalents exacts dans le cas particulier où cette équation est appliquée aux réseaux de transport d'énergie électrique. Développement des

fonctions de manipulation de matrices creuses complexes en utilisant des techniques spécifiquement adaptées aux matrices creuses. Conversion des matrices carrées en format "stockage économique (sé)". Algorithme d'élimination Gaussienne (EG) avec remontée de la matrice triangulaire haute opérant sur le format sé. Résolution de l'équation matricielle $\mathbf{Ax} = \mathbf{b}$ en 6 millisecondes pour une matrice d'ordre 50 en utilisant 4 processeurs TMS320C30.

LEFEBVRE Gilbert **DIPLÔME:** M.Sc.A.

TITRE:

Réalisation et caractérisation de contact ohmique pour composants optoélectroniques sur InP.

RÉSUMÉ:

Le but du projet consiste à réaliser des contacts ohmiques de type **n** et **p** sur InP destinés à la fabrication de composants photoniques. Ces contacts devront notamment présenter une faible résistance de contact de même qu'une bonne adhésion au substrat.

PROBLÉMATIQUE:

Le problème consiste à élaborer une méthode simple et pratique visant à obtenir des contacts ohmiques de type **n** et **p** de qualité pour la réalisation de composants photoniques sur InP.

Différents procédés et alliages seront étudiés et évalués par des techniques de mesure appropriées et détaillées au paragraphe suivant. Dans le cas du type **n**, des structures à base d'AuGe seront réalisées. En raison de la grande difficulté à réaliser des contacts ohmiques sur p-InP, des contacts seront fabriqués sur une couche intermédiaire d'InGaAs. Des structures à base de Zn seront réalisées sur p-InP alors que des contacts à base de Ti et Cr seront fabriqués sur p-InGaAs.

MÉTHODOLOGIE:

Voici les méthodes et techniques qui seront utilisées:

Lift-off pour la litho gravure

Déposition métallique: - évaporation par effet Joule

- évaporation par faisceau d'électrons

La caractérisation électrique des contacts qui nous permettra de calculer la résistance spécifique de contact se fera selon deux méthodes:

Méthode des quatre points.

Méthode basée sur la mesure directe des dérivés " dI/dV ". Finalement, il y aura réalisation d'une structure test pour composant photonique.

RÉSULTATS:

Nous avons réalisé des contacts AuGe/Au sur n-InP par évaporation par effet Joule. Ces contacts se sont avérés ohmiques avec une résistance spécifique de contact (r_c) de $1,1 \cdot 10^{-6} \text{ cm}^2$. Plusieurs expériences ont été réalisées sur p-InP. Des contacts à base de Zn et de Ti se sont avérés non-ohmiques. Quant au contact sur p-InGaAs, des structures Au/Cr ont donné une caractéristique I-V linéaire sur une

certaine étendue de courant.

MADANI, Masoud **DIPLÔME: Ph.D.**

TITRE:

Nouvel implant de gestion du fonctionnement de la vessie

RÉSUMÉ:

Le but de ce travail est la conception, la réalisation et le test d'une nouvelle prothèse qui engendre et contrôle une vessie artificielle.

PROBLÉMATIQUE:

Le but de la chirurgie moderne est de préserver l'état naturel ou de le reconstituer quand c'est possible. La nécessité de remplacement de la vessie est due à la dysfonction de celle-ci telle que la cystite interstitielle, la dysfonction des neurogènes, l'exstrophie ou le carcinome de la vessie. Les patients atteints de telles dysfonctions sont généralement munis de conduits, de poches continentes ou d'ureterosigmoidostomie. Mais, les problèmes physiques et psychologiques qui leurs sont associés ont dirigé les recherches vers le remplacement du système urinaire inférieur par une vessie en plastique. Une vessie en plastique devrait avoir les caractéristiques suivantes: préserver la fonction rénale; permettre un emmagasinage continent et adéquat de l'urine; permettre un vidange volontaire avec aucun résidu; facile à construire, à insérer et à préparer; bio-compatible et ne se dégrade pas avec le temps; résiste à l'incrustation et à l'infection.

Deux modèles plastiques ont été explorés: le modèle dynamique et le modèle à volume fixe. La vessie dynamique est définie comme une vessie prothétique qui se dilate, se contracte et se vide de son urine. Le modèle à volume fixe nécessite un estomac externe qui comprend une membrane perméable à l'air et imperméable à l'eau. Ceci permet à maintenir la pression interne du système à la pression atmosphérique et rend le remplissage et l'évacuation plus facile. Toutefois, ces deux modèles doivent être encore améliorés s'ils doivent remplacer complètement la partie inférieure du système urinaire. Ils ne peuvent pas encore préserver complètement les fonctions rénales qui assurent une bonne continence, un vidange volontaire sans aucun résidu d'urine et aucun problème d'infection.

MÉTHODOLOGIE:

Nous proposons, avec l'usage de la technologie des circuits intégrés, un système implantable qui contrôle une pompe électronique, une vessie électronique et la pression négative générée par le réservoir. Il est supposé implémenter un transducteur pour une mesure continue de la pression et du débit du système supérieur. L'implant sera contrôlé et alimenté de l'extérieur par une porteuse encodée de fréquence radio. Pour le modèle à volume fixe, nous proposons d'ajouter un circuit intégré qui contrôle une valve électronique située dans le réservoir adjacent à l'urètre. De plus, cet implant serait capable de signaler au patient, via un stimulus et un alarme auditif, que le volume d'urine a atteint un certain niveau prédéterminé. Ce principe de fonctionnement nous permettra aussi de proposer une solution aux patients souffrant de l'impuissance. Cela nécessite une pompe et un réservoir de fluide abdominal un implant sous la forme d'un circuit intégré, alimenté par une transconductance, peut être conçu pour opérer une pompe électronique et les valves nécessaires pour le bon fonctionnement de la prothèse de "pénile".

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

MALLETTE Sylvain **DIPLÔME:** M.Sc.A.

TITRE:

Conception, réalisation et expérimentation in vivo d'un générateur d'impulsions multicanal dédié à la stimulation du cortex moteur.

RÉSUMÉ:

Le projet consiste à concevoir un générateur d'impulsions de courant (monopolaires et bipolaires) destiné à la stimulation du cortex moteur. Le système est constitué de huit canaux complètement indépendants. Il est contrôlé par un PC et il est réalisé à partir de circuits intégrés programmables (FPGAs).

PROBLÉMATIQUE:

L'étude du système nerveux moteur par stimulations électriques permet de caractériser et modéliser de façon précise cette partie du système nerveux. Ainsi, une telle étude permet de mieux comprendre la motricité des êtres vivants. Le générateur d'impulsions constitue le composant principal permettant de mener à terme une telle étude. La flexibilité et la performance d'un générateur d'impulsions sont des qualités recherchées et essentielles puisqu'elles permettent d'accroître la précision et la qualité du modèle ainsi développé.

Ce projet consiste à concevoir, à réaliser et à tester (in vivo) un générateur d'impulsions de courant multicanal destiné à la stimulation du cortex moteur. Le générateur d'impulsion sera entièrement contrôlé par un micro-ordinateur ce qui augmentera grandement sa facilité d'utilisation et sa flexibilité. La performance du générateur d'impulsion sera assurée par l'importante variété de stimuli qu'il sera possible de générer.

La principale difficulté de ce projet tient à l'originalité de son architecture. De fait, le système possédera un degré élevé d'intégration et il sera conçu à l'aide de composants programmables de type FPGA. De plus, le système sera commandé par micro-ordinateur. Aussi, les paramètres de stimulation très variés augmenteront la complexité de la conception.

MÉTHODOLOGIE:

Le système se divise en deux parties: un bloc numérique et un bloc analogique. La partie numérique est complètement conçue à l'aide de composants programmables de type FPGA (un FPGA par canal). Pour ce qui est de la partie analogique, chacun des huit canaux est constitué d'un convertisseur numérique à analogique suivi d'une source de courant programmable. Le tout est entièrement monté sur une carte (PCB) qui sera installé dans une fente d'expansion ISA d'un PC. A partir du PC, il est possible de spécifier, pour chaque canal et de façon indépendante, l'allure des impulsions de courant désirée; c'est-à-dire qu'on peut définir l'amplitude du signal, la durée de chaque impulsion et la fréquence instantanée du train d'impulsions.

RÉSULTATS:

Le générateur d'impulsions peut générer, de façon indépendante sur chaque canal, des impulsions de courant monopolaires ou bipolaires ayant une amplitude variable (256 valeurs différentes entre 0-255 μ A, 0-1,275mA ou 0-12.75mA), une durée variable (32 valeurs entre 100-1650 μ sec) et une

fréquence variable (256 valeurs entre 0.5-127.5Hz, 2-255Hz, 2-510Hz ou 5-1275Hz). Tous ces paramètres sont programmables à partir d'un PC, et ce, dans un environnement Windows.

MARCHE David **DIPLÔME:** M.Sc.A. **TITRE:**

Outil automatique de génération de vecteurs de test pour les circuits analogiques.

RÉSUMÉ:

La sensibilité est une mesure d'observabilité des composants pour les circuits analogiques. Le but de ce projet est d'automatiser l'étude de sensibilité pour obtenir des vecteurs de test pour les circuits analogiques.

PROBLÉMATIQUE:

Pour de petits circuits, cette analyse pourrait se faire manuellement, mais pour des circuits plus importants, la nécessité d'automatiser le calcul des sensibilités se fait sentir.

MÉTHODOLOGIE:

Il existe une méthode programmable pour calculer les sensibilités de façon automatique: la méthode du circuit adjoint. Pour chaque circuit, il faut générer un circuit adjoint. On peut ensuite en mesurant les courants et tensions dans le circuit et son adjoint déduire les sensibilités par rapport aux éléments.

RÉSULTATS:

L'outil d'analyse de sensibilité LIMSoft devrait offrir les possibilités suivantes:

1. *Analyse automatique de la sensibilité* d'un circuit analogique quelconque continu dans le temps. Cette analyse se fait soit dans le domaine temporel, soit dans le domaine fréquentiel ou dans le domaine de tension continue (transitoire, AC ou DC) et elle décrit l'effet de la variation des composantes de leurs valeurs nominales (vieillessement, tolérance, température, humidité, etc.) sur les performances du système.
2. *Génération des vecteurs de test pour des pannes douces* ("soft faults"). La génération des vecteurs est basée sur l'analyse de la sensibilité des paramètres de sortie par rapport à toutes les composantes du circuit.
3. Génération d'un dictionnaire réaliste de pannes catastrophiques fondé sur l'analyse du dessin des masques du circuit.
4. *Génération des vecteurs de test pour des pannes catastrophiques* ("hard faults") basée sur le calcul du gradient.

NEKILI Mohamed **DIPLÔME:** Ph.D.

TITRE:

Impact des variations du procédé de fabrication sur les systèmes intégrés synchrones.

RÉSUMÉ:

Notre thèse tente de dépasser le cadre de la modélisation indirecte et simpliste (rencontrée dans la littérature actuelle) de l'effet des variations des procédés de fabrication (VPF) sur le biais de synchronisation (BS) dans les systèmes intégrés synchrones. Nous proposons des approches aussi bien analytique, algorithmique et au niveau circuit, que des attitudes au niveau conception afin de rendre la structure de distribution d'horloge la plus tolérante (ou si possible insensible) aux VPF.

PROBLÉMATIQUE:

Le biais de synchronisation (BS) est actuellement parmi les principaux facteurs limitatifs de la performance des systèmes intégrés synchrones. Si le BS dû à des asymétries dans la conception de systèmes intégrés synchrones, aux variations de température, aux fluctuations de l'alimentation et à des phénomènes électriques est bien traité dans la littérature, celui dû aux variations des paramètres géométriques et électriques du procédé de fabrication (VPF) est, par contre, très peu exploré. L'impact des VPF sur le BS (et la fiabilité en général) peut-être handicapant pour des systèmes synchrones de grande dimension ou opérant à grande vitesse.

MÉTHODOLOGIE:

L'effet des VPF est d'abord étudié à l'aide d'une modélisation analytique simple de 1^{er} ordre sous forme de variations spatiales de la constante de temps du transistor, en s'intéressant à déterminer dans quelle mesure les VPF peuvent désynchroniser une structure de distribution d'horloge *a priori* équilibrée. Sur la base de ces résultats préliminaires, nous visons à concevoir une épreuve expérimentale qui permette d'établir une cartographie des VPF au niveau dés et gaufre. Nos résultats expérimentaux seront ensuite appliqués aux cas des architectures VLSI et WSI typiques, afin d'imaginer des techniques algorithmiques et au niveau circuit pour optimiser des paramètres de performance (BS, puissance, fréquence d'opération,...) d'arbres d'horloge en présence de VPF.

RÉSULTATS:

Un exemple typique d'architecture régulière, une matrice de processeurs à charges identiques, a été traitée à l'aide d'une approche analytique aux niveaux d'intégration VLSI et WSI. L'une des conclusions de cette analyse est la progression quadratique du BS en fonction de la taille du système. Par ailleurs, nous avons montré que les arbres d'horloge où l'on insère des amplificateurs permettent (dans le cas de degrés de pipeline extrêmes) d'atteindre la limite des fréquences d'opération permises en théorie. Cet avantage, néanmoins, engendre une contrainte en ce qui concerne la puissance consommée. Un démonstrateur expérimental a été conçu et validé avec une technologie de Nortel. Nous avons observé des phénomènes aussi bien déterministes qu'aléatoires, qui semblent expliquer les VPF ressentis aux échelles du dé et de la tranche. Le travail se poursuit afin d'évaluer le comportement d'architectures de distribution d'horloge en présence des nouveaux phénomènes découverts. Sur le plan algorithmique enfin, nous avons conçu une méthodologie de compensation au niveau circuit des effets de VPF sur le BS d'architectures synchrones irrégulières.

UDGHIRI Houria **DIPLÔME:** Ph.D.

TITRE:

Partitionnement matériel/logiciel pour la cosynthèse au niveau système.

RÉSUMÉ:

Le projet de notre thèse consiste à développer un environnement de conception automatique qui permet d'explorer différentes possibilités d'implémentation pour un même système en entrée. Cet

environnement de travail au niveau système propose en sortie un ensemble d'alternatives pour l'implémentation du système. Ces alternatives sont fournies avec des évaluations de performance et de coût afin de permettre au concepteur de sélectionner l'implémentation qui satisfait le mieux les contraintes imposées.

PROBLÉMATIQUE:

Avec la croissance de la complexité des systèmes digitaux, il y a eu ces dernières années l'émergence d'une nouvelle idée qui consiste à implémenter les systèmes digitaux en deux parties, une partie matérielle pour les fonctions les plus critiques du point de vue vitesse et une partie logicielle pour les fonctions moins critiques. Un tel partitionnement permet la réduction du coût global par rapport à une implémentation complètement matérielle. Néanmoins, un tel processus est difficile à automatiser du fait, premièrement de l'inexistence d'un modèle assez général pour supporter aussi bien une modélisation logicielle que matérielle et deuxièmement un algorithme de partitionnement matériel/logiciel automatique doit être capable d'extraire, à partir de la description d'entrée et de l'architecture ciblée, tous les paramètres nécessaires à une prise de décision. Ces paramètres sont le temps d'exécution et le coût de chaque implémentation ainsi que le coût de l'interface requise entre les deux partitions logicielle et matérielle.

MÉTHODOLOGIE:

Le problème du partitionnement matériel/logiciel pour la cosynthèse d'un système a été traité selon les étapes suivantes:

1. Un modèle hiérarchique est considéré pour le système en entrée. La hiérarchie permet de considérer différents niveaux de complexité pour le même système.
2. Une analyse de ce modèle consiste à extraire des paramètres tel que le type de fonctions utilisées, la fréquence d'utilisation de chacune des fonctions ainsi que toutes les dépendances et les interactions entre les différents blocs du système.
3. La dernière étape consiste alors à faire le partitionnement en utilisant la théorie des graphes. Un graphe de dépendance est utilisé où les noeuds sont les blocs du système et les arcs entre les noeuds sont pondérés par le degré de dépendance entre les blocs. Ce graphe est finalement partitionné en deux cliques selon une heuristique spécifique.

RÉSULTATS:

Toutes les étapes du projet ont été implémentées en C++. L'étape courante est la validation de cet outil pour une application spécifique. Nous avons considéré comme plate-forme de validation l'architecture de PULSE, le circuit en voie de réalisation au niveau du groupe. Quelques algorithmes de traitement du signal sont pris en compte et partitionnés sur une architecture qui contient un processeur standard, le C40 et le processeur spécialisé PULSE.

OUICI, Khalid **DIPLÔME:** M.Sc.A.

TITRE:

Conception et réalisation d'un amplificateur opérationnel tension-tension de haute performance (faible-tension d'alimentation, faible-puissance et gain élevé).

RÉSUMÉ:

De nos jours, l'intérêt envers les circuits analogiques à faible dissipation de puissance et à faible tension d'alimentation monte de façon très significative, cela est dû à l'augmentation du besoin des équipements portables dans les différents marchés tels que les télécommunications, les ordinateurs et de façon générale les appareils sans fils.

Après avoir fait une grande revue de littérature, nous avons opté pour une architecture bien définie afin de réaliser notre amplificateur opérationnel tension-tension avec la technologie BiCMOS 0.8 μ m avec l'outil Analog Artist de Cadence disponible au laboratoire de VLSI.

PROBLÉMATIQUE:

A faible tension d'alimentation, les configurations empilées tel que le cascade sont à éviter. Cependant, les structures à multi-étages sont donc utilisées pour atteindre des gains dc assez élevés. De plus, la structure multi-étage permet de concevoir et optimiser les différentes parties indépendamment les unes des autres. Le point clef concernant l'étage de sortie est d'atteindre un balancement du signal de sortie sur toute la gamme de la tension d'alimentation (rail-to-rail output swing). Pour cela, il faudra utiliser une structure simple et la tension de sortie dc (V_{out_dc}) doit être mise à $V_{dd}/2$. L'étage d'entrée est très critique lorsque la tension d'alimentation est réduite, le décalage et les bruits sont difficiles à contrôler. La plus grande difficulté réside dans le fait que tous les transistors doivent opérer en région de saturation.

MÉTHODOLOGIE:

En se basant sur des éléments de base tels que les miroirs de courant, l'étage différentiel d'entrée (transconductance) et l'étage de sortie, et à l'aide de l'outil Analog Artist de Cadence, nous allons réaliser un amplificateur de haute performance pour des applications biomédicales. Étant donné que les signaux biologiques ne changent pas à très haute vitesse, une très grande bande passante n'est pas nécessaire, par contre un gain élevé et une dissipation de puissance minimale le sont. Pour mieux maîtriser l'architecture, nous avons simulé les différents éléments de base, ensuite nous avons simulé des parties du circuit global, la prochaine étape sera de rassembler toutes les parties du circuit et atteindre nos spécifications. L'étape subséquente sera la réalisation des dessins de masques et l'envoi à la CMC une demande de réalisation physique du circuit et enfin le test et la vérification des résultats de simulation.

RÉSULTATS:

Des résultats intermédiaires sont très encourageants, les parties séparées du circuit donnent de bons résultats.

Réalisation physique de la puce et comparaison de ses performances avec les résultats de simulation.

PATENAUDE, Serge **DIPLÔME:** M.Sc.A.

TITRE:

Modélisation et simulation de pannes non conventionnelles des circuits ECL utilisés dans des systèmes numériques haute-fréquences.

RÉSUMÉ:

Dans la première partie de notre projet, nous voulons observer, définir, caractériser et modéliser les pannes non-conventionnelles rencontrées dans des circuits VLSI ECL (emitter coupled logic). En

deuxième lieu, nous voulons utiliser les modèles et algorithmes ainsi développés pour les confronter à des circuits intégrés industriels défectueux déjà existants.

PROBLÉMATIQUE:

Les circuits ECL sont d'un intérêt certain pour les applications nécessitant des vitesses d'opération dépassant les quelques gigahertz (GHz). Ces vitesses sont très difficilement atteignables en CMOS. Leur nature différentielle les rend par contre plus difficile à tester que les circuits CMOS. En effet, les modèles "collé-à" utilisés de manière systématique dans les tests des circuits VLSI CMOS ne permettent pas de modéliser correctement certaines classes de pannes rencontrées dans les circuits ECL. De plus, il existe un vide dans la littérature sur le sujet, d'autant plus que les circuits bipolaires sont très souvent utilisés dans des applications analogiques plutôt que numériques. Dans ce travail, nous tentons d'élaborer des règles générales décrivant les pannes rencontrées dans ces circuits (marges de bruit réduites, pannes de complémentarité, pannes différentielles, délais, ...).

MÉTHODOLOGIE:

A l'aide des logiciels disponibles (Cadence, Synopsys, Hspice,...), nous voulons développer des outils automatiques de caractérisation des pannes non-conventionnelles et les utiliser sur des circuits VLSI réalisés à l'aide d'une technologie 0,8 BiCMOS, pour ainsi établir des couvertures de panne associées à nos modèles. Les modèles et les outils sont modifiés systématiquement jusqu'à l'obtention d'un ensemble de pannes réalistes et de couvertures acceptables.

RÉSULTATS:

Les modèles de pannes sont présentement en développement, les outils sont en cours de développement. Des outils de recherche par échantillonnage bi-dimensionnels ont déjà été développés et sont utilisés présentement à d'autres fins pratiques.

Modélisation plus précise des pannes dans les circuits ECL. Développement d'outils de génération et de simulation de pannes non-conventionnelles. Utilisation de ces outils sur des bibliothèques de cellules VLSI et sur quelques puces défectueuses.

PERA, Florin **DIPLÔME:** M.Sc.A.

TITRE:

Méthodes de routage et modélisation pour circuits intégrés rapides.

RÉSUMÉ:

Le but de cette étude est de développer de nouvelles techniques de conception pour des circuits intégrés digitaux fonctionnant à des fréquences d'horloge au-dessus de 200 MHz. Ces techniques seront utiles pour le logiciel de design de circuits intégrés "DW-2000" afin d'automatiser le processus de génération de masque dans des conditions haute fréquence. De la même façon, les modèles développés seront nécessaires pour l'extraction des éléments parasites à partir des dessins de masques en assurant une simulation dont la précision est adéquate dans les conditions mentionnées.

PROBLÉMATIQUE:

Dans les circuits intégrés rapides (ex.: fréquence d'horloge au dessus de 200 MHz) des phénomènes liés à la propagation des signaux de haute fréquence dans un environnement fortement dispersif et non-

linéaire font que, les modèles simplifiés de type C ou RC, utilisés pour l'extraction des éléments parasites, ne sont plus adéquats. Ensuite, pour automatiser le processeur de routage dans ces conditions, on a besoin de nouvelles méthodes et règles de dessin ainsi que de nouvelles configurations pour réaliser les interconnexions.

MÉTHODOLOGIE:

On étudie la propagation des signaux rapides sur de longues interconnexions et la diaphonie entre deux traces voisines dans des conditions de haute fréquence (signaux logiques avec des périodes 5 à 1 ns et temps de commutation de l'ordre de 50-200ps). Un nouveau modèle pour de longues lignes dans des circuits intégrés a été développé ainsi que de nouvelles configurations pour interconnexions qui améliorent la propagation du signal rapide. Un autre élément qui a également été étudié est le bruit sur les barres d'alimentation dans des conditions de commutation forte et rapide, car il peut affecter le fonctionnement du circuit. Dans ce cas-ci, on a aussi conçu deux structures pour réduire ce bruit. Pour la validation de tous ces modèles et structures, on a développé deux circuits "démonstrateurs" en utilisant la technologie Mitel 1.5 μm . Les méthodes de test sont aussi originales, elle permettent de réaliser des mesures dans des cas réels (pas des sondes sur l'élément de test) et en utilisant un équipement standard.

RÉSULTATS:

Le premier circuit démonstrateur est présentement dans la phase de test. Celui-ci peut nous fournir une partie des informations nécessaires pour la validation des modèles et structures développées. Le deuxième circuit, envoyé pour fabrication en octobre 1996 complétera ces tests. Ces circuits utilisent une nouvelle bibliothèque de cellules de type "Mer de portes" (technologie Mitel 1.5 μm) que l'on a spécialement conçue.

PETRICAN Paul **DIPLÔME:** M. Sc.A.

TITRE:

Réalisation d'un détecteur ultrasonique miniaturisé dédié à l'évaluation du volume urinaire chez les enfants énurésiques.

RÉSUMÉ:

Conception, réalisation et tests élaborés d'un appareil ultrasonique miniaturisé dédié au conditionnement des activités de la rétention urinaire chez les enfants énurésiques.

PROBLÉMATIQUE:

L'incontinence urinaire nocturne (énurésie) affecte 20% des enfants âgés de plus de 4 ans, ce pourcentage diminuant de 15% chaque année. L'incontinence urinaire nocturne pourrait être traitée par l'intermédiaire d'un appareil de conditionnement qui avertirait l'enfant dès que l'urine aurait atteint le niveau de seuil préétabli en fonction de la capacité de sa vessie. Dans ce cadre, nous développons un circuit miniaturisé capable de détecter un seuil préétabli et d'alarmer les patients. Plus spécifiquement, l'appareil mesurera le niveau d'urine dans la vessie et parviendra à réveiller le patient quand ce niveau aurait atteint le seuil établi.

MÉTHODOLOGIE:

Nous procédons à la réalisation d'un circuit miniaturisé en technologie de montage en surface (surface

mount), car il doit être placé sur le patient durant la nuit. Les tests sur le prototype vont se dérouler selon les trois étapes suivantes: a) essais en laboratoire chez les patients lorsqu'immobiles au laboratoire, b) essais en clinique externe d'urologie avec appareil fixé sur les enfants, c) essais de l'appareil miniaturisé chez un patient ambulatoire. Cette dernière étape sera essentielle pour la validation complète de cet appareil.

RÉSULTATS:

Des tests sur 42 enfants ont été effectués à l'hôpital Sainte-Justine. La moyenne d'âge de patients est de 8 ans. La vessie pleine a été détectée dans tous les cas. Dans presque 50% de cas, l'appareil détectait le PVR (volume résiduel post-miction) qui variait de 10 ml à 100 ml. Nous estimons toutefois avoir une erreur d'évaluation de 25%, cette erreur restant dans les limites du raisonnable. Nous avons proposé aussi un support pour la partie électronique et les piles, afin que le patient ne soit pas dérangé par ceux-ci durant son sommeil et que la sonde garde sa place. Un article sera bientôt soumis à la IEEE Transactions on Rehabilitation Engineering.

PROVOST Benoit **DIPLÔME:** M.Sc.A.

TITRE:

Conception d'un circuit mixte implantable dédié à la mesure du volume vésical.

RÉSUMÉ:

Le présent projet consiste en la conception d'un implant par lien RF et permettant d'obtenir le niveau d'urine contenue dans la vessie. Le principe utilisé est basé sur l'évaluation d'impédance électrique.

PROBLÉMATIQUE:

Pour beaucoup de gens, les problèmes d'incontinence et de rétention causent des troubles d'évacuation des toxines, en plus de créer des sentiments de gêne et d'inconfort. Afin de corriger ces dysfonctions, plusieurs techniques peuvent être employées. L'une d'elle consiste à implanter un circuit électronique permettant de stimuler les nerfs de la vessie pour retenir l'urine lors du remplissage et pour compresser la vessie lors de l'expulsion. Deux générations de ce type d'implant ont déjà été réalisées au sein du groupe.

Un désavantage de ces implants est que, puisque la plupart des patients ne ressentent pas l'état de leur vessie, il est impossible pour eux de savoir à quel moment l'expulsion de l'urine (miction) est nécessaire. L'implant pour la mesure du volume vésical a pour but de combler ce manque en informant le patient (lorsque désiré) de l'état de sa vessie par l'entremise de la même télécommande que celle utilisée pour le déclenchement de la miction. De plus, un implant complet (stimulation et mesure du volume vésical) inclura une boucle de rétroaction permettant de contrôler plus précisément la rétention artificielle.

MÉTHODOLOGIE:

Le travail a débuté par une étude générale de l'appareil urinaire, puis par une étude plus approfondie sur la modélisation de la vessie et sur l'urodynamique en collaboration avec un spécialiste en urodynamique. Une recherche a ensuite été menée sur les travaux déjà publiés concernant la mesure du volume vésical. Par la suite, un premier schéma-bloc de l'implant complet fut développé. Le principe de mesure du volume d'urine est basé sur une simplification du principe de tomographie d'impédance électrique. Deux petites électrodes implantées sur la paroi externe de la vessie y injecteront un courant

transversal. Deux autres paires d'électrodes mesureront le champ électrique produit et le système en déduira la quantité de matière conductrice, c'est-à-dire d'urine.

RÉSULTATS:

Les résultats obtenus se composent des simulations des circuits numériques (traitement du signal) et de leur placement-routage afin d'en faire un circuit intégré (technologie BiCMOS). De plus, un préamplificateur programmable à basse tension d'alimentation servant à amplifier les signaux de tension du système tomographique a été conçu et simulé. Afin de vérifier le bon fonctionnement du principe de tomographie, un modèle de l'impédance de la vessie a été réalisé. Ensuite une puce des circuits mixtes a été réalisée chez Nortel par le biais de Cette puce est présentement en phase de test.

RABEL, Claude-Eddy **DIPLÔME:** Ph.D.

TITRE:

Réalisation d'un FPMA (Field Programmable Mixed-Digital-Analog Array).

RÉSUMÉ:

Le projet vise à réaliser un FPMA reconfigurable dynamiquement pour effectuer le prototypage rapide de circuits analogiques, numériques ou mixtes.

PROBLÉMATIQUE:

Généralement, les concepteurs de circuits intégrés cherchent à obtenir une performance optimale et à réduire le temps de conception, le temps de fabrication ainsi que le coût de production. À cet effet, différentes méthodes de conception peuvent être utilisées, telles que les prédiffusés, les cellules normalisées, les circuits dédiés et les composants programmables. Ces derniers représentent une solution avantageuse qui, pour un faible taux de production, les différents critères précités seront accomplis..

Actuellement, la tendance en VLSI est d'implémenter des fonctions numériques et analogiques sur la même puce. Ceci permet, en réduisant le nombre de circuits intégrés, de diminuer le nombre d'interconnexions et les dimensions d'un système et d'obtenir ainsi un coût moindre. Ces circuits mixtes sont actuellement très recherchés sur le marché de l'électronique, il va s'en dire que cette tendance touche également les composants programmables tels que les FPGAs. Alors, un composant programmable mixte ou FPMA peut être envisagé pour l'implémentation ou le prototypage rapide d'un système complet à faible coût.

L'utilisation d'un FPMA permet un prototypage économique sans l'utilisation des composants discrets. Ces derniers sont peu performants à cause de leurs capacités et de leurs inductances parasites élevées et ils augmentent également les sources d'erreurs qui peuvent être intolérables pour les applications à haute vitesse.

MÉTHODOLOGIE:

Généralement, un système complet est constitué d'un circuit numérique auquel un circuit analogique est interface. Donc, similairement à ces systèmes, le FPMA est divisé en trois parties: un FPGA, un FPAA et une interface. Le FPGA est décrit avec VHDL et le modèle SPICE est utilisé pour les autres parties.

RÉSULTATS:

Les modèles des différentes sous-unités du FPGA ont été simulés avec les outils CAO de Synopsys. Finalement, circuit est mis en oeuvre dans une librairie de technologie BiCMOS de

RAHAL, ALI DIPLÔME: Ph.D.

TITRE:

Étude et conception de sources de fréquence intégrés en ondes millimétriques.

RÉSUMÉ:

Le but de ce travail de recherche est de développer une source de fréquence stable et fiable pour des applications en bande Ka et V, soit à 38 et 60 GHz.

PROBLÉMATIQUE:

La révolution des systèmes de communication spatiale a suscité les dernières années un besoin grandissant pour les fréquences micro-ondes. Les bandes spectrales allouées entre 2 et 18 GHz sont presque saturées pour servir les nouvelles applications, la tendance est vers l'utilisation des ondes millimétriques (38, 60 et 94 GHz), où un système à bande relativement étroite peut accommoder les services de plusieurs systèmes de basse fréquence. La réussite de ces systèmes repose sur le développement de composants électroniques à haute performance. Plus particulièrement, les générateurs de fréquences qui représentent le coeur des systèmes de communication. Présentement, au delà de 18 GHz les sources de fréquence à diodes Gunn sont les plus utilisées. Ces diodes sont connues pour leur faible rendement et leur sensibilité thermique ce qui complique la stabilisation de la source.

MÉTHODOLOGIE:

Dans le cadre de cette thèse, nous proposons la mise au point d'une nouvelle source stable et à haute efficacité. Cette source sera principalement basée sur l'intégration d'un oscillateur micro-onde à faible bruit couplé à une nouveau multiplicateur de fréquence (Tripleur). Le multiplicateur sera conçu en utilisant des nouvelles diodes varacteurs à caractéristique symétrique opérant à zéro volt DC. Les difficultés majeures que nous prévoyons rencontrer sont surtout dans les mesures des non linéarités de la diode, qui est essentiellement un élément réactif. La caractérisation d'un monoport à plusieurs harmoniques ainsi que le montage nécessaire pour ces mesures, constituent une des originalités de ce travail. Une autre difficulté que nous aurons à surmonter, est la conception et la réalisation des circuits d'adaptation à large bande, qui doivent présenter à la diode des charges optimales à la fréquence fondamentale et aux harmoniques. Nous procédons à la caractérisation et à la modélisation d'un vecteur. Ensuite, nous compléterons les étapes de simulation, construction, optimisation et tests.

RÉSULTATS:

Nous avons effectué les mesures DC et paramètre S (jusqu'à 40 GHz) afin de caractériser la diode. Un modèle électrique équivalent est construit et des simulations non-linéaires (moyennant la technique harmonic-Balance) ont été effectués. Suite à ça deux prototypes sont conçu (60 GHz et 93 GHz) et les mesures effectuées concordent bien avec le résultat prévu par simulation. Ce travail a jusqu'à présent mené à 2 publications la première dans la conférence européenne sur les micro-ondes (EMC-95) la deuxième dans le journal IEEE Microwave and Guided Wave Letters. Le travail continu dans le sens de l'évaluation expérimentale à large signal de la diode et on prévoit la construction d'autres prototypes à 38 et à 60 GHz.

REID Benoît **DIPLÔME:** Ph. D.

TITRE:

Étude de la dynamique ultra-rapide des porteurs dans les nanostructures.

RÉSUMÉ:

Les alliages III-IV utilisés pour la fabrication des composants photoniques à puits quantiques fournissent des performances très élevées. Néanmoins, une étude du transport des porteurs s'avère nécessaire dans les structures à puits quantiques. La performance est de plus liée à la géométrie ce qui multiplie les possibilités.

PROBLÉMATIQUE:

L'introduction de puits quantiques dans les lasers à semi-conducteurs a permis d'en améliorer les performances. Cependant, dans bien des cas, les résultats sont moins probants que ceux prédits par les modèles. Récemment, plusieurs modèles ont montrés l'influence du transport des porteurs de charge sur différentes propriétés des diodes lasers à puits quantiques. On peut citer, entre autres, l'influence du transport sur la bande passante de modulation et sur le comportement en température des diodes. Il est donc important de bien comprendre les différents aspects du transport des charges dans les hétérostructures lasers.

MÉTHODOLOGIE:

Nous étudions expérimentalement le transport des porteurs dans les diodes lasers à puits quantiques par la photoluminescence standard et la photoluminescence résolue en temps. La résolution temporelle se fait par la technique dite d'*upconversion*. Ce montage nécessite la construction d'un laser à impulsions ultra brèves. Les études théoriques se feront à l'aide d'un simulateur Monte Carlo - Poisson. Finalement, il faudra effectuer des mesures sur des échantillons à puits quantiques appropriés.

RÉSULTATS:

Un laser Tisaphir produisant des impulsions d'environ 35 fs à un taux de répétition de 80 MHz a été construit. Le système de photoluminescence résolue en temps a été monté. Ce système nous permet d'obtenir une résolution temporelle de 100 fs. Des mesures ont été effectuées sur différents échantillons de diodes lasers émettant à 1.55 μm et 1.3 μm . Un programme a été mis au point pour calculer la structure de bandes de ces hétérostructures et plusieurs simulations Monte Carlo ont été effectuées dans le but de comprendre les résultats de la photoluminescence. L'influence du couplage coulombien entre les électrons et les trous a été étudiée.

Pour la suite, nous voulons finaliser la compréhension des résultats pour produire une thèse sur l'injection des électrons et des trous dans les puits quantiques en régime statique et transitoire.

ROBIN, Simon **DIPLÔME:** M.Sc.A.

TITRE:

Développement de stimulateurs neuromusculaires implantables.

RÉSUMÉ:

Au Québec seulement, des milliers de personnes souffrent de défaillance du système urinaire. Le problème sur lequel nous travaillons est celui de la rétention et de l'incontinence urinaire des personnes ayant subi des lésions au niveau de la colonne vertébrale (paralysie). Notre but est de remplacer les systèmes actuels (les sacs par exemple) et de restaurer les fonctions vitales du système urinaire de façon à améliorer la qualité de vie.

PROBLÉMATIQUE:

L'approche est la suivante: l'utilisation d'un stimulateur neuro-musculaire miniaturisé implantable. Ce stimulateur, à l'aide de son contrôleur externe, stimule le nerf S2 partant de la colonne et allant jusqu'au muscle de la vessie et du sphincter. Une nouvelle technique de stimulation sélective est proposée pour provoquer l'écoulement tout en évitant la contraction simultanée du muscle de la vessie et du sphincter, qui entraîne une pression excessive indésirable.

MÉTHODOLOGIE:

Le système de stimulation que nous avons développé est composé de deux parties principales soient l'implant et le contrôleur externe. Il s'agit d'un système versatile et fonctionnel qui répond au problème complexe de la neurostimulation tout en étant simple d'utilisation pour l'utilisateur. C'est l'unité externe qui contrôle la stimulation tout en assurant l'alimentation en énergie de l'implant via une interface à couplage magnétique haute fréquence. Lors de chaque stimulation, tous les paramètres sont transmis à l'implant par le contrôleur. Les données sont encodées de façon à conserver un synchronisme entre le contrôleur et l'implant tout en y assurant la validité. Le contrôleur externe est portatif et très simple d'utilisation. Un écran à cristaux liquides permet de sélectionner les paramètres envisagés.

L'implant est constitué d'un circuit imprimé circulaire d'environ 3,5 centimètres de diamètre. L'implant est composé de trois blocs soient l'entrée, le traitement et la sortie. Un circuit intégré programmable non volatile (FPGA) est utilisé pour contenir toute la partie numérique de traitement. Le circuit est moulé dans une substance dure pour assurer sa rigidité et ensuite encapsulé dans un produit bio-compatible. Une électrode spéciale est utilisée au niveau du nerf et des connecteurs étanches de notre conception sont utilisés pour relier l'électrode à l'implant.

RÉSULTATS:

Notre système est totalement fonctionnel et il est à l'essai en ce moment. Nous nous attendons à de bons résultats dans un avenir rapproché. Nous avons comme défi maintenant de concevoir et réaliser un nouveau système plus complet et plus petit grâce à l'utilisation de circuits intégrés à technologie mixte.

***RYEL, Kim* DIPLÔME: M.Sc.A.**

TITRE:

Cristaux photoniques bidimensionnels.

RÉSUMÉ:

Récemment des structures diélectriques périodiques ont été proposées pour éliminer la propagation des ondes électromagnétiques sur une certaine bande de fréquences (bande interdite photonique). Ces nouveaux matériaux sont appelés des cristaux photoniques. Ceux-ci offrent de nombreux phénomènes nouveaux comme le confinement de la lumière et l'élimination de l'émission spontanée. Ainsi, les cristaux photoniques pourraient bouleverser le domaine des lasers, des radars et des télécommunications optiques.

PROBLÉMATIQUE:

Étant donné qu'il est beaucoup plus difficile de fabriquer des cristaux photoniques tridimensionnels dans la région du visible, nous nous sommes plutôt concentrés à étudier des cristaux photoniques bidimensionnels. La méthode la plus populaire pour le calcul de bande (courbe de dispersion) est la méthode des ondes planes. Cependant, cette méthode n'est pas utile lorsque la constante de permittivité dépend de la fréquence ou lorsque celle-ci possède une partie imaginaire qui n'est pas négligeable devant sa partie réelle.

MÉTHODOLOGIE:

Par conséquent, les études théoriques se feront à l'aide de la méthode de la matrice de transfert. Pour ce faire, nous discrétisons les équations de Maxwell sur un maillage. La structure de bande d'un cristal photonique de dimensions infinies est calculée en obtenant les valeurs propres de la matrice de transfert pour une cellule unitaire. Et le spectre de transmission d'un cristal photonique de dimensions finies est déterminée en transformant la matrice de transfert sur une base d'onde plane.

RÉSULTATS:

Nous avons calculé diverses courbes de dispersions en faisant varier la forme de la cellule unitaire (carrée ou triangulaire), le rapport du rayon du cylindre sur la longueur de la cellule unitaire, et le rapport de la constante de permittivité du cylindre sur celle du milieu ambiant.

Par la suite, nous déterminerons le spectre de transmission de ces cristaux, et nous étudierons leurs propriétés optiques en considérant une constante de permittivité dépendant de la fréquence.

SAAB Khaled **DIPLÔME:** Ph.D.

TITRE:

Outil automatique de génération de vecteurs de test pour les circuits analogiques.

RÉSUMÉ:

La déviation des caractéristiques d'une composante dans un circuit analogique se reflète par la déviation d'un ou de plusieurs paramètres de sortie. La relation qui existe entre les deux est définie par la sensibilité. L'étude de la sensibilité a été adaptée pour l'analyse de la testabilité ainsi que pour la génération des vecteurs de test de circuits analogiques.

PROBLÉMATIQUE:

Pour de petits circuits, cette analyse pourrait se faire manuellement, mais pour un circuit de taille moyenne qui peut comprendre plusieurs milliers de composants, une certaine automatisation est nécessaire. Pour les pannes catastrophiques (i.e. des pannes dues à un ajout ou à un manque de métal dans le circuit intégré), l'analyse de la sensibilité devient inadéquate.

MÉTHODOLOGIE:

Pour les pannes douces, la technique de calcul de sensibilité par la méthode des circuits adjoints s'avère appropriée. En effet, la méthode des circuits adjoints permet de calculer la sensibilité du paramètre de sortie par rapport à tous les composants du circuit en deux simulations SPICE seulement.

Pour les pannes catastrophiques, une approche basée sur le calcul du gradient sera utilisée. Cette

méthode permet de combiner l'efficacité de la méthode des circuits adjoints (nombre réduit de simulations) à une analyse de premier ordre des pannes catastrophiques.

RÉSULTATS:

A l'état actuel, l'outil d'analyse de sensibilité LIMSoft offre les possibilités suivantes:

1. Analyse automatique de la sensibilité et du gradient d'un circuit analogique continu dans le temps. Cette analyse se fait soit dans le domaine temporel, soit dans le domaine fréquentiel ou dans le domaine de tension continue (transitoire, AC ou DC).
2. Génération d'un dictionnaire réaliste de pannes catastrophiques fondée sur l'analyse des dessins des masques du circuit.

SHMAITELLY, Mahmoud A. DIPLÔME: Ph.D.

TITRE:

Convertisseurs analogique-numérique rapides à haute résolution et à faible consommation de puissance.

RÉSUMÉ:

Le présent projet traite d'une nouvelle architecture des convertisseurs analogiques numériques permettant une résolution acceptable (8 bits) mm une haute vitesse d'échantillonnage.

PROBLÉMATIQUE:

La forte demande des convertisseurs analogique-numérique rapides dans l'industrie ne cesse pas d'augmenter. De nos jours, les sociétés modernes font appel à des applications numériques très avancées telles que la téléconférence en temps réel, les télédétections des ressources naturelles par satellite, les caméras numériques professionnelles sans film, et la numérisation à très haute résolution des documents. Toutes ces applications requièrent des convertisseurs analogique-numérique très rapides. De la même façon, la communication numérique à très haut débit a besoin de tels convertisseurs (ADCs) afin de fournir des bandes passantes très élevées. En tant que membre d'équipe de recherche Poly Stim, une partie du Groupe de Recherche en Microélectronique (GRM), je travaille à la conception et implémentaiton des convertisseurs analogique-numérique à haute vitesse et à haute résolution.

MÉTHODOLOGIE:

Nous proposons, à ce sujet, des nouvelles architectures pour convertisseurs analogique-numérique très rapides du type Sigma-Delta. Ces architectures ont l'effet de réduire les contraintes suivantes:

1. l'erreur de numérisation;
2. l'erreur de gain, la linéarité;
3. la sensibilité du circuit à la variation des composants;
4. la complexité et les conditions de stabilité et de réalisation;
5. la consommation de puissance;

6. la tension d'alimentation;
7. la taille de la puce du circuit;
8. et enfin, le coût.

RÉSULTATS:

Le projet est à son début. Nous sommes à la phase de conception détaillée des différentes étapes de réalisation.

SOKOLOWSKA Ewa DIPLÔME: Ph.D.

TITRE:

Conception et testabilité des architectures rapides.

RÉSUMÉ:

Ce projet comporte: a) l'analyse de l'application des techniques optoélectroniques pour tester les circuits rapides et b) l'élaboration d'une architecture de testeur des circuits intégrés qui contient un réseau optoélectronique pour former des vecteurs de test et pour distribuer des signaux rapides tels les vecteurs de test et horloges.

PROBLÉMATIQUE:

Le plus grand problème dans la testabilité des architectures rapides est le manque de testeurs capables d'opérer aux fréquences excédant 1 Ghz. Le but de la présente recherche est de proposer une architecture de testeur capable de dépasser 1 Ghz. Le principal facteur limitant la fréquence des testeurs purement électroniques est le problème de formation et de distribution parallèle des signaux synchrones (vecteurs de test et horloges). Un système apte à surpasser les limitations posées par les interconnexions électriques doit nécessairement utiliser les interconnexions optiques.

MÉTHODOLOGIE:

La performance du testeur dont l'architecture est proposée dépendra surtout de la qualité et la performance des circuits assurant la conversion entre le signal optique et le signal électronique. Le plus grand effort est donc consacré au développement des interconnexions optiques ultra-rapides. Cela comporte a) le développement des circuits de conversion des signaux optiques vers les signaux électriques, b) le développement d'une matrice pseudo-optique de commutateurs analogiques.

RÉSULTATS:

L'architecture de testeur ultra-rapide a été conçue et décrite dans "Application of Optoelectronic Techniques to High Speed Testing" selon le réseau de distribution optique décrit dans le brevet "Serial Optical Distribution System and Method, and Optical/Electrical Converter for Implementation Thereof", 1994. Différentes versions des circuits de conversion ont été conçues. Une matrice de commutateurs analogiques ayant une bande passante dépassant 1 Ghz a été décrite dans "Integrated Analog Switch Matrix with Large Input Signal and 46 dB Isolation at 1 Ghz". Les performances d'un système pseudo-optique analogue et numérique sont présentées dans "Switched Optical Transmission: Exploration of Tradeoffs Between Packaging Options", et "622 Mbit/s Pseudo-Optical Switching System", respectivement soumis pour publication.

SOUFI Mohamed **DIPLÔME:** Ph.D.

TITRE:

Caractérisation et amélioration de la testabilité séquentielle pseudo-aléatoire des circuits VLSI.

RÉSUMÉ:

Cette thèse a comme objectif l'étude, la caractérisation et le développement de nouvelles méthodes d'insertion de points de test et de points d'initialisation pour les circuits séquentiels dans un contexte de test pseudo-aléatoires.

PROBLÉMATIQUE:

Tous ces problèmes sont NP-Complet. Dans cette thèse, nous analyserons ces problèmes et nous proposerons plusieurs heuristiques d'insertion de points de test et d'initialisation pour remédier aux problèmes de test des circuits séquentiels.

MÉTHODOLOGIE:

Nous étudierons le processus d'initialisation dans les circuits séquentiels. Nous proposerons un modèle basé sur des chaînes de Markov modifiées pour modéliser les circuits séquentiels. Ceci nous permettra de montrer que l'initialisation avec des vecteurs pseudo-aléatoires est faisable dans plusieurs cas. Pour les circuits résistants à l'initialisation par des vecteurs pseudo-aléatoires, nous développerons des heuristiques de reset partiel afin de les transformer en circuits faciles à initialiser.

Une nouvelle mesure de testabilité dite mobilité sera introduite. Nous montrerons que la mobilité est en mesure de couvrir des problèmes de testabilité séquentiels qui ne sont pas couverts par les mesures de testabilité classiques. Nous insistons ici qu'il ne s'agit pas de limitations liées aux hypothèses d'indépendance souvent utilisées dans les mesures de testabilité classiques mais plutôt de limitations liées à la nature séquentielle des circuits séquentiels. La mobilité est basée sur le concept de probabilité de transition. Nous développerons également dans cette thèse une méthode basée sur la mobilité pour estimer la dissipation de puissance dans les circuits CMOS séquentiels.

Finalement, nous aborderons le problème de l'insertion des points de test dans les circuits séquentiels. En utilisant la mobilité et une analyse probabiliste des problèmes de détection, nous développerons un ensemble d'heuristiques d'insertion capable de transformer les circuits séquentiels résistants aux vecteurs pseudo-aléatoires en circuits faciles à tester par des vecteurs pseudo-aléatoires.

RÉSULTATS:

Nous avons déjà réalisé plusieurs publications sur le problème d'initialisation des circuits séquentiels ainsi que sur l'effet des points d'initialisation sur la testabilité.

Dans d'autres publications, nous avons apporté quelques contributions sur le test à pleine vitesse, ainsi que sur le test de haute vitesse. Présentement, nous sommes sur le point d'achever un dernier chapitre de cette thèse sur le problème de l'insertion des points de test dans les circuits séquentiels.

VAILLANCOURT, Pierre **DIPLÔME:** M.Sc.A.

TITRE:

Développement et réalisation d'un lien de communication et d'alimentation RF destiné à un implant

cérébral.

RÉSUMÉ:

Nous nous intéressons dans le cadre de ce projet à la détermination des problèmes engendrés par les liens inductifs transcutanés à haut débit.

PROBLÉMATIQUE:

Les contraintes exactes garantissant la sécurité biologique d'un lien RF communiquant avec un implant cérébral tout en l'alimentant sont inconnues. Un contrôle serré des radiations électromagnétiques (EM) provenant du lien ainsi que des composants intégrés sera requis et la limitation de la consommation de l'ensemble sera un facteur critique. Des stratégies originales de communication et de réalisation matérielle devront être cherchées pour respecter ces contraintes.

MÉTHODOLOGIE:

1. Description du cahier des charges; paramètres du lien de communication, évaluation des contraintes apportées par les facteurs biologiques, caractéristiques du canal de transmission.
2. Étude d'un modèle simulé du canal biologique et évaluation de différentes stratégies de communication et d'alimentation.
3. Évaluation de la consommation des stratégies retenues.
4. Prototype discret du lien RF.
5. Conception, réalisation et tests du circuit intégré du lien de communication et d'alimentation.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

VILLENEUVE Luc DIPLÔME: M. Ing.

TITRE:

Lien à fréquence radio pour implants électroniques.

RÉSUMÉ:

Présentement les implants sont très limités par la consommation de puissance et le débit d'information qui doit être transmis de l'extérieur du corps l'humain vers l'implant. Le but de ce travail est de réaliser un lien R.F. (fréquences radio) à haut débit (5 Mbits/sec) et un système d'alimentation hybride qui permet une grande flexibilité pour les implants. Ainsi, ce lien pourra assurer la communication pour un implant visuel qui n'existait pas auparavant (limité à 500 Kbits/sec). Pour l'implant auditif, on devait coller l'antenne directement sur la peau pour s'assurer du rendement. Maintenant, il sera possible d'éloigner l'antenne et de la dissimuler dans une poche de chemise. Ainsi, on augmentera la qualité de vie des usagers.

PROBLÉMATIQUE:

Il y a deux grandes limitations qui se présentent: la consommation en puissance et la dimension

physique. Si on veut acquérir les données à des vitesses élevées, il faut consommer plus de puissance et le système doit être de complexité moyenne (plus d'espace). Au sujet de la transmission d'énergie en continue, la difficulté est le couplage médiocre entre les deux antennes. Car, ces dernières peuvent être à des endroits variables et la puissance de l'émetteur portatif est limitée (fonctionne à pile). La grosseur physique des antennes et le spectre d'absorption de la peau sont contradictoires pour le choix de fréquence de l'onde porteuse.

MÉTHODOLOGIE:

Pour remédier au problème, le lien R.F. implantable est constitué de trois parties:

Un démodulateur 32 FSKS (frequency shift keying synchron) complètement intégrable a été réalisé. Ce principe a pu être utilisé en combinant la grande stabilité thermique du corps humain et la calibration du démodulateur rendue possible par un lien bidirectionnel. La modulation F.M. assure une meilleure qualité du lien et s'immunise contre les bruits AM créés par les mouvements de l'antenne.

Le transmetteur interne est du type 2 ASK (Amplitude shift keying) à faible débit. Il permet de donner l'état de l'implant et de la pile interne.

Le système de téléalimentation à accumulation d'énergie utilise une pile au lithium rechargeable et un régulateur commuté à fréquence contrôlable. Ceci permet d'alimenter des implants de toutes sortes comme l'implant visuel, auditif, urinaire, stimulateur cardiaque, etc. Ce système permet de charger la pile la nuit via un transmetteur connecté à une prise de courant domestique. Le jour, la pile donne une autonomie de 16 heures. Le moment opportun, pour remplacer la pile, sera déterminé par sa durée de vie et non de sa capacité (en mAh).

La dimension des circuits du lien R.F. implantable, incluant la batterie, est contenue à l'intérieur d'un cylindre de 25 mm de diamètre par 9 mm d'épaisseur. L'implant visuel ou auditif demande un gros débit d'informations provenant de l'extérieur du corps humain. Ces implants fonctionnant 16 heures par jour, nécessitent passablement d'énergie qui ne peuvent être assurés par une pile primaire.

RÉSULTATS:

Suite aux résultats de simulations le démodulateur 32 FSKS fonctionne très bien. Le discriminateur de fréquences original, sans ajustement et sans inductance, donne de bons résultats. Le système de calibration permet d'optimiser la marge de bruit et permet d'obtenir des débits approchant 10 Mbits/sec avec un environnement à faible bruit. Le système de téléalimentation permet une charge pendant 8 heures et une autonomie (sans émetteur R.F.) De 16 heures avec une puissance consommée de 40 mW.

WONG Tony **DIPLÔME:** Ph.D.

TITRE:

La répartition automatique des tâches dans la simulation des réseaux électriques en temps réel.

RÉSUMÉ:

La coordination des activités à l'intérieur d'un système distribué est normalement assurée par une politique de répartition des tâches. La répartition des tâches permet une utilisation équitable des ressources et améliore le rendement du système. De plus, un ordonnancement efficace peut diminuer le temps d'exécution des tâches en profitant du parallélisme (implicite ou explicite) du programme parallèle.

PROBLÉMATIQUE:

Le répartiteur automatique des tâches a comme fonction d'assigner les tâches requises pour la simulation des réseaux électriques dans les processeurs. Cette répartition est basée sur les contraintes et sur les critères suivants:

les processeurs doivent communiquer, le plus souvent avec les voisins immédiats;

le regroupement des tâches dans les processeurs pour une meilleure utilisation des processeurs et pour minimiser la quantité d'informations à transférer entre les processeurs.

MÉTHODOLOGIE:

La topologie des tâches requises pour simuler un réseau électrique reflète la topologie du réseau. Ainsi, une tâche est un objet numérique qui effectue un ensemble de calculs. La plupart des calculs sont réalisés dans le domaine discret par des équations récurrentes. Une tâche peut échanger des résultats de calculs à d'autres tâches du système des tâches. Une des caractéristiques importantes est que les tâches sont périodiques avec des contraintes temps-réel de type rigide.

Pour les besoins du simulateur, la période d'échantillonnage de base du système est réglée à $1/f_s = 50$ μ sec. A cette fréquence d'échantillonnage, nous pouvons simuler des lignes de transmission en tronçons 15 Km. De plus, la fréquence maximale des transitoires observables est 10 kHz puisque la fréquence fondamentale du réseau est de 60 Hz.

RÉSULTATS:

Une méthode de fouille dynamique pour répartir les tâches parallèles en temps réel a été mise en oeuvre. La méthode est une combinaison modifiée de l'algorithme IDA sans mémoire supplémentaire pour les noeuds générés et de l'algorithme A. Des résultats intéressants ont été obtenus sous forme d'augmentation de vitesse (speedups) en fonction du nombre de noeuds et de la mémoire disponible.

XU, Hiaiqi **DIPLÔME:** Ph.D.

TITRE:

Boucles à verrouillage de phase (PLL) à très haute fréquence.

RÉSUMÉ:

Le projet consiste en la conception et la réalisation d'une nouvelle structure de la bouche à verrouillage de phase "Phase-Locked Loop (PLL)". L'objectif principal regroupe deux aspects: 1) concevoir des PLLs à très large bande passante, 2) réduire au maximum l'erreur de synchronisation (jitter).

PROBLÉMATIQUE:

Nous nous intéressons dans le cadre de ce projet aux applications nécessitant des fréquences d'opération très rapides au niveau d'une puce électronique, mais l'horloge externe oscille à une fréquence moyenne de l'ordre de 50 MHz. La fonction du PLL dans ce cas sera la multiplication de l'horloge externe par un nombre prédéfini par l'utilisateur. L'ensemble du circuit de PLL devra être intégré afin d'augmenter ses performances.

MÉTHODOLOGIE:

La réalisation d'un PLL à très faible "jitter" nécessite la conception d'un circuit "charge-pump". De plus, un oscillateur différentiel contrôlé par current est utilisé pour obtenir une gamme contrôlée plus large. La conception de circuits PLL est basée sur les plus récents résultats des publications. La conception de PLL inclut les circuits schématiques, leur simulation, le dessin des masques, leurs extractions et simulation. Les travaux de conception sont effectués sur l'environnement du logiciel Cadence.

RÉSULTATS:

Deux types de PLL sont complétés. Toutes les simulations de schémas et des masques montrent que les PLL fonctionnent très bien. Ces deux PLL sont intégrés dans une puce qui est en phase de fabrication en BiCMOS 0.8 μm chez Nortel et par le biais de la SMC.

YUAN, Peijian **DIPLÔME:** M.Sc.A.

TITRE:

La reconnaissance de patron (pattern matching) avec le système PULSE.

RÉSUMÉ:

Dans plusieurs applications, telles que l'intelligence artificielle, la vision numérique ou la reconnaissance de l'image, la principale opération est, en général, la reconnaissance de patron. La machine PULSE est une conception SIMD (Single Instruction Multiple Data) beaucoup plus performant qu'un processeur ordinaire. Grâce à ses multi-processeurs, PULSE peut traiter 4 données en une seule instruction.

PROBLÉMATIQUE:

De nos jours, on exige beaucoup plus d'un ordinateur qu'auparavant. La reconnaissance d'image est déjà utilisée dans plusieurs domaines. Même si la vitesse des ordinateurs d'aujourd'hui est assez élevée, le nombre de données que l'on doit traiter reste encore énorme. Par conséquent, il faut non seulement augmenter la vitesse du processeur mais aussi améliorer l'architecture générale.

La machine multi-processeur PULSE satisfait une des caractéristiques principale du domaine de traitement d'image: la plupart des données requièrent la même opération. Un programme adéquat doit cependant être conçu pour assurer le bon fonctionnement.

MÉTHODOLOGIE:

Dans les applications pratiques de traitements d'images, le bruit a une influence sur la précision. Dans un premier niveau, un filtre doit être utilisé pour éliminer le bruit. Dans notre travail, nous employons un filtre 2D (FIR). Premièrement, nous avons choisi une fenêtre 3 par 3. Deuxièmement, nous avons considéré l'espace mémoire de PULSE de sorte que les données puissent être stockées dans un minimum d'opérations d'entrée-sortie. Troisièmement, nous décalons à droite chaque entrée de mémoire (utilisation d'un pipeline). Ceci fait de sorte que 4 convolutions peuvent être réalisées en parallèle. Quatrièmement, nous avons conçu la boucle principale de convolution. Ceci est la clef du programme pour réduire le temps d'exécution. Finalement, nous dirigeons les résultats sur les ports de sorties.

Le second niveau concerne l'algorithme de la reconnaissance de patron. Il existe plusieurs de ces algorithmes pour la reconnaissance de patron. Nous avons choisi la méthode de l'erreur minimale. La

structure de données et l'organigramme sont les mêmes que ceux du programme du filtre 2D.

L'algorithme de reconnaissance de patron développé dans ce projet sera utilisé pour une application de transmission d'image. Dans cette application, la partie inchangée de l'image peut ne doit pas être transmise à chaque page. Donc on gagne sur le temps de transmission et l'espace mémoire.

RÉSULTATS:

Nous avons développé et compiler le code assembleur PULSE pour le filtre et l'algorithme de reconnaissance. Le modèle de simulation de la machine PULSE étant maintenant prêt, nous allons débiter la simulation du code développé. Nous débutons également le développement d'une version C PULSE du même code. Le langage C PULSE est disponible et une première version du compilateur le sera d'ici peu.

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés ci-haut sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels).

Subventions, contrats et conventions de recherche individuelles			
Haccoun, D.	CRSNG Individuelle	29 200 \$	1992-95
Houle, J.L.	CRSNG Individuelle	11 640 \$	1992-96
Kaminska, B.	Optex Inc., «Étude de faisabilité des circuits de communication analogique-optique »	160 000\$	1994-95
Kaminska, B.	CRSNG «Testability of VLSI Circuits and Systems	28 080\$	1994-97
Kaminska, B.	BNR/NT: Test de circuits analogiques	89 000 \$	1994-97
Kaminska, B.	Micronet Strad Program - Optex Inc. - Contract	50 000 \$	1995
Kaminska, B.	Micronet - Centre d'Excellence	13 500 \$	1996-97
Maciejko, R.	CRSNG Coop. CRD	61 000 \$	1993-96
Maciejko, R.	BNR-CRD	30 000 \$	1993-96
Maciejko, R.	CRSNG Individuelle	26 600 \$	1995-96
Savaria, Y.	Projet IRIS	27 700 \$	1994-98
Savaria, Y.	Ministère Défense Nationale "Study of Algorithms and Archi-	21 000 \$	1994-97

	tectures for Clustering Radar Signal"		
Savaria, Y.	CRSNG Individuelle "Méthodes de Conception et test pour les circuits intégrés CMOS"	34 850 \$	1996-00
Sawan, M.	CRSNG Individuelle	19 000 \$	1995-99
Sawan, M.	CRSNG stratégique "Stimulateurs et capteurs implantables dédiés à la récupération des fonctions neuromusculaires".	71 250 \$	1995-98
Sawan, M.	Fondation de Polytechnique "Lien de communication bidirectionnel dédié aux stimulateurs miniaturisés implantables"	12 000 \$	1995-96
Sawan, M.	Alliance Médical Inc."Décteur ultrasonique du volume urinaire"	18 200 \$	1994-96
Subventions, contrats et conventions de recherche de groupe			
<u>Bois, G.</u> , Savaria, Y.,	CMC, Ordinateur Sun SPARC ULTRA	20 000 \$	1996
<u>Cerny, E.</u> , Kaminska, B., Savaria, Y., Bois, G. Sawan, M., Dagenais, M. et 13 autres	FCAR Centre, Groupe de Recherche Inter universitaire en Architecture des Ordinateurs.	125 400 \$ 142 000 \$	1995-98 1995-96
<u>Elhilali, M.</u> , Hassouna, M., Duval, F., Sawan, M.,	Fondation Canadienne des Maladies du Rein (FCMR) "Modulation of Bladder Function Through Neurostimulation"	40 000 \$	1995-97

<p><u>Kaminska, B.</u>, Savaria, Y. Maciejko, R.</p>	<p>Micronet, "High Speed Optical Active Interconnects for On-Chip Access"</p>	<p>39 100 \$</p>	<p>1994-97</p>
<p><u>Maciejko, R.</u>, Leonelli, R., Morris, D.,</p>	<p>CRSNG Stratégique, "Ultrafast technologies for Photonic Devices"</p>	<p>138 500 \$</p>	<p>1995-96</p>
<p><u>Savaria, Y.</u>, Bois, G.</p>	<p>Fabrication d'une puce</p>	<p>2 000 \$</p>	<p>1996-97</p>
<p><u>Savaria, Y.</u>, Dagenais M., Houle, J.-L., Kaminska,B. Bois, G., Sawan, M.</p>	<p>FCAR Équipe "Méthodes de conception des systèmes VLSI et ULSI"</p>	<p>48 000 \$</p>	<p>1994-97</p>
<p><u>Savaria, Y.</u>, Kaminska, B., Sawan, M., Bois, G., Houle, J.-L., Dagenais, M., et 7 autres.</p>	<p>Compétition sur les équipements, SCM</p>	<p>177 496 \$</p>	<p>1995-96</p>
<p><u>Savaria, Y.</u>, Bois, G.,</p>	<p>"Conception, caractérisation, placement et routage de circuits numériques de haute performance" CRSNG COOP(Compagnie Design Workshop Inc)</p>	<p>96 000 \$</p>	<p>1995-97</p>
<p><u>Savaria, Y.</u>, Bois, G., Houle, J.-L.,</p>	<p>"PULSE, Parallel Ultra Scale Integrated Engine", Ministère de l'Enseignement Supérieur et des Sciences du Québec, Programme</p>	<p>1 700 000 \$</p>	<p>1995-97</p>

Meunier B., Kaminska, B., Sawan, M.,	SYNERGIE		
Savaria, Y., Bois, G. Dagenais, M., Houle, J.-L. Kaminska, B., Sawan, M.,	École Polytechnique, Groupe de Recherche en Microélectronique.	25 000 \$	1995-96
Sawan, M., Savaria, Y., Kaminska, B., Bois, G., Houle, J.-L., et 6 autres	Compétition sur les équipements CMC	48 543 \$	1996-97
Thulassiraman, K.T., Haroun, B., Savaria, Y.	Micronet, "A CAD Environment for Synthesis of FPGA Based Signal Processing Systems"	29 750 \$	1995-96

Autres contrats et subventions de recherche

Le Groupe de recherche en micro-électronique a aussi accès via la société canadienne de microélectronique à la fonderie de silicium de la firme Northern Telecom Electronics pour la fabrication des circuits et dispositifs dont la conception a été faite par les chercheurs de l'École. De plus, des puces ont aussi été fabriquées via les services du CMP de Grenoble, France.

Équipement prêté par la SCM

3 x SUN Sparcstation 5-85, 64 Mb	1 x HP Main Frame E1401A 20 Msa/s Digitizer	1 x Keithley Source Measurement
1 x SUN Sparcstation 5-85 112 Mb	1 x HP Command module E1406A	1 x VXI Test Fixture
1 x SUN Sparcstation 10, 64	1 x HP 20 Msa/s A/D	1 x Test Head 1000

Mb	E1429B	1 x SMU Test head
3 x SUN Sparcstation 10, 128 Mb	1 x Analog DBS 8750 Arbitrary Waveform Synthetizer	1 x Model 28 T11a Active probe
1 x SUN Sparcstation 10, 192 Mb	1 x HP E1450A 160 MHz Timing Module	1 x Power supply (for model 28)
1 x SUN Sparcstation 20, 64 Mb	1 x HP E1445A Arbitrary Function Generator	4 x Model 40A (T13) Micro. (4R)
1 x HP Workstation 745i, 32 Mb	1 x HP E1452A 20 MHz Pattern I/O Module	2 x MH5 alessi Micropositioner(L)
1 x HP Workstation 712/60 64 Mb	1 x HP E6623A Programmable DC Power supply	2 x MH5 alessi Micropositioner (R)
2 x SUN 1.3Gb external drive	2 x GGB picaprobe model 28	1 x MMM-01 alessi Microwave Mount (40A)
3 x SUN 2.1Gb external drive	1 x GGB picaprobe power supply	2 x MMM-02 alessi Microwave Mount (40A)
1 x UNIBIT 2.1Gb external drive	1 x HP E1493-60001 (con. board)	2 x MMM-04 alessi Microwave Mount (40A)
1 x TENEX 2.1Gb external drive	3 x HP E 1454 A (cable)	4 x MAC-02 alessi Magnetic Base
1 x SUN 4.0Gb external drive		8 x Picoprobe 40A-GSG-150-P
3 x TENEX 4.0 Gb external drive		4 x Microwave Probe MH5-2848
1 x SUN 150 Mb external tape dr. 1 x UNIBIT 5.0Gb external tape dr.		1 x SUN GPIB interface Controller
1 x SUN 644 Mb external CDROM drive		
1 x HP 1600mm EIA 19" rack		

Équipement appartenant au groupe

- 1 x SUN Sparcstation SLC, 8 MB	- 2 x OSS 2.1 GB external drive
- 2 x SUN Sparcstation IPC, 24 MB	- 2 x OSS 4.0 GB external drive
- 1 x SUN Sparcstation IPX, 32 MB	- 2 x SUN 150 MB external tape drive
- 1 x SUN Sparcstation IPX, 48 MB	- 1 x UNIBIT 5.0 Gb external tape drive
- 1 x SUN Sparcstation 1,40 MB	- 2 x SUN 14 GB external tape drive

- 1 x Sun Sparcstation 1,8 MB
- 1 x SUN Sparcstation 1+, 28 MB
- 1 x SUN Sparcstation 2, 32 MB
- 1 x SUN Sparcstation 2, 64 MB
- 8 x SUN Sparcstation 4, 32 MB
- 3 x SUN Sparcstation 5-70, 32 MB
- 3 x SUN Sparcstation 5-85, 64 MB
- 3 x SUN Sparcstation 5-110, 64 MB
- 1 x IBM RS6000 model 360-7012, 64 MB
- 1 x IBM PC ps2/55
- 4 x PC DX-33, 16 MB
- 1 x PC DX-66, 16 MB
- 1 x PC DX2-66, 16 MB
- 1 x PC DX-100, 16 MB
- 1 x PC Portatif DX4-100, 16 MB
- 1 x PC DX4-100, 20 MB
- 1 x PC Pentium 75, 16 MB
- 1 x PC Pentium 90, 32 MB
- 1 x PC Pentium 90, 64 MB
- 4 x PC Pentium 100, 16 MB
- 3 x PC Pentium 120, 32 MB
- 1 x PC Pentium Pro 200, 32 MB
- 1 x PC MAC LC
- 1 x PC MAC LCII
- 1 x OSS 760MB, external drive
- 1 x SUN 2.1 GB external drive
- 1 x Colorado Tracker 700MB external tape drive
- 2 x SUN 644 MB external CDROM drive
- 1 x HP 4x external CDROM drive
- 1 x HP printer laserjet IIP
- 2 x HP printer laserjet 4m+
- 1 x HP printer laserjet 5m
- 1 x HP printer HP5L
- 1 x HP printer 1200/C
- 1 x SUN printer sparcprinter 12pp
- 1 x HP printer plotter 7580B
- 1 x HP printer paintjet Color
- 2 x HP printer Deskjet
- 2 x DEC printer LA50
- 1 x HP printer deskwriter C
- 1 x MAC printer deskwriter C
- 18 x APC BK600 UPS
- 1 x Rapid prototyping board V.2
- 1 x HP Semi-Cond. P.A. 4145 A
- 1 x Miranda Research Espresso
- 1 x MiroTech Cage VME et PC
- 1 x HP function Generator 8111A
- 1 x HP oscilloscope 1741A 100MHz
- 1 x TEKTRONICS Analyseur Logique 3002
- 1 x PHILIPS oscilloscope 0-25 MHz PM3212
- 2 x HP Power supply 6202B
- 1 x WENTHWORT Prober

Logiciels

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible au laboratoire de micro-électronique. Quelques-uns de ces logiciels sont du domaine public, obtenus d'autres universités ou de banques de logiciel. Le logiciel MENTOR a été donné à l'École par la compagnie Mentor Graphics, tandis que les logiciels EDGE/CADENCE de la société Cadence. Citons parmi les principaux logiciels qui sont d'usage courant

MENTOR Graphics (Environnement intégré)	EDGE/CADENCE (environnement intégré par la conception des circuits VLSI)
- desigh_arch.sta	ALLEGRO (conception de PCB et MCM)
- ic_layout_ex.sta	HSPICE (simulateur)
- sds.sta	Amical
- vhdlarch.sta	Artist de Cadence (Design des circuits analogiques et mixtes)
- autologic_ic.sta	Dw2000 (Édition de masque, fourni par Design Workshop)
- dsp.sta	FrameMaker (Logiciel de traitement de texte)
- idea.sta	Matlab (logiciel pour le traitement mathématique)
- sds_base.sta	Osf Motif
- vhdlentry.sta	Vhdlxl (simulation de circuits logiques)
- ic_layout.sta	Publisher
- ideafpga.sta	Unison
- tdfpga.sta	Modula 3
BNR/DFT Tools (design pour la testabilité)	SPW
Synopsys	
Octtools	
Logic Modeling	

PUBLICATIONS ET RÉALISATIONS:

Articles de revues acceptés pour publication

[A- 1] ABDERRAHMAN, A., SAVARIA, Y., KAMINSKA, B., "Analyse, estimation et réduction du bruit de commutation simultanée", accepté pour publication à la *Revue Canadienne de Génie électrique* en mai 1996.

[A- 2] ARABI, K., KAMINSKA, B., SAWAN, M., "On Chip Testing Medium to High Resolution,

Data Converters Using Static Parameters", accepté pour publication dans *IEEE Transactions on VLSI Systems*, 1996.

[A- 3] ASSI, A., SAWAN, M., ZHU, J., "An Offset Compensation Method for CMOS Current-Feedback OP AMP" accepté pour publication dans *IEEE Transactions on Circuits and Systems*, 1996.

[A- 4] BELHAOUANE, A., SAVARIA, Y., KAMINSKA, B., MASSICOTTE, D., "A Correction Method for Data Acquisition Systems Subject to Deterministic Jitter", accepté pour publication à *Jetta*, février 1996.

[A- 5] BOIS, G., CERNY, E., "Efficient Generation of Diagonal Constraints for 2D Mask Compaction, accepté pour publication dans *IEEE Transactions on CAD*, 1996.

[A- 6] BOSI, B., BOIS, G., SAVARIA, Y., "Reconfigurable Pipelined 2D Convolvers for Fast Digital Signal Processing, soumis à *IEEE VLSI Systems Transactions*, octobre 1995.

[A- 7] CHEN, J., CHAMPAGNE, R., MACIEJKO, R., MAKINO, T., "Improvement of Single-Mode Gain Margin in Gain-Coupled DFB Lasers", accepté pour publication à *IEEE J. Quantum Electron.*

[A- 8] CHEN, J., MACIEJKO, R., MAKINO, T., "Dynamic Properties of Push-Pull DFB Semiconductor Lasers", accepté pour publication à *IEEE J. Quantum Electron.*

[A- 9] CHEN, J., MACIEJKO, R., MAKINO, T., "Second-Order Harmonic Distortion in AM Response of gain-Coupled DFB Lasers" accepté pour publication à *International Journal of Optoelectronics*.

[A-10] EHSANIAN, M., KAMINSKA, B., " A BiCMOS Wideband Operational Amplifier with 900 MHz Gain-Bandwidth and 90 dB DC Gain", *Analog Integrated Circuits and Signal Processing*, Kluwer Publications, 1996.

[A-11] NEKILI, M., BOIS, G., SAVARIA, Y., "High-Speed Clocking of Large Integrated Systems" accepté à *Transactions on VLSI*, novembre 1995.

[A-12] NEKILI, M., BOIS, G., SAVARIA, Y., "Pipelined H-Trees for High-Speed Clocking of Large Integrated Systems in Presence of Process Variations", accepté pour publication dans *IEEE VLSI Systems Transactions*, décembre 1995.

[A-13] RAYAPATI, V., KAMINSKA, B., "Dynamic Reconfiguration Schemes for Mega Bit BiCMOS SRAMs", *Microelectronics and Reliability: An International Journal*, Elsevier Science Ltd, septembre 1996.

[A-14] SAWAN, M., ARABI, K., PROVOST, B., "Implantable Volume Monitor and Miniaturized Stimulator Dedicated to Bladder Control", accepté pour publication dans *Artificial Organs Journal*, 1996.

Articles de revues publiés de septembre 1995 à août 1996

[P- 1] ABDERRAHMAN, A., CERNY, E., KAMINSKA, B., "Optimization-Based Multifrequency Test Generation for Analog Circuits", *Journal of Electronic Testing: Theory and Applications*, JETTA, Kluwer Academic Publishers, vol. 13, 1996, pp. 59-73.

[P- 2] ABOU-KHALIL, M., GOANO, M., CHAMPAGNE, A., MACIEJKO, R., "Capture and Escape in Quantum Wells as Scattering Events in Monte Carlo Simulation" *IEEE Photon, Technol. Lett.*, vol. 8, no. 1, janvier 1996 pp. 1-3,

- [P- 3] AOURID, M., KAMINSKA, B., "Minimization of the 0-1 Linear Programming Problem Under Linear Constraints by Using Neural Networks: Synthesis and Analysis", *IEEE Trans. On Circuits and Systems I: Fundamental Theory and Applications*, vol. 43, no 5, mai 1996, pp. 421-425.
- [P- 4] ARABI, K., SAWAN, M., "Implantable Multiprogrammable Microstimulator Dedicated to Bladder Control", *Med. Biol. Eng. Comput.*, no. 34, 1996, pp. 9-12.
- [P- 5] AUDET, D., SAVARIA, Y., "High-Speed Interconnections Using True Single-Phase Clocking", *Journal of Microelectronic System Integration*, vol. 3, no. 4, décembre 1995, pp. 247-257.
- [P- 6] BELABBES, N., GUTERMAN, A., SAVARIA, Y., DAGENAIS, M., "Ratioed Voter Circuit for Testing and Fault-Tolerance in VLSI Processing Arrays", *IEEE Transactions on Circuits and Systems, Fundamental Theory and Applications*, vol. 43, no. 2, février 1996, pp. 143-152.
- [P- 7] BELHAOUANE, A., SAVARIA, Y., KAMINSKA, B., "A Correction Method for Data Acquisitin System Subject to Deterministic Jitter", *Journal of Electronic Testing: Theory and Applications*, JETTA, Kluwer Academic Publishers, vol. 13, 1996.
- [P- 8] BLAQUIÈRE, Y., DAGENAIS, M., SAVARIA, Y., "Timing Analysis Speed-Up Using a Hierarchical and a Multi-Mode Approach", *IEEE Transactions on CAD*, février 1996, pp. 244-255.
- [P- 9] BLAQUIÈRE, Y., GAGNÉ, G., SAVARIA, Y., EVEQUOZ, C., "A New Efficient Algorithm-Based SEU Tolerant System Architecture", *IEEE Transactions on Nuclear Science*, décembre 1995, pp. 1599-1606.
- [P-10] BOUBEZARI, S., KAMINSKA, B., "A Nes Reconfigurable Test Vector Generator for Built-In Self-Test Applications", *Journal of Electronic Testing: Theory and Applications*, vol. 8, 1996, pp. 153-164.
- [P-11] CHAMPAGNE, A., MACIEJKO, R., MAKINO, T., "Enhanced Carrier Injection Efficiency from Lateral Current Injection in Multiple-Quantum-Well DFB Lasers", *Photonic Technology Letters*, vol. 8, no. 6, juin 1996.
- [P-12] CHEN, J., MACIEJKO, R., MAKINO, T., "High Resonance Frequency of Push-Pull Distributed Feedback Lasers", *J. Appl. Phys.*, vol. 79, 1996, pp. 8914.
- [P-13] CHEN, J., MACIEJKO, R., MAKINO, T., "Second-Order Harmonic Distorsion in Am Response of Gain-Coupled DFB Lasers", *Intl. Journal of Optoelectronics*, vol. 10, 1996, pp. 139.
- [P-14] CHEN, J., MACIEJKO, R., CHAMPAGNE, A., MAKINO, T., "Relaxation Oscillation Frequency of DFB Lasers with Gain Coupling" *IEEE Journal Quantum Electron.*, vol. 31, 1995, pp. 1443.
- [P-15] RAHAL, A., BOSISIO, R.G., ROGERS, C., OVEY, J., SAWAN, M., MISSOUS, M., "A W-Band Medium Power Multi-Stack Quantum Barrier Varactor Frequency Tripler", *IEEE Microwave and Guided Wave Letters*, vol. 5, no. 11, 1995, pp. 368-370.
- [P-16] RAYAPATI, V.N., KAMINSKA, B., "Interconnect Propagation Delay Modeling and Validation for 16-Mega Bit CMOS SRAM Chip", *IEEE Trans. On Components, Packaging and Manufacturing Technology*, part B, vol. 19, no. 3, août 1996, pp. 605-614.
- [P-17] REID, B., ABOU-KHALIL, M., MACIEJKO, R., "Doping Effects on Carrier Caputre in a Single Quantum Well by Ensemble Monte Carlo", *Canadian Journal of Physics*, 1995.

- [P-18] ST-AMAND, R., SAWAN, M., SAVARIA, Y., "Design and Optimization of a Low DC Offset Current-Source Dedicated for Implantable Miniaturized Stimulators", *Analog Integrated Circuits & Signal Processing Journal*, vol. 11, 1996, pp. 47-61.
- [P-19] SAWAN, M., HASSOUNA, M., LI, J.S., DUVAL, F., ELHILALI, M.M., "Stimulators Design and Subsequent Stimulation Parameter Optimization for Controlling Micturition and Reducing Urethral Resistance", *IEEE Trans. On Rehabilitation Eng.*, vol. 4, no. 1, 1996, pp. 39-46.
- [P-20] SLAMANI, M., KAMINSKA, B., "Multifrequency Testability Analysis for Analog Circuits", *IEEE Trans. On Circuits and Systems*, Part II, février 1996, pp. 134-139.
- [P-21] SOUFI, M., SAVARIA, Y., KAMINSKA, B., "On Producing Reliable Initialization and Test of Sequential Circuits with Pseudo-Random Vectors", *IEEE Trans. On Computers*, vol. 44 no. 10, octobre 1995, pp. 1251-1255.
- [P-22] TRONC, P., MANI, IL., REID, B., MACIEJKO, R., LEROUX, M., LAZZARI, J.L., SEGURA-FOILLANT, C., "X, L and T Lines in Low Temperature Photoluminescence Spectra of Al_{0.47} Ga_{0.52} As_{0.035} Sb_{0.965} alloys", *Physica Status Solidi*, 1996, pp. 453-460.
- [P-23] VENKATAPATHI, RAYAPATI, N., KAMINSKA, B., "Interconnect Propagation Delay Modeling and Validation for 16-Mega Bit CMOS SRAM Chip", *IEEE Trans. On Components, Packaging and Manufacturing Technology*, part B, vol. 19 no. 3, août 1996, pp. 1-10. R wp="br1">

Articles de revues publiés de septembre 1994 à août 1995

- [P-24] AYARI, B., KAMINSKA, B., "CYCLOGEN: Automatic, Functional-Level Test Generator Based on the Cyclomatic Complexity Measure and on the ROBDD Representation", *IEEE Transactions on Circuits and Systems II*, vol. 42, no 7, juillet 1995, pp. 446-452.
- [P-25] BARWICZ A., MASSICOTTE, D., SAVARIA, Y., PANGO, P.A., MORAWSKI, R.Z., "An Application Specific Processor Dedicated for Kalman-Filter-Based Correction of Spectrometric Data", *IEEE Transactions on Instrumentation and Measurement*, vol. 44 no. 3 IEIMAO, juin 1995, pp. 720-724.
- [P-26] BELZILE, J., SAVARIA, Y., HACCOUN, D., CHALIFOUX, M., "Bounds on the Performance of Partial Selection Networks", *IEEE Transactions on Communications*, vol. 43, no 2/3/4, février/mars /avril 1995, pp. 1800-1809.
- [P-27] BOUBEZARI S., KAMINSKA, B., "A Deterministic Built-In Self-Test Based on Cellular Automata Structures", *IEEE Trans. On Computers*, vol. 44, no 6, juin 1995, pp. 805-816.
- [P-28] CHEN, J., MACIEKJO, R., CHAMPAGNE, A., MAKINO, T., "Relaxation oscillation frequency of DFB lasers with gain coupling" *IEEE J. Quantum Electron.*, vol. 31, 1995, pp. 1443-1450.
- [P-29] FARES M., KAMINSKA, B., "FPAD: A Fuzzy Nonlinear Programming Approach to Analog Circuit Design", *IEEE Trans. On Computer-Aided Design*, vol. 14, no 7, juillet 1995, pp. 785-793.
- [P-30] FARES, M., KAMINSKA, B., «A Fuzzy Decision-Making Approach for Test Space Exploration», *IEEE Design and Test of Computers*, vol. 11, no. 3, automne 1994, pp. 17-28.
- [P-31] GOANO, M., ABOU-KAHLI, M., MACIEJKO, R., "Memory-efficient technique for inclusion of carrier degeneracy in Monte Carlo transport simulation", *Electron. Lett.*, vol. 31, no. 17, 17 août

1995, pp. 1516-1517.

[P-32] HU, Y., SAWAN, M., "Synthesis of Fully Controllable Loops Delay and Programmable Switched-Capacitor Filters", *The Canadian Journal of Elec. & Comp. Eng.*, vol. 20, no. 1, 1995, pp. 49-56.

[P-33] KERMOUCHE, R., AUDET, D., SAVARIA, Y., "On the Optimization of Integrated Hierarchical Bus Architectures to Achieve Efficient Fault Tolerance", *Special Issue of the Journal of Microelectronic Systems Integration (Plenum Press) on Defect and Fault Tolerance in VLSI Systems*, mars 1995, pp. 47-64.

[P-34] LAVOIE, M., DO, V.Q., HOULE, J.L., DAVIDSON, J., "Real Time Simulation of Power Systems Stability Using Parallel Digital Signal Processors", *IEEE IMACS Mathematics and Computers in Simulation*, Vol. 38, No 4-6, août 1995, pp. 283-292.

[P-35] LI, J.S., HASSOUNA, M., SAWAN, M., DUVAL, F., ELHILALI, M.M., "Long Term Effect of Sphincteric Fatigue During Bladder Neurostimulation", *The Journal of Urology*, vol. 153, janvier 1995, pp. 238-242.

[P-36] MACIEJKO, R., CHAMPAGNE, A., REID, B., and MANI, H., «Analysis of an InGaAsP/InP Twin Overlaid Waveguide Switch», *IEEE Jour. Quant. Electron.*, Vol. 30. sept. 1994, pp. 2106-2113.

[P-37] MHEIR-EL-SAADY, F., KAMINSKA, B., «An Automatic Hierarchical Delay Analysis Tool», *Journal of Computer Science and Technology*, Allerton Press, vol. 9, no. 4, octobre 1994, pp. 349-364.

[P-38] SLAMANI, M., KAMINSKA, B., "Soft Large Deviation and Hard Fault Multifrequency Analysis in Analog Circuits", *IEEE Design and Test of Computers*, été 1995, pp. 70-80.

[P-39] THIBEAULT, C., SAVARIA, Y., HOULE, J.-L., "Equivalence Proofs of Some Yield Modeling Methods for Defect-Tolerant Integrated Circuits", *IEEE Transactions on Computer*, vol. 44, no 5, mai 1995, pp. 723-727.

Articles de conférences publiés de septembre 1995 à août 1996

[C- 1] ADAMS, D.M., MAKINO, T., CHAMPAGNE, A., CHEN, J., MACIEJKO, R., "Yield Enhancement due to Carrier-Injection behavior in Truncated-Well Gain-Coupled DFB's". *CLEO'96*, Anaheim, USA, June 1996.

[C- 2] ARABI, K., KAMINSKA, B., "Oscillation-Test Strategy for Analog to Digital Converter Testing" *IEEE VLSI Test Symposium*, Princeton 1996, pp. 476-482.

[C- 3] ARABI, K., SAWAN, M., "VLSI Implementation of a New Communication Protocol for Externally Controlled Implanted Devices", *ICM'95*, Malaisie, décembre 1995.

[C- 4] ARABI, K., SAWAN, M., "A Monolithic Miniaturized Programmable Implant for Neuromuscular Stimulation, *IEEE-EMBS 17th Int. Conf.*, Montréal, septembre 1995.

[C- 5] ARABI, K., SAWAN, M., "A Novel CMOS Digital Clock and Data Decoder for Implanted Systems" *IEEE-EMBS 17th Int. Conf.*, Montréal, septembre 1995.

[C- 6] ARABI, K., SAWAN, M., "A Secure Communication Protocol for Externally Controlled Implantable Devices", *IEEE-EMBS 17th Int. Conf.*, Montréal, septembre 1995.

- [C- 7] ARABI, K., SAWAN, M., "Multiprogrammable Stimulus Waveform Generator for Neuromuscular Electrical Stimulation", *IEEE-EMBS 17th Int. Conf.*, Montréal, septembre 1995.
- [C- 8] AUDET, D., GAGNON, F., SAVARIA, Y., "Quantitative Comparisons of TMR Implementations in a Multiprocessor System" *2nd IEEE On-Line Testing Workshop*, Biarritz, 8-10 juillet 1996, pp. 196-199.
- [C- 9] BARADA, H.M., SAWAN, M., HASSOUNA, M., TU, L.M., ELHILALI, M.M., "Sphincteric Fatigue Strategy for Bladder Control: Preliminary Chronic Results in an Animal Model", *IEEE-EMBS 17th Int. Conf.*, Montréal, septembre 1995.
- [C-10] BELHAOUANE, A., SAVARIA, Y., KAMINSKA, B., "A Reconstruction Method for Data Acquisition Systems with Randomly Distributed Jitter", *IEEE 2nd International Mixed Signal Testing Workshop*, mai 1996, pp. 119-122.
- [C-11] BENHAMIDA, N., SAAB, K., MARCHE, D., KAMINSKA, B., "LIMSoft: Automated Tool for Design and Test Integration" *2nd IEEE International Mixed Signal Testing Workshop, IMSTW'96 Proceedings*, mai 1996, pp. 56-71.
- [C-12] BEN HAMIDA, N., AYARI, K., KAMINSKA, B., "Testing of DAC Using Linear Modelling and Sensitivity Computation" *2nd IEEE International Mixed Signal Testing Workshop, IMSTW'96 Proceedings*, mai 1996, pp. 127-137.
- [C-13] BLAQUIERE, Y., GAGNÉ, G., SAVARIA, Y., ÉVÉQUOZ, C., "Cost Analysis of a New Algorithm Based Soft Error Tolerant Architecture", *IEEE Workshop on Defect and Fault Tolerance in VLSI*, Lafayette, novembre 1995, pp. 189-197.
- [C-14] BOIS, G., SAVARIA, Y., POPOVIC, P., "DSP Embedded System Design Based on Reconfigurables Architectures", *Forum on Embedded System Design, Symposium on Microelectronics Research and Development in Canada*, juin 1996.
- [C-15] BOYER, A., SAWAN, M., "Stimuli Generator Dedicated for an Implantable Visual Miniaturized Stimulator", *IEEE-EMBS 17th Int. Conf.*, Montréal, septembre 1995.
- [C-16] CHEN, J., MACIEJKO, R., MAKINO, T., "Threshold Condition of Single-Mode Gain-Coupled DFB Lasers" *ICAPT'96*, Montréal, juillet 1996.
- [C-17] CHEN, J., MACIEJKO, R., MAKINO, T., "Mode Proximity and Frequency Response of Push-Pull DFB Lasers," *CLEO'96*, Anaheim, U.S.A., juin 1996.
- [C-18] EHSANIAN, M., KAMINSKA, B., "A New Digital Test Approach for Analog to Digital Converter Testing", *IEEE VLSI Test Symposium*, Princeton, 1996 pp. 60-65.
- [C-19] EHSANIAN, M., KAMINSKA, B., "A BiCMOS Wideband Op. Amp. With 900 MHz Gain -Bandwidth and 90 dB DC Gain, *ISCAS'96*, Atlanta, mai 1996, vol. 1, pp. 171-174.
- [C-20] EHSANIAN, M., KAMINSKA, B., "A New on Chip Digital BIST for Analog to Digital Converters", *ESRET'95*, Bordeaux, France, octobre 1995.
- [C-21] FAYOMI, C.J.B., SAWAN, M., BENNIS, S., "Parallel Implementation of Information Filter with Unknown Noise Statistics", *ICM'95*, Malaisie, décembre 1995.

- [C-22] FAYOMI, C.J.B., SAWAN, M., BENNIS, S., "Parallel VLSI Implementation of a New Simplified Architecture of Kalman Filter", *CCGEI'95*, Montréal, septembre 1995.
- [C-23] FAYOMI, C.J.B., BENNIS, S., SAWAN, M., "Filter information avec estimation des bruits de mesure et du processus", *Int. Conf. On SBMHS*, Paris, septembre 1995.
- [C-24] FORTIN, G., KAMINSKA, B., "Design of a 2-5 Gbit/s GaAs Laser Driver for Optical Communication", *The 10th International Symposium on High Performance Computers*, juin 1996.
- [C-25] GADIRI, A.K., SAVARIA, Y., KAMINSKA, B., "An Optimized CMOS Compatible Photoreceiver" *CCGEI'95*, Montréal, septembre 1995, pp. 215-217.
- [C-26] GRANGER, É., BLAQUIÈRE, Y., SAVARIA, Y., "A VLSI Architecture for Fast Clustering with Fuzzy ART Neural Networks", *NICROSP'96 International Workshop for Identification Control Robotics and Signal/Image Processing*, Venise, août 1996, pp. 117-125.
- [C-27] HARB, H., SAWAN, M., HAROUN, B., "A High Resolution Two-Stage ADC Based on a New Calibration Method", *NWSCAS'96*, Iowa, août 1996.
- [C-28] JECKLEN, E.G., GHANNOUCHI, F.M., SAWAN, M., "Adaptive Digital Predistorter for Power Amplifiers with Real Time Modeling of Memoryless Complex Gains", *IEEE-MTT-S*, juin 1996.
- [C-29] JECKLEN, E.G., GHANNOUCHI, F.M., SAWAN, M., "Technique de prédistorsion adaptative pour amplificateurs de puissance", *CCGEI'95*, Montréal, septembre 1995.
- [C-30] KHALI, H., SAVARIA, Y., HOULE, J.L., BERARDIN, J.A., BLAIS, F., RIOUX, M., "A VLSI Chip for 3D Camera Calibration" *CCGEI'95*, Montréal, septembre 1995, pp. 120-123.
- [C-31] LAVOIE, P., CRESPO, J.-F., SAVARIA, Y., "On the Stability of Fuzzy Art", *18th Biennial Symposium on Communications*, Kingston, 2-5 juin 1996, pp. 185-188.
- [C-32] LEJMI, S., KAMINSKA, B., AYARI, B., "Synthesis and Retiming for the Pseudo-Exhaustive BIST Testing of Synchronous Sequential Circuits", *IEEE International Test Conference*, Washington, octobre 1995, pp. 683-692.
- [C-33] LEJMI, S., BOIS, G., SAVARIA, Y., "On the Effects to Retiming Applied to Self-Checking Sequential Circuits", *2nd IEEE International On-Line Testing Workshop*, Bizritz, 8-10 juillet 1996, pp. 96-99.
- [C-34] LEJMI, S., BOIS, G., SAVARIA, Y., "On the Effects of Retiming Applied to Self-Checking Sequential Circuits", *2nd IEEE International On-Line Testing Workshop*, France, août 1996, pp. 96-99.
- [C-35] MALLETTE, S., SAWAN, M., FORTIER, P.A., "Implementation of a Multichannel PC-Controlled Stimulus Generators", *4th Canadian Workshop on Field Prog. Devices (FPD'96)*, Toronto, mai 1996.
- [C-36] MALLETTE, S., SAWAN, M., FORTIER, P.A., "A New Multichannel PC-Controlled Stimulator Developed for Primary Motor Cortex Investigations", *IEEE-EMBS 17th Int. Conf.*, Montréal, septembre 1995.
- [C-37] MOUNIER, S., SAWAN, M., "A Hamming Decoder for Single Error Detection and Correction", *FPD'96*, Toronto, mai 1996.

- [C-38] PROVOST, B., SAWAN, M., "Implantable Bladder Volume Monitoring Devices", *IFESS'96*, Cleveland, mai 1996.
- [C-39] PROVOST, B., SAWAN, M., "A New Implantable Tomography Approach to Bladder Volume Monitoring", *IEEE-EMBS 17th Int. Conf.*, Montréal, septembre 1995.
- [C-40] REID, B., ABOU-KHALIL, M., MACIEJKO, R., "On the Ambipolar Carrier Capture in Quantum Wells," *APS March Meeting*, St.Louis, Missouri, 18-22 mars 1996.
- [C-41] ROBIN, S., SAWAN, M., "A Hand-Held Controller Dedicated to Implantable Stimulators", *FPD'96*, Toronto, mai 1996.
- [C-42] RZESZUT, J., KAMINSKA, B., SAVARIA, Y., "A New Method for Testing Mixed Analog and Digital Circuits", *Asian Test Symposium*, novembre 1995, Bangalore, India, pp. 127-132.
- [C-43] SAVARIA, Y., BOIS, G., POPOVIC, P., WAYNE, A., "Compute Acceleration Methodologies: Advantages of Reconfigurable Architecture", *Conference High-Speed Computing, Digital Signal Processing Using FPGAs, part of SPIE's Photonic East'96 Symposium*, Boston
- [C-44] SAWAN, M., ST-AMAND, R., SAVARIA, Y., "Design and Optimization of Programmable Biphasic Current-Sources", *ICECS'95*, Amman, décembre 1995, pp. 169-173..
- [C-45] SOKOLOWSKA, E., KAMINSKA, B., BELABBES, N., "Integrated Analog Switch Matrix with Large Input Signal and 46 dB Isolation at 1 Ghz", *An International IFIP-IEEE Conf. On Broadband Communications*, avril 1996, pp. 418-429.
- [C-46] SOUFI, M., ROCHON, S., SAVARIA, Y., KAMINSKA, B., "Design and Performance of CMOS TSPC Cells for High Speed Pseudo Random Testing" *Proceedings of the 14th IEEE VLSI Test Symposium*, Princeton, NJ, avril 1996, pp. 368-373.
- [C-47] ZHU, J., FAYOMI, C.J.B., SAWAN, M., "A New Current-Mode 2-bit Pipelined ADC's Cell", *CCGEI'95*, Montréal, septembre 1995.

Articles de conférences publiés de septembre 1994 à août 1995

- [C-48] ABBERRAHMAN, A., CERNY, E., KAMINSKA, B., "Effective Test Generation for Analog Circuits" *Workshop on Mixed Signal Design and Test*, Grenoble, juin 1995.
- [C-49] ABOU-KHALIL, M., GOANO, M., CHAMPAGNE, A., MACIEJKO, R., "Transition Rates between Bulk and Confined states in Quantum Wells for Monte Carlo Simulation: Introduction", *Canadian Association of Physicists annual Congress*, oral session, juin 1995, Québec, Canada
- [C-50] ACHOUR, C., DAVIDSON, J., HOULE, J.L., "Mise en oeuvre d'un multi-processeur de la transformée en ondelettes dans un circuit FPGA", *3rd Canadian Workshop on Field-Programmable Devices (FPD '95)*, Montréal, 29 mai - 1^{er} juin 1995, pp. 66-74.
- [C-51] ARABI, K., SAWAN, M., "A Universal Programmable Functional Electrical Stimulator System" *5th Vienna Int. Workshop on FES*, août 1995.
- [C-52] ARABI, K., SAWAN, M., "A Communication Error Correction Approach for Implantable Systems" *5th Vienna Int. Workshop on FES*, août 1995.

- [C-53] ARABI, K., SAWAN, M., «A Multiprogrammable Microstimulator Dedicated to Bladder Dysfunctions», *IEEE-EMBS, 16th Int. Conf.*, Baltimore, novembre 1994
- [C-54] ARABI, K., KAMINSKA, B., RZESZUT, J., «A New Built-In Self-Test Approach for Digital-to-Analog and Analog-to Digital Converters», *IEEE/ACM International Conference on CAD*, San Jose CA, novembre 1994, pp. 491-494.
- [C-55] ARABI, K., KAMINSKA, B., RZESZUT, J., «A New BIST Approach for Medium to High-Resolution DAC», *The 3rd Asian Test Symposium*, Nara, Japan, novembre 1994.
- [C-56] ARABI, K., SAWAN, M., "A New Implantable System for Neuromuscular Simulation", *International Conference on Microelectronics*, Istanbul, septembre 1994.
- [C-57] ASSI, A., KAMINSKA, B., "Modeling of Communication Protocols in VHDL", *5th Great Lakes Symposium on VLSI*, Buffalo, NJ, mars 1995, pp. 168-171.
- [C-58] AYARI, B., BEN HAMIDA, N., KAMINSKA, B., "Automatic Test Vector Generation for Mixed- Signal Circuits", *The European Design and Test Conference*, Paris, mars 1995, pp. 458-463.
- [C-59] AYARI, B., KAMINSKA, B., "BDD-FTEST: Fast, Backtrack-Free Test Generation Based on BDD Representation", *ISCAS '95*, Seattle, mai 1995, pp. III-2132-2136.
- [C-60] BARADA, H., SAWAN, M., VAN DER PUIJE, P.D., HASSOUNA, M., ELHILALI, M.M., «New Cuff Electrodes for Efficient Peripheral Nerves Electrical Stimulation», *Int. Conf. on Electronics, Circuits and Systems*, Caire, décembre 1994.
- [C-61] BELHAOUANE, A., SAVARIA, Y., KAMINSKA, B., "A Reconstruction Method for Jitter Tolerant Data Acquisition Systems", *International Mixed Signal Testing Workshop*, Villard de Lans, juin 1995, pp. 198-203.
- [C-62] BOHSINA, D., SAWAN, M., "Implementation on an FPGA of a Miniaturized Controller Dedicated to Implantable Stimulators", *3th Canadian Workshop on Field Prog. Devices (FPD'95)*. Montréal, mai 1995.
- [C-63] BOSI, B., BOIS, G., SAVARIA, Y., "Synthesis of a Convolver, a Generic Module for the Codesign of Reconfigurable Pipelined Accelerators", *3^e Colloque Canadien sur les circuits intégrés programmables (FPD'95)*, Montréal, juin 1995, pp. 44-48.
- [C-64] BOUBEZARI, S., KAMINSKA, B., "Mixed Deterministic and Pseudorandom Test Vector Generator Based on Cellular Automata Structures", *ISCAS'95*, Seattle, mai 1995, vol. 3, pp. 1928-1931.
- [C-65] CHAMPAGNE, A., REID, B., MACIEJKO, R., "Modelling of Multiple-Quantum-Well Laser Structures Under Optical Excitation", affiche ZQ10 présentée au *Congrès de l'ACP*, 1995.
- [C-66] CHEN, J., MACIEJKO, R., MAKINO, T., "A Green's function analysis of second harmonic distortion in gain-coupled DFB lasers", *CAM-95*, Québec, Canada, 1995.

Articles de conférences publiés de septembre 1994 à août 1995 (suite)

- [C-67] CHEN J., MACIEJKO, R., CHAMPAGNE, A., MAKINO, T., "Enhanced resonance frequency of gain-coupled DFB lasers", *CLEO 95*, Baltimore, Maryland, 1995.

- [C-68] HARB, A., SAWAN, M., ZHU, J., "A Wireless CMOS Implantable Receiver for Neuromuscular Microstimulators" *WESCANEX '95*, , Winnipeg, mai 1995.
- [C-69] KASSEM, A., DAVIDSON, J., HOULE, J.L., "FPGA Implementation of a Discrete Cosine Transofrm", *3rd Canadian Workshop on Field-Programmable Devices (FPD '95)*, Montréal, 29 mai - 1^{er} juin 1995, pp. 222-225.
- [C-70] KERMOUCHE, R., SAVARIA, Y., «Defect and Fault Tolerant Scan Chains», *IEEE International Workshop on Defect and Fault Tolerance in VLSI Systems*, 17-19 octobre 1994, pp. 185-193.
- [C-71] KHALI, H., SAVARIA, Y., BERALDIN, J.-A., "Artifact Correction and Geometrical Transformation in a Real-Time 3-D Camera System based on Autosynchronized Triangulation", *IRIS PRECARN Conference*, Poster session, Vancouver, Canada, 14-17 juin 1995.
- [C-72] LEBEGUE, F., KHALI, H., HOULE, J.L., "Wavelet Transform Implementation on Parallel Digital Signal Processors", *Proc. Of the 6th IASTED/ESMM International Conference on Parallel and Distributed Computing and Systems*, Washington D.C., 3-5 octobre 1994, pp. 444-446.
- [C-73] LEJMI, S., KAMINSKA, B., "Retiming for BIST of Synchronous Sequential Circuits" *ISCAS '95*, Seattle, mai 1995, tome III pp. 1740-1743.
- [C-74] LEJMI, S., KAMINSKA, B., AYARI, B., "Retiming, Resynthesis and Partitioning for the Pseudo-Exhaustive Testing", *IEEE VLSI Symposium*, Princeton, NJ, avril 1995, pp. 434-439.
- [C-75] LEJMI, S., KAMINSKA, B., WAGNEUR, E., «Retiming for Global Optimization of Synchronous Sequential Circuits», *IEEE International Conference on Computer Design*, Cambridge MA, octobre 1994, pp. 398-401.
- [C-76] PAGÉ, K., ARABI, K., SAWAN, M., "A New Oscilloscope Digital Interface Implemented in a Single Actel FPGA", *Proceedings of the 1995 Canadian Workshop on Field Programmable Devices*, Montréal, mai 1995.
- [C-77] PROVOST, B., MOUNSEF, E., SAWAN, M., "LCD Controllers Dedicated for Digital Systems Design Purposes", *Proceedings of the 1995 Canadian Workshop on Field Programmable Devices*, Montréal, mai 1995.
- [C-78] REID, B., ABOU-KHALIL, M., CHAMPAGNE, A., MACIEJKO, R., "Bipolar Monte Carlo Simulation of the Transport and Relaxation of Photoexcited Carriers in III-V Quantum Wells", *Canadian Association of Physicists Annual Congress*, oral session, juin 1995, Québec, Canada.
- [C-79] REID, B., ABOU-KHALI, M., MACIEJKO, R., "Doping Effects on Carrier Capture in Single Quantum Well by Ensemble Monte Carlo", *7th Canadian Semiconductor Technology Conference*, poster presentation, août 1995, Ottawa, Canada.
- [C-80] RZUZUT, J., KAMINSKA, B., SAVARIA, Y., "A New Method for Testing Mixed Analog and Digital Circuits", *Asian Test Symposium*, juin 1995.
- [C-81] SAAB, K., KAMINSKA, B., COURTOIS, B., "Frequency-Based BIST for Analog Circuit Testing", *IEEE VLSI Symposium*, Princeton, NJ, avril 1995, pp. 54-59.
- [C-82] SAAB, K., MARCHE, D., KAMINSKA, B., BEN-HAMIDA, N., "LIMSoft: Automated tool

for sensitivity analysis used for test vector generation", *Mixed Signal Test Workshop*, mai 1995.

[C-83] SAWAN, M., ARABI, K., PROVOST, B., "Implantable Tomography Technique and Miniaturized Stimulator for Total Bladder Control", *5th Vienna Int. Workshop on FES*, août 1995.

[C-84] SAWAN, M., ARABI, K., HASSOUNA, M., ELHILALI, M., "New Generation of Microstimulators Dedicated to Bladder Control", *Society for Urology and Engineering*, Las Vegas, avril 1995.

[C-85] SLAMANI, M., KAMINSKA, B., QUESNEL, G., «An Integrated Approach for Analog Circuit Testing with a Minimum Number of Detected Parameters», *IEEE International Test Conference*, Washington D.C., octobre 1994, pp. 631-640.

[C-86] SOKOLOWSKA, E., KAMINSKA, B., «Application of Optoelectronic Techniques to High-Speed testing», *IEEE International Test Conference*, Washington, D.C., octobre 1994, pp. 710-719.

[C-87] SOUFI, M., SAVARIA, Y., KAMINSKA, B., "At-Speed Design-for-Testability Technique for Sequential Circuits", *13th IEEE VLSI Test Symposium*, Princeton, New Jersey, mai 1995, pp. 290-295.

[C-88] SOUFI, M., SAVARIA, Y., KAMINSKA, B., "On Using Partial Reset for Pseudo-Random Testing", *ISCAS'95*, Seattle, mai 1995, pp. II-949, II-952.

[C-89] SOUFI, M., SAVARIA, Y., KAMINSKA, B., "On the Design of At-Speed Testable VLSI Circuits", *IEEE VLSI Test Symposium*, Princeton, NJ, avril 1995, pp. 209-295.

[C-90] ST-AMAND, R., SAWAN, M., SAVARIA, Y., "Generation of Balanced Dedicated to Bladder Dysfunctions", *IEEE-EMBS, 16th Int. Conf.*, Baltimore, novembre 1994.

[C-91] XU, Z.-Z., MORRIS, D., REID, B., ABOU-KHALIL, M., GOANO, M., MACKIEJKO, R., "Theoretical and Experimental Investigations of the Different Intersubband Relaxation Channel in GaAs/AlGaAs Multiple-Quantum-Well Structures", affiche P-2.36 présentée à la 7th Canadian Semiconductor Technology Conference, 1995.

[C-92] ZHU, J., SAWAN, M., ARABI, K., "An Offset Compensated CMOS Current-Feedback Operational-Amplifier", *Int. Symposium on Circuits and Systems*, Seattle, mai 1995.

Séminaires et autres conférences avec comité de lecture

[S-1] FAYOMI, C., SAWAN, M., "Architecture parallèle d'une formulation simplifiée du filtre de Kalman", *64^e Congrès de l'ACFAS*, Montréal, mai 1996.

[S-2] FIERRO, L.B., SAWAN, M., "Télécommande miniaturisée d'un stimulateur neuromusculaire implantable", *64^e Congrès de l'ACFAS*, Montréal, mai 1996.

[S-3] HARB, A., SAWAN, M., HAROUN, B., "Convertisseur analogique/numérique à haute résolution dédié à des capteurs sensoriels implantables", *64^e Congrès de l'ACFAS*, Montréal, mai 1996.

[S-4] KAMINSKA, B., "Guest Editorials' Introduction: Mixed Analog and Digital Systems", *IEEE Design and Test of Computers*, été 1996.

[S-5] PROVOST, B., SAWAN, M., "Conception et réalisation d'un microcircuit implantable pour la mesure du volume vésical" *64^e Congrès de l'ACFAS*, Montréal, mai 1996.

[S-6] PROVOST, B., SAWAN, M., "A New Bladder Volume Monitoring Device Based on Impedance Measurement" accepté pour publication dans *Med. Biol. Eng. Comput.*, 1996.

[S-7] ROBIN S., PROVOST, B., SAWAN, M., "A Complete Neuromuscular Stimulation System Based on FPGA Technology", *CMC'96*, Ottawa, juin 1996.

[S-8] SAWAN, M., ST-AMAND, R., SAVARIA, Y., "Biphasic Programmable Current-Sources for Implantable Miniaturized Stimulators", *Biomedical Eng. Society, Annual Meeting*, Boston, octobre 1995.

Rapports techniques

[1] WONG, T., HOULE, J.L., "La répartition automatique des tâches dans la simulation en temps réel des réseaux électriques", Rapport technique EPM/RT-95/14, École Polytechnique de Montréal, 1995, 45 pages.

INDEX DES AUTEURS

[Abderrahman, Abdessatar](#)

[Abou-Khalil, Michel](#)

[Achar, Éric](#)

[Achour, Chokri](#)

[Ahmad, Galaly](#)

[Antaki, Bernard](#)

[Arabi, Karim](#)

[Assi, Ali](#)

[Ayad, Ahmed](#)

[Ayari, Bechir](#)

[Beaudin, Sylvain](#)

[Belabes, Nacer-Eddine](#)

[Bélanger, Normand](#)

[Belhaouane, Adel](#)

[Ben-Hamida, Naim](#)

[BenSalem, Brahim](#)

[Bohsina, Driss](#)

[Boubezari, Samir](#)

[Bourret, Sylvain](#)

[Boyogueno Bendé, André](#)

[Cantin, Marc-André](#)

[Cantin, Pierre-Luc](#)

[Chabini, Noureddine](#)

[Chen, Jianyao](#)

[Contandriopoulos, Nicolas](#)

[Cornilescu, Dan](#)

[Djemouai, Abdelouahab](#)

[Ehsanian-Mofrad, Mehdi](#)

[Fares, Mounir](#)

[Fortin, Guillaume](#)

[Gadiri, Abdelkarim](#)

[Gagnon, Mathieu](#)

[Gagnon, Yves](#)

[Granger, Éric](#)

[Guénette Joëlle](#)

[Haddad, Mohamed Tahar](#)

[Harb, Adnan](#)

[Harvey, Jean-François](#)

[Jecklen, Ernesto](#)

[Kassem, Abdallah](#)

[Khali, Hakim](#)

[Kocknari, Ahmad](#)

[Lavoie, Michel](#)

[Lefebvre, Gilbert](#)

[Madani, Masoud](#)

[Mallette, Sylvain](#)

[Marche, David](#)

[Nekili, Mohamed](#)

[Oudghiri, Houria](#)

[Ouici, Khalid](#)

[Patenaude, Serge](#)

[Pera, Florin](#)

[Petrican, Paul](#)

[Provost, Benoit](#)

[Rabel, Claude-Eddy](#)

[Rahal, Ali](#)

[Reid, Benoit](#)

[Robin, Simon](#)

[Ryel, Kim](#)

[Saab, Khaled](#)

[Shmaitelly, Mahmoud A.](#)

[Sokolowska, Ewa](#)

[Soufi, Mohamed](#)

[Vaillancourt, Pierre](#)

[Villeneuve, Luc](#)

[Wong, Tony](#)

[Xu Hiaiqi](#)

[Yuan, Peijian](#)

*Publié sur le web par [Réjean Lepage](#),
Dernière modification 13 mai 1997.*