

ÉCOLE POLYTECHNIQUE
DE MONTRÉAL

GROUPE DE RECHERCHE EN
MICROÉLECTRONIQUE

RAPPORT ANNUEL

2000 - 2001

DÉCEMBRE 2001

TABLE DES MATIÈRES

REMERCIEMENTS	1
INTRODUCTION	1
COLLABORATIONS EN 2000-2001	1
COMPOSITION DU GROUPE.....	2
LISTE DES MEMBRES RÉGULIERS:.....	2
LISTE DES MEMBRES ASSOCIÉS:	3
LISTE D’AUTRES PROFESSIONNELS ET CHERCHEURS.....	3
PROGRAMME DE RECHERCHE EN VLSI	3
DOMAINES.....	3
Activités des membres réguliers	3
ACTIVITÉS DU PROFESSEUR SAVARIA	4
ACTIVITÉS DU PROFESSEUR AUDET.....	5
ACTIVITÉS DU PROFESSEUR BOIS.....	6
ACTIVITÉS DU PROFESSEUR HOULE.....	7
ACTIVITÉS DU PROFESSEUR LANCTÔT	7
ACTIVITÉS DU PROFESSEUR MACIEJKO.....	8
ACTIVITÉS DU PROFESSEUR MARTEL.....	9
ACTIVITÉS DU PROFESSEUR SAWAN.....	10
ÉTUDIANTS AUX CYCLES SUPÉRIEURS	11
Étudiants récemment inscrits	12
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE INDIVIDUELLES.....	79
CHERCHEUR.....	80
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE DE GROUPE.....	80
Équipement prêté par la SCM (WWW.CMC.CA) au GRM et à la Polytechnique.....	82
Équipement appartenant au groupe (www.GRM.polymtl.ca).....	83
LOGICIELS	84
PUBLICATIONS ET RÉALISATIONS	85
ARTICLES DE REVUES ACCEPTÉS OU SOUMIS POUR PUBLICATION.....	85
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2000 À AOÛT 2001	85
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2000 À AOÛT 2001 (SUITE).....	86
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 1999 À AOÛT 2000.	86
ARTICLES DE CONFÉRENCES PUBLIÉS DE SEPTEMBRE 2000 À AOÛT 2001.....	86
ARTICLES DE CONFÉRENCES PUBLIÉS DE SEPTEMBRE 2000 À AOÛT 2001(SUITE).....	87
ARTICLES DE CONFÉRENCES PUBLIÉS DE SEPTEMBRE 1999 À AOÛT 2000.....	88
ARTICLES DE CONFÉRENCES PUBLIÉS DE SEPTEMBRE 1999 À AOÛT 2000(SUITE).....	89
AUTRES PUBLICATIONS (INVITATION)	89
BREVETS.....	89
RAPPORTS TECHNIQUES:.....	89
INDEX DES AUTEURS.....	90

REMERCIEMENTS

Nous désirons remercier tous les membres du GRM (Groupe de Recherche en Microélectronique) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à madame Ghyslaine Éthier Carrier pour son excellent travail de secrétariat afin de produire ce rapport et à Réjean Lepage pour sa collaboration à sa diffusion sur le WEB. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche pour sa préparation et sa diffusion.

INTRODUCTION

Le Groupe de Recherche en Microélectronique (GRM) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 2000 – 2001, les étudiants inscrits à la maîtrise ou au doctorat, professionnels et techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GRM et en collaboration avec des collègues des milieux universitaire et industriel. Les membres du groupe ont connu des succès importants aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) et auprès du Fonds pour la formation de Chercheurs et l'Aide à la Recherche du Québec (FCAR), ainsi qu'au programme de prêt d'équipement de la Société Canadienne de Microélectronique. Ils ont participé à trois projets réalisés dans le cadre de Micronet, le centre d'excellence en Microélectronique. Citons aussi les projets réalisés avec des partenaires industriels, Hyperchip, Nortel Networks, LTRIM, ainsi que ceux réalisés pour le Ministère de la Défense. Le groupe vise un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 2000-2001

L'année 2000 – 2001 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GRM et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple la collaboration entre les professeurs Savaria et Thibeault de l'École de Technologie Supérieure (Méthode de test et conception de systèmes WSI); Savaria et Aboulhamid de l'Université de Montréal (vérification); Savaria et Wang de Concordia (conception d'un circuit tolérant aux pannes), Savaria et Lakhsasi de l'UQAH (modélisation thermique); Sawan et Slamani de l'UQAM (circuits à fréquences-radio), Sawan et Roberts de McGill (convertisseurs rapides). De plus, R. Maciejko travaille sur la modélisation et la caractérisation des lasers à semi-conducteurs avec R. Leonelli, Université de Montréal, sur l'étude de la Photoluminescence de mono structures avec D. Morris, Université de Sherbrooke et de la Photoluminescence résolue en temps et échantillonnage électro-optique. Notons la collaboration avec plusieurs membres du centre PolyGrames, notamment les professeurs Savaria et Laurin (interconnexions de circuits VLSI à très haute vitesse), Sawan et Ghannouchi (Applications des circuits DSPs en micro-ondes), notons aussi la collaboration avec le GRBB (Groupe de Recherche en Biomatériaux et Biomécanique), entre les professeurs Sawan et Yahia (Électrodes et Matériaux implantables). Ajoutons que sur le plan de la mise en œuvre de dispositifs microélectroniques médicaux, le professeur Sawan collabore avec le Dr M. Elhilali de l'Université McGill (implant urinaire), le Dr F. Bellemare de l'Université de Montréal (cathéter ophagien), le Dr D. Guitton de l'Université McGill (implant visuel cortical) et le Dr J. Faubert de l'École d'optométrie de l'Université de Montréal

OBJECTIFS DU GRM

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique a pour objectif général de «promouvoir et de regrouper les activités de recherche en Microélectronique à l'École Polytechnique de Montréal».

Plus spécifiquement, le Groupe de Recherche en Microélectronique poursuit les objectifs suivants

- Regrouper dans une entité visible et identifier les chercheurs qui œuvrent dans des secteurs reliés à la Microélectronique;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d'échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe;
- Assurer le bon fonctionnement des laboratoires du GRM;
- Faciliter l'accès à la technologie Microélectronique aux autres chercheurs de l'École et de l'extérieur de l'École susceptibles d'en profiter.

Ces objectifs n'ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique relève du directeur du département de génie électrique et de génie informatique et se compose des membres réguliers et membres associés suivants:

Liste des membres réguliers:

- **Dr Yvon Savaria:** professeur titulaire au département de génie électrique, titulaire d'une chaire de recherche du Canada en Conception de systèmes microélectroniques intégrés, directeur du Groupe de Recherche en Microélectronique, responsable administratif du laboratoire de VLSI. Il s'intéresse à la méthodologie du design des systèmes intégrés, aux problèmes de tolérance aux pannes et de testabilité, à l'intégration ULSI de circuits numériques analogiques et mixtes et aux applications de ces technologies.
- **Dr Yves Audet:** professeur adjoint au département de génie électrique, ses travaux de recherche portent sur les circuits intégrés analogiques, les capteurs d'images CMOS et les interconnexions photoniques pour système VLSI.
- **Dr Guy Bois:** professeur agrégé au département de génie informatique qui s'intéresse à l'aspect algorithmique de la conception de circuits intégrés, en particulier, à la synthèse de très haut niveau et à la synthèse de masques.
- **Dr François Boyer :** professeur adjoint au département de génie informatique qui s'intéresse aux architectures et méthodes de conception des circuits VLSI. Il s'intéresse notamment à l'optimisation des systèmes exploitant des horloges multiphase.
- **Dr Jean-Louis Houle:** professeur titulaire au département de génie informatique, qui s'intéresse aux applications du VLSI et aux architectures parallèles pour le traitement des signaux et des images.
- **M. Bernard Lanctôt:** professeur titulaire au département de génie informatique, qui s'intéresse aux méthodes de conception et au développement de logiciels de conception VLSI.
- **Dr Romain Maciejko:** professeur titulaire au département de génie physique, dont le domaine de recherche porte sur l'étude et la réalisation de dispositifs optoélectroniques intégrés.
- **Dr Sylvain Martel :** professeur adjoint au département de génie informatique dont le domaine de recherche est principalement la conception de micro et nano systèmes électromécaniques incluant la nanorobotique pour les applications au niveau moléculaire et atomique en touchant plusieurs aspects comme l'instrumentation, l'électronique, les ordinateurs et ainsi que les systèmes reconfigurables. En nanorobotique, nous exploitons les découvertes fondamentales en nano sciences par la conception de nanorobots capable de travailler au niveau du nanomètre pour créer de nouveaux systèmes, produits et applications.
- **Dr Mohamad Sawan:** professeur titulaire au département de génie électrique et détenteur d'une chaire de recherche du Canada sur les dispositifs médicaux intelligents, qui s'intéresse à la conception et la réalisation de circuits mixtes (numériques, analogiques, optiques et RF) et à leurs applications dans les domaines industriel (communication sans fil) et biomédical, (stimulateurs et capteurs sensoriels)

Liste des membres associés:

- **Dr David Haccoun:** professeur titulaire au département de génie électrique qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'intégration en VLSI.
- **Dr Michel Meunier:** professeur titulaire au département de génie physique et titulaire d'une chaire de recherche du Canada en micro-ingénierie et nano-ingénierie des matériaux par laser. Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de lasers dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration et la calibration par laser pour la microélectronique.

Liste d'autres professionnels et chercheurs

De plus, les personnes suivantes collaborent ou ont collaboré aux travaux du groupe à divers titres:

- M. Jean Bouchard: technicien du laboratoire VLSI.
- M. Réjean Lepage: technicien du laboratoire GRM.

Ces personnes forment le Groupe de Recherche en Microélectronique de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la Microélectronique.

PROGRAMME DE RECHERCHE EN VLSI

Domaines

Les programmes de recherche et de formation de chercheurs en VLSI de l'École Polytechnique recouvrent les sous secteurs suivants;

- La technologie VLSI en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défauts;
- Les applications, surtout en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, et en biomédical par la réalisation de micro stimulateurs implantables;
- Les logiciels de synthèse, et de conception et de test assistés par ordinateur;
- Les dispositifs électroniques et électro-optiques, ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse par chaque membre de ses activités au sein du GRM.

Activités du professeur Savaria

Il conduit des recherches selon deux grands axes: l'élaboration de méthodes de conception et l'utilisation des technologies microélectroniques dans des applications spécifiques. Le premier axe englobe des travaux sur les méthodes de conception de circuits à haute vitesse, de circuits de synthèse d'horloge, la conception de circuits analogiques précis, les plate formes SOC et la vérification des systèmes électroniques. Il englobe aussi les techniques d'autotest et de tolérance aux pannes et aux défauts. Le second axe couvre des thèmes divers comme la conception d'un classificateur de haute performance, la conception d'organes de calcul pour un système de vision 3D, la conception d'une plate-forme SOC pour la réalisation de processeurs réseau et la réalisation de circuits de synthèse d'horloge, la conception de circuits analogiques précis et la mise en œuvre de processeurs spécialisés. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception

Nos travaux sur les méthodes de conception explorent diverses architectures pour la synthèse d'horloge exploitant des accumulateurs de phase qui commandent la sélection de phases dérivées d'une horloge de référence à l'aide de lignes à délais. Ils portent aussi sur l'exploration d'une nouvelle architecture de PLL qui en découple les caractéristiques de capture des caractéristiques de maintien. Du côté des circuits analogiques précis, nous explorons les architectures des références de tension, celles des comparateurs de phase précis et sans zone morte de même que nous explorons les architectures de convertisseurs A/D applicables aux systèmes vidéo de haute performance. Nos recherches portent notamment sur la possibilité de calibrer ces circuits par la création locale de résistance de valeurs programmables.

Nous explorons la notion de plate-forme SOC comme façon de développer efficacement des circuits dérivés pour une classe d'application. Une telle plate-forme est composée de modules paramétrables, réutilisables et compatibles entre eux qui forment la base d'une architecture flexible pour la classe d'application ciblée.

En ce qui a trait aux méthodes de vérification, nous explorons le potentiel des langages de vérification (HVL) et des méthodes qui y sont associées. Nous avons expérimenté avec la méthode de banc d'essai suivant une approche de programmation par aspect et nous explorons la possibilité d'assister la création d'aspects couverture et de vérificateur d'assertion qui consomment beaucoup de temps dans la phase de vérification.

En ce qui a trait aux techniques de tolérance aux pannes, nous les explorons dans le cadre d'un projet qui vise à supporter la faisabilité d'une architecture de routeur à l'échelle de la tranche.

Applications

Dans le cadre de cet axe plus appliqué, nous explorons un ensemble d'applications. Une des applications étudiée est l'extraction automatique des paramètres des signaux radar. Les paramètres d'intérêt sont la fréquence, la phase et la présence de modulation. Cette application permet d'explorer les méthodes de dimensionnement automatique des chemins de données.

Nous explorons les architectures possibles pour la mise en œuvre des convertisseurs de protocoles flexibles. L'intérêt de la flexibilité découle de la grande diversité des protocoles pour lesquels des convertisseurs sont requis. Ce projet est un cadre concret pour appliquer et raffiner les notions de plate-forme SOC. Le projet intéresse la société Gennum.

Enfin, nous travaillons à la mise en œuvre de réducteur de bruit vidéo. Ce projet est quant à lui un véhicule pour explorer les techniques de conception pour la réutilisation systématique. Ce projet est suivi de près par la société Miranda.

Activités du professeur Audet

Ses activités sont reliées aux capteurs photoniques, fabriqués en procédé CMOS, visant deux champs d'application spécifiques soient : les capteurs d'images intégrés et les détecteurs photoniques de haute performance pour système VLSI à interconnexions optiques.

Capteurs d'images CMOS

Ce programme de recherche adresse la problématique de conception et de fabrication de capteurs d'images CMOS de grande surface, qui permettrait d'obtenir une caméra numérique de résolution spatiale comparable à celle d'une caméra avec pellicules chimiques photosensibles. On vise un capteur ayant une matrice de pixel de 36 x 24 mm de surface pour atteindre la compatibilité avec la gamme des lentilles développées pour la photographie SLR 35 mm.

Outre la réalisation d'un capteur d'images de grande surface, les techniques de conception de pixels redondants avec autocorrection développées sont aussi utiles à la réalisation de capteurs d'images employés dans des environnements hostiles comme l'espace, les mines, les réacteurs nucléaires,...etc., là où une caméra peut-être exposée à des radiations, des températures et des pressions extrêmes pouvant endommager le capteur. Ainsi, les propriétés d'autocorrection de l'architecture redondante permettront à la caméra de transmettre des images plus longtemps dans ces milieux hostiles où le remplacement et la réparation sont difficiles, voire impossibles.

Les détecteurs photoniques

Ici on s'intéresse au développement de technique de propagation de signaux par modulation photonique, tant sur un même circuit intégré qu'entre puces d'un même système, de façon à éliminer les interconnexions métalliques critiques qui limitent la performance des systèmes. Des taux de propagation supérieurs à 1 Gb/s sont visés.

Bien que la recherche sur les interconnexions photoniques ait favorisé jusqu'à maintenant les dispositifs III-V pour la conversion de signaux électriques à signaux photoniques, la diminution constante de la taille des structures fabriquées sur technologie CMOS pourrait avantager les dispositifs photoniques au silicium notamment au niveau des photos détecteurs. Avec la diminution de la taille des structures, les capacités parasites des composants actifs diminuent également de sorte qu'un faisceau lumineux de moindre énergie est requis pour activer une cellule photo-détectrice au silicium et une réponse plus rapide peut être obtenue. Les avantages d'un photo détecteur au silicium pouvant être intégrés à même une puce VLSI sont considérables, même si les performances sont moindres qu'un photo-détecteur en technologie III-V. Citons entre autre la simplicité du procédé de fabrication CMOS comparé aux technologies hybrides III-V – CMOS et l'élimination des circuits liés à l'intégrité des signaux d'horloge en amplitude et en phase, tels que les répéteurs et les circuits de verrouillage de phase (PLL). À l'heure actuelle, dû aux problèmes de délais associés aux interconnexions métalliques, il est de plus en plus difficile d'assurer la synchronisation entre les différents modules d'un système VLSI, de sorte que les techniques de propagation de signaux asynchrones sont maintenant envisagées pour relier des modules sur une même puce, ajoutant à la complexité du système. Les interconnexions photoniques assureront la performance des systèmes VLSI sans ajouter à leurs complexités.

Activités du professeur Bois

Le professeur Bois conduit des recherches dans le domaine de la Microélectronique, principalement dans le domaine du co-design et de la co-synthèse conjointe logiciel/matériel pour systèmes embarqués.

De nos jours, les systèmes embarqués sont de plus en plus présents dans les produits industriels et commerciaux : contrôleur d'injection d'une voiture, robot industriel, téléphone cellulaire, etc. Afin de concevoir ces systèmes de plus en plus complexes, l'ingénieur doit avoir recours à l'utilisation conjointe de processeurs d'usage général, dont les performances atteignent aujourd'hui des niveaux très élevés, et de circuits spécialisés chargés de la réalisation de fonctions spécifiques. De plus, la concurrence sur les produits et les services, impose à tous, la sévère loi du *time to market*, qui impose de réduire fortement le temps alloué au développement. La situation de ces défis impose donc une approche d'ingénierie simultanée du logiciel et du matériel, nommé co-design.

La recherche du professeur Bois vise donc le développement de méthodes modernes de conception et de vérification conjointe logiciel/matériel. Plus particulièrement, ses travaux visent à solutionner deux problèmes importants énumérés au paragraphe précédent :

- La description de systèmes à un niveau d'abstraction très élevé, afin de mieux gérer la croissance exponentielle de ces systèmes (qui double à tous les 18 mois)
- La réutilisation des composants logiciel et matériels (*P reusing*) afin de réduire le temps alloué au développement.

Un outil de co-design nommé Picasso offrant des solutions importantes au point 1 est actuellement développé par l'équipe de recherche du professeur Bois. Picasso permet la co-spécification et la modélisation avec un langage niveau système (e.g. system C). Des protocoles de communication de haut niveau sont offerts à l'utilisateur pour intégrer les mécanismes de communication au sein même des spécifications. Picasso permet l'exploration architecturale afin d'assister le concepteur dans ses choix logiciels et/ou matériels. Finalement, Picasso permet le raffinement des spécifications afin de produire un système qui sera donc composé d'une partie logicielle et matérielle.

Un autre projet s'intégrant à Picasso et offrant des solutions intéressantes au point 2, est en cours de développement. L'objectif est de développer une méthodologie de synthèse des communications favorisant la réutilisation de composants, au niveau système sur puces (SoC), basée sur un standard de bus (OCB pour *On-Chip Bus*). Plus particulièrement, nous cherchons des compromis entre les protocoles de communication point à point (*Bus Wrappers*) et les standards promus par les industriels (AMBA de ARM, CoreConnect de IBM, etc.).

Les principaux partenaires industriels qui collaborent à ces différents projets sont Mentor Graphics et STMicroélectronique, alors qu'au niveau universitaire les principaux collaborateurs sont les professeurs Aboulhamid et Savaria, respectivement du DIRO de l'Université de Montréal et de l'École polytechnique.

Activités du professeur Houle

La recherche du professeur Jean-Louis Houle découle de résultats acquis. Afin d'assurer une bonne continuité, nous maintenons l'orientation de travaux fondamentaux et leurs relations à une classe limitée d'applications. Le travail est donc en deux volets:

Algorithmes et architectures pour multiprocesseurs à objectifs spécifiques;
Conception, simulation et évaluation de performances de prototypes pour le traitement en temps-réel de signaux de contrôle dans de très grands réseaux électriques.

Dans le premier volet, nous développons des outils informatiques pour évaluer la fonctionnalité et la performance de processeurs spécialisés par analyse et simulation. Nous avons déjà des architectures de processeurs élémentaires (PE) que nous devons optimiser. Ces PE seront ensuite interconnectés en structures parallèles pour des applications spécifiques.

Dans le deuxième volet, l'application principale est l'étude de grands réseaux électriques qui requièrent des équations algébriques de réseaux et des équations différentielles pour modéliser différents équipements électrotechniques. La simulation en temps réel rigide (« hard real-time ») de phénomènes de stabilité transitoire nécessite des processeurs parallèles pour exécuter indépendamment les uns des autres, mais ils sont synchronisés. Des graphes de précédences et des graphes de communications sont utilisés. Puisque l'assignation des tâches est de complexité NP, des algorithmes de type A* modifiés doivent être mis au point.

Les deux volets comportent des aspects fondamentaux nécessaires aux prototypes de laboratoire, qui sont testés à l'Institut de recherche d'Hydro Québec et au laboratoire de calcul parallèle de l'École de Technologie Supérieure. L'originalité des travaux est dans l'adaptation de la structure du réseau d'ordinateurs à celle du réseau électrique. L'importance est dans l'augmentation de l'efficacité de grands réseaux électriques.

Le professeur Jean-Louis Houle dirige des projets d'implantation en VLSI d'architectures parallèles pour le traitement temps réel de signaux et d'images. Il s'intéresse à la réalisation en FPGA d'algorithmes pour des applications spécifiques en utilisant en particulier des transformées en ondelettes (wavelets). Il travaille aussi sur des algorithmes parallèles pour le traitement de matrices creuses (sparse) appliquées à l'analyse dynamique de la sécurité des grands réseaux électriques ainsi qu'à la simulation de leur instabilité transitoire. Il codirige trois étudiants de cycles supérieurs à l'IREQ et cinq autres au laboratoire GRM (au total 3 doctorats et 4 maîtrises).

Collaborations universitaires et industrielles:

Des collaborations avec le professeur Jacob Davidson de l'Université du Québec à Montréal se poursuivent sous forme de codirection de recherche aux 2^{ième} et 3^{ième} cycles. En particulier, un étudiant de Ph. D., C. détecteurs a conçu un circuit programmable et reconfigurable. Ce circuit a été fabriqué à la SCM.

Le professeur Jean-Paul Longuemard de l'École Centrale de Paris continue de collaborer dans le domaine des essais non-destructifs qui ont amené un design de processeurs spécialisés en parallèle pour le calcul de la transformée rapide en ondelettes. Des démarches sont en cours avec des Sociétés de France et de Montréal sur la conception et réalisation de systèmes microélectroniques et informatiques appliqués à des domaines médicaux et industriels.

Activités du professeur Lanctôt

Le professeur Lanctôt agit en tant que représentant de l'École auprès de la Société Canadienne de Microélectronique (SCMC). Il est membre et vice-président du Conseil d'administration de cette société ainsi que de son Comité exécutif. Il a présidé, au cours de 1994, le Comité d'Affectation des Ressources de la SCMC, ainsi que plusieurs autres comités depuis 1989.

Activités du professeur Maciejko

Le professeur Romain Maciejko dirige le laboratoire d'optoélectronique. Il est aussi de projet à l'Institut Canadien pour les Innovations en Photonique (Centre d'excellence). Il a à son actif une vingtaine d'années de recherche dans le domaine des fibres optiques et de l'optoélectronique, avec 6 années passées au Laboratoire de Technologie Avancée, BNR, Ottawa, dont 3 années comme manager au Département des Applications des Fibres Optiques. À l'École Polytechnique, il a mis sur pied le laboratoire d'Optoélectronique. Avec ses chercheurs et ses étudiants gradués, il poursuit ses recherches sur les lasers à semi-conducteurs, sur la modélisation numérique et la fabrication des dispositifs photoniques à semi-conducteurs, sur les phénomènes ultra-rapides en photonique, sur la photoluminescence résolue en temps en régime femto seconde, sur la modélisation du transport de la charge électrique dans les semi-conducteurs à l'aide de la méthode Monte Carlo et sur les commutateurs optoélectroniques à photoconduction. Sa recherche a deux volets: un côté théorique et un côté expérimental.

Le volet théorique comprend l'étude de la conception et de la performance de différents composants basés sur les hétéro structures à puits quantiques conventionnels ou contraints. Nous travaillons particulièrement à la simulation des lasers à puits quantiques multiples de type Fabry-Pérot et DFB ainsi que sur les amplificateurs optiques à semi-conducteurs. On a développé une banque de programmes: simulateurs laser pour l'industrie (NORTEL), un simulateur Monte Carlo à multi particules, la méthode de propagation des faisceaux (BPM), la simulation des guides optiques par la méthode des éléments finis, le calcul de bandes dans les semi-conducteurs à l'aide de l'hamiltonien de Kohn-Luttinger, la résolution de l'équation de Schrödinger pour les puits quantiques simultanément avec l'équation de Poisson et d'autres programmes de moindre importance.

Le volet expérimental comprend des activités de fabrication de composant et des activités de caractérisation. La fabrication se fait à partir de couches épitaxiées (nanostructures) obtenues d'autres laboratoires (NORTEL). La caractérisation comprend l'étude de la photoluminescence résolue en temps à l'aide d'un laser titane-saphir femto seconde construit par nous-mêmes. Nous avons étudié la réponse ultra-rapide des semi-conducteurs, notamment le transport de porteurs de charge. Nous avons fait des études à des températures cryogéniques et nous utilisons un système de comptage de photons ultrasensible pour la détection. Cette caractérisation nous permet d'étudier les processus sur des échelles de temps de l'ordre de 50 femto secondes. De plus, nous avons fabriqué un commutateur optoélectronique ultra-rapide utilisant la photoconduction activée par un laser d'impulsions ultra-brèves. Nous utilisons l'échantillonnage électro-optique pour caractériser des circuits in situ grâce à des effets photoréfractifs.

Depuis plusieurs années, nous avons eu des collaborations soutenues avec les laboratoires des Technologies Nortel à Ottawa, impliquant entre autre chose, l'embauche de plusieurs de nos étudiants de façon permanente et l'engagement d'un stagiaire pour 8 mois. On sait que ce laboratoire est un des chefs de file dans le domaine de la photonique au niveau mondial.

De plus, dans notre collaboration avec le Dr E Berolo du Centre de Recherche sur les Communications du Canada à Ottawa (CRC), nous avons identifié les amplificateurs optiques à semi-conducteurs (AOS) comme un dispositif-clé offrant beaucoup de possibilités pour les futurs systèmes, en particulier la conversion en longueur d'onde pour les systèmes DWDM; c'est ce dernier aspect qui a intéressé d'une façon toute particulière les laboratoires CRC.

Nous avons aussi eu un projet entre notre laboratoire et celui du professeur Claude Albert de Montpellier, subventionné par le programme France-Québec. Il y a eu plusieurs échanges de stages entre les deux laboratoires. De par le passé, nous avons eu des professeurs visiteurs, dont le professeur R. Chisleg de Bucarest et le professeur Pierre Tronc de L'ESPCI de Paris (là où les Currie ont découvert le radium). Ce dernier est venu nous visiter régulièrement, presque à chaque année, pour faire des études de luminescence sur des matériaux à puits quantiques. Une de ses étudiantes au doctorat est venue faire un stage de 3 mois au laboratoire d'optoélectronique. Ces travaux ont mené à 5 publications conjointes.

Activités du professeur Martel

Les activités du professeur Martel se situent principalement dans la recherche et le développement de systèmes miniatures intelligents et plus particulièrement dans le domaine de la nanorobotique. L'objectif actuel consiste à développer des nanorobots avec une infrastructure conçue pour supporter une flotte d'une centaine de ces nanorobots capables d'opérer très rapidement et de façon autonome au niveau moléculaire et jusqu'au niveau des atomes.

Pour ce genre de projets, nous devons développer plusieurs systèmes électroniques et microélectroniques spécialisés pour supporter, contrôler et implanter plusieurs tâches complexes incluant par exemple :

Système en temps réel et de très haute performance de positionnement, de navigation et communication à infrarouge pour plates-formes nanorobotique ;

Système de positionnement miniature de résolution atomique basé sur les techniques de microscopie à effet tunnel ;

Systèmes et instruments miniatures de manipulation, mesure, synthèse et fabrication au niveau moléculaire ;

Système de contrôle embarqué pour déplacement de nanorobots, etc.

Notre intérêt est donc le développement de divers circuits miniatures (analogue et numérique) de haute performance en utilisant diverses approches, techniques, outils de conception et systèmes de vérification/validation surtout niveau système sur puces (SoC).

La miniaturisation, précision, vitesse et le rendement en temps réel sont des aspects très importants et critiques dans la plupart des systèmes électroniques développés pour ce genre de projet. Les systèmes à concevoir sont aussi généralement très complexes et exigeants et font appel à plusieurs technologies qui doivent être intégrées dans des systèmes micro-mécatroniques avec instruments intégrés de très haute précision et opérant à de très grandes vitesses.

Activités du professeur Sawan

Le professeur Sawan dirige une équipe de recherche ayant des activités qui se diversifient selon les grandes priorités suivantes: la conception, la réalisation et le test des circuits intégrés numériques, analogiques, mixtes et à fréquences radio; la conception des systèmes pour l'acquisition et le traitement de signal et d'image; la mise en œuvre de divers appareillages médicaux et plus particulièrement des microstimulateurs et capteurs sensoriels implantables et non-implantables et des systèmes ultrasoniques portables; l'assemblage (PCB, SMT, ...) et l'encapsulation de dispositifs électroniques; le prototypage rapide se servant de circuits intégrés programmables (CPLD, FPGA, FPMA, ...) et de systèmes reconfigurables.

L'ensemble de ces priorités s'articule autour de deux objectifs essentiels soient la réalisation de fonctions et de systèmes complets servant à des applications industrielles variées tel que les télécommunications, et la mise en œuvre de dispositifs médicaux servant à la récupération des organes et/ou des fonctions chez les patients ayant perdu l'usage (ou n'ayant pas) de ces fonctions.

Pour répondre au besoin grandissant des applications en microélectronique nécessitant des systèmes miniatures, nos activités de recherche se trouvent orienter vers la conception et la réalisation des fonctions et systèmes analogiques, mixtes (analogique - numérique) et aux circuits et systèmes à fréquences radio. À titre d'exemple, nous nous intéressons aux trois catégories de convertisseurs analogique à numérique (ADC): rapide, à très basse alimentation et à basse consommation. Nous proposons des filtres reconfigurables et à bande passante élevée, des préamplificateurs à très faible niveau de bruit et à large bande passante, des amplificateurs variés programmables, des régulateurs de tension, des PLL (Phase-Locked Loop) à grande plage d'opération, des FLL (Frequency-Locked Loop) à réponse très rapide. Aussi, des nombreux autres circuits intégrés mixtes font l'objet de nos travaux de recherche dans le cadre des applications médicales : capteurs et microstimulateurs, conversion optique – électrique, ultrasons, microélectrodes techniques de mesures intégrés, etc. Ajoutons que nous menons des travaux dans le domaine de communications sans fil, plus spécifiquement nous travaillons à la mise au point de systèmes complets, soient des mélangeurs, des MODEM, des ADC des amplificateurs de puissance avec techniques de linéarisation dédiées, etc.

Les systèmes dédiés à des applications médicales doivent être performants, (dimensions réduites et à très basse consommation d'énergie) fiables et flexibles. La plupart de ces applications pluridisciplinaires regroupent l'ensemble des activités non seulement en microélectronique mais dans les différentes activités connexes en sciences et génie. Ceci implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, micromachinage, médecine, etc. Nous nous intéressons présentement à mettre en œuvre un bon nombre de ces systèmes soient: un implant urinaire composé d'un capteur et d'un stimulateur servant à contrôler les deux fonctions de la vessie (rétention et incontinence); un implant visuel dédié à la création d'une vision acceptable chez les non-voyants; un système de stimulation dédié à la récupération de mouvements simples de bras paralysés; un dispositif capteur de signaux neuronaux dans le but de mesurer le volume d'urine dans la vessie et de commander le mouvement des membres artificiels remplaçant des membres amputés. Nous prévoyons apporter des solutions aux dysfonctions dans le domaine de la respiration (apnée) chez les nourissants et chez les adultes, de l'énurésie nocturne, etc. À titre d'exemple, nous proposons un cathéter ayant une paire d'électrodes et une paire de capteurs piézo-électriques pour évaluer les pressions et l'EMG aux niveaux de l'estomac et des poumons. Nous poursuivons nos travaux sur les techniques de télémétrie pour le test et la surveillance des activités des neurostimulateurs implantables.

Titulaire d'une Chaire de recherche du Canada sur les dispositifs médicaux intelligents, le professeur Sawan est co-fondateur de l'IFESS (International Functional Electrical Stimulation Society), membre senior de l'IEEE, Fellow de l'Académie Canadienne du génie, membre de l'«Association for Urology and Engineering» et membre de plusieurs comités d'organisation et de programme de conférences nationales et internationales. À l'École Polytechnique, le professeur Sawan est fondateur du laboratoire de recherche PolySTIM (Laboratoire de neurotechnologies) et coordonnateur de l'enseignement de la microélectronique au département de génie électrique à l'École Polytechnique.

Pour plus de détails sur les différents travaux cités ci-dessus, le lecteur est invité à lire les descriptions des projets d'étudiants dans ce rapport et à consulter notre site web au www.polystim.polymtl.ca

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Étudiants aux cycles supérieurs ont effectué des recherches associées au GRM durant la période couverte par ce rapport:

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Achour, Chokri	Ph.D.	J. -L. Houle	J. Davidson
Ba, Aguibou Hamady	M.Sc.A.	M. Sawan	
Baillargé, Jacques	M.Sc.A.	G. Bois	
Beaudin, Sylvain	M.Sc.A.	M. Bois	R. Marceau
Bendali, Abdelhalim	M.Sc.A.	Y. Savaria	
Bertola, Marc	M.Sc.A.	G. Bois	
Boyer, François Raymond	Ph.D.	M. Aboulhamid	Y. Savaria
Boyer, Stéphane	M.Sc.A.	M. Sawan	
Boyogueno Bendé, André	Ph.D.	M. Sawan	
Brais, Louis -Philippe	M.Sc.A.	M. Sawan	
Calbaza, Dorin -Emil	M.Sc.A.	Y. Savaria	
Cantin, Marc -André	M.Sc.A.	Y. Savaria	Y. Blaquièrre
Carniguan, Sylvain	M.Sc.A.	M. Sawan	
Chabini, Nourreddine	M.Sc.A.	M. Aboulhamid a	Y. Savaria
Chaib, Gaby	M.Sc.A.	M. Sawan	
Chebli, Robert	M.Sc.A.	M. Sawan	
Chevalier, Jérôme	M.Sc.A.	G. Bois	
Coulombe, Johathan	Ph.D.	M. Sawan	
Cousineau, Cynthia	M.Sc.A.	Y. Savaria	M. Sawan
Cyr, Geneviève	M.Sc.A.	G. Bois	
Delage Jean-François	M.Sc.A.	M. Sawan	
Dido, Jérôme	M.Sc.A.	M. Sawan	F. Bellemare
Djebbi, Moncef	M.Sc.A.	M. Sawan	
Djemouai, Abdelouahab	Ph.D.	M. Sawan	M. Slamani
El Hallali, Hicham	M.Sc.A.	M. Sawan	
El Sankary, Kamal	Ph.D.	M. Sawan	
Fayomi, Christian	Ph.D.	M. Sawan	G. Roberts
Filion, Luc	M.Sc.A.	G. Bois	
Fortin, Alexandre	M.Sc.A.	Y. Savaria	M. Sawan
Fouzar, Youcef	Ph.D.	M. Sawan	Y. Savaria
Gervais, Jean-François	M.Sc.A.	M. Sawan	
Ghattas, Hany	M.Sc.A.	Y. Savaria	
Granger, Éric	Ph.D.	Y. Savaria	
Harb, Adnan	M.Sc.A.	M. Sawan	
Harvey, Jean-François	M.Sc.A.	M. Sawan	
Hashemi, Aghcheh Body	M. Sc.A.	M. Sawan	Y. Savaria
Hébert, Olivier	M.Sc.A.	Y. Savaria	
Hu, Yamu	Ph.D.	M. Sawan	
Kassem, Abdallah	Ph.D.	M. Sawan	M. Boukaddoum
Kumar, Padmapriya	M.Sc.A.	Y. Savaria	
Lacourse, Alain	M.Sc.A.	M. Meunier	Y. Savaria
Lafrance, Louis -Pierre	M.Sc.A.	Y. Savaria	
Langlois, Hughes	M.Sc.A.	Y. Savaria	
Lemire, Jean-François	M.Sc.A.	G. Bois	Y. Savaria
Loiseau, Ludovic	M.Sc.A.	Y. Savaria	
Lu, Meng	M.Sc.A.	Y. Savaria	C. Wang
Lu, Zhijun	M.Sc.A.	M. Sawan	
Mardare, Diana	M.Sc.A.	Y. Savaria	

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Mbaye, Mama Maria	M.Sc.A.	Y. Savaria	S. Pierre
Mokhtari, El Yamine	M.Sc.A.	M. Sawan	
Monté-Genest, Ginette	M.Sc.A.	Y. Savaria	C. Thibeault
Moujoud, A.	Ph.D.	R. Maciejko	
Nsame, Pascal	Ph.D.	Y. Savaria	G. Bois
Qiu, Bing	M.Sc.A.	Y. Savaria	C. Wang
Regimbal, Sébastien	M.Sc.A.	Y. Savaria	G. Bois
Renaud, Mathieu	M.Sc.A.	Y. Savaria	A. Khouas
Richard, Jean-François	M.Sc.A.	Y. Savaria	
Schneider, Éric	M.Sc.A.	M. Sawan	A. Alkhalili
Tizu, Marius Sorin	M.Sc.A.	M. Sawan	
Trabelsi, Abdelaziz	M.Sc.A.	Y. Savaria	Y. Audet
Tremblay, Jean-Marc	M.Sc.A.	Y. Savaria	
Trépanier, Jean-Luc	M.Sc.A.	M. Sawan	Y. Audet
Wang, Jiahong	M.Sc.A.	G. Bois	Y. Savaria

Étudiants récemment inscrits

Biu, Hung Tien	M.Sc.A.	Y. Savaria	
Buffoni, Louis -Xavier	M.Sc.A.	M. Sawan	
Chouchane, Tahar	M.Sc.A.	M. Sawan	
Deslauriers, François	M.Sc.A.	G. Bois	
Gilson, Mathieu	M.Sc.A.	J.J. Brault	M. Sawan
Izouggaghen, Badre	M.Sc.A.	Y. Savaria	
Lavigueur, Bruno	M.Sc.A.	G. Bois	
Layachi, Mohamed	M.Sc.A.	Y. Savaria	A. Rochefort
Pigeon, Sébastien	M.Sc.A.	M. Meunier	
Py, Jean-Sébastien	M.Sc.A.	M. Sawan	
Qin, Lisheng	M.Sc.A.	M. Sawan	
Quinn, David	M.Sc.A.	G. Bois	
Sammou, Redouane	M.Sc.A.	Y. Savaria	A. Rochefort
Thomas, Cyrille	M.Sc.A.	Y. Savaria	
Tohio, Bertrand	M.Sc.A.	S. Pierre	Y. Savaria
Yazdani, Tooraj	M.Sc.A.	M. Sawan	

Titres des projets et diplômes en cours de chaque étudiant

Cette section du document contient une liste de projets avec le nom des personnes concernées. Par la suite, nous fournissons plus de détails sur chacun des projets en insistant sur les réalisations.

<i>Nom de l'étudiant</i>	<i>Diplôme en cours</i>	<i>Le titre de son projet</i>
<i>Achour, C.</i>	Ph.D.	Architectures parallèles pour la transformée en ondelettes à deux dimensions.
<i>Ba, A.</i>	M.Sc.A.	Microstimulateur intégré implantable pour la réhabilitation des fonctions de la vessie.
<i>Baillargé, J.</i>	M.Sc.A.	Le codesign logiciel/matériel: méthodologie et utilisation.
<i>Beaudin, S.</i>	M.Sc.A.	Simulation rapide avec PULSE de la stabilité transitoire dans les réseaux de transport d'énergie électrique.
<i>Bendali, A.</i>	M.Sc.A.	Conception de circuits analogiques de précision utilisant des résistances ajustables intégrées.
<i>Bertola, M.</i>	M.Sc.A.	Exploration d'architecture de bus
<i>Boyer, F.-R.,</i>	Ph.D.	Optimisation de circuits lors de la synthèse à partir de langages de haut niveau.
<i>Boyer, S.</i>	M.Sc.A.	Implant urinaire dédié à la stimulation neurale sélective.
<i>Boyogueno Bendé, A.</i>	Ph.D.	Méthode de conception du module de réception pour les communications par fibres optiques.
<i>Brais, L.-P.</i>	M.Sc.A.	Égalisateur adaptatif numérique haute performance pour signaux QAM.
<i>Calbaza, D. -E.</i>	M.Sc.A.	Analyse et conception des circuits de synthèse numérique d'horloge.
<i>Cantin, M.A.</i>	Ph.D.	Conversion matérielle automatique d'algorithmes de traitement de signal du format virgule flottante au format virgule fixe.
<i>Carniguan, S.</i>	M. Sc.A.	Égalisation de la consommation de puissance d'un stimulateur matriciel par l'implémentation d'un algorithme de balayage adaptée.
<i>Chabini, N.-E.</i>	Ph.D.	Méthodes d'optimisation pour la conception de systèmes matériels/logiciels.
<i>Chaib, G.</i>	M.Sc.A.	Acquisition des activités neurales vésicales pour la récupération des fonctions urinaires.
<i>Chebli, R.,</i>	M.Sc.A.	Étage de réception intégré sur une seule puce d'un échographe portable.
<i>Chevalier, J.</i>	M.Sc.A.	Aide au partitionnement de système co-design logiciel/matériel par la simulation à haut niveau en System C.
<i>Coulombe, J.,</i>	Ph.D.	Simulateur visuel intra cortical implantable.
<i>Cousineau, C.,</i>	M.Sc.A.	Conception et mise en œuvre d'un système de reconfiguration dynamique.
<i>Cyr, G,</i>	M.Sc.A.	Développement d'une interface matérielle configurable pour un processeur ARM7 basée sur le protocole VCI de l'alliance VSI.
<i>Delage, J.-F.,</i>	M.Sc.A.	Synthèse et conception d'une interface UHF dédiée aux applications de «tagging».
<i>Dido, J.</i>	M.Sc.A.	Système d'acquisition de la pression transdiaphragmatique et de l'électromyogramme du diaphragme.
<i>Djebbi, M.</i>	M.Sc.A.	Compensation de la tension de décalage des amplificateurs opérationnels mode courant (LFOA) à large bande.
<i>Djemouai, A.</i>	Ph.D.	Transfert d'énergie et transmission bidirectionnelle de

<i>Nom de l'étudiant</i>	<i>Diplôme en cours</i>	<i>Le titre de son projet</i>
		données par couplage inductif pour des systèmes électroniques implantables.
<i>El Hallabi, H.</i>	M.Sc.A.	Conception et réalisation d'un filtre Gm-C dédié à des applications à haute fréquence.
<i>Elsankary, K.</i>	M.Sc.A.	Mise en œuvre des nouveaux algorithmes de traitement d'images dans le but de simplifier leur intégration à un micro système embarqué reconfigurable dynamiquement et dédié à la réalisation d'un micro stimulateur visuel cortical.
<i>Fayomi, C.</i>	Ph.D.	Techniques de conception de circuits CMOS à basse tension d'alimentation dédiés aux convertisseurs analogiques à numériques
<i>Filion, L.</i>	M.Sc.A.	Syslib-Picasso : méthodologie de conception des systèmes embarqués.
<i>Fouzar, Y.</i>	Ph.D.	Étude et réalisation d'un récepteur à 2.5Gb/S en technologie CMOS dédié pour les liaisons série.
<i>Gervais, J.-F.</i>	M.Sc.A.	Conception et réalisation d'un système à haut rendement d'alimentation et de transmission bidirectionnelle de données dédiées à un stimulateur implantable.
<i>Ghattas, H.</i>	M.Sc.A.	Conception d'un convertisseur de protocoles générique et flexible applicable à la transmission en réseau de signaux vidéo.
<i>Granger, É.</i>	Ph.D.	Étude des réseaux de neurones artificiels pour la reconnaissance rapide d'impulsions radars.
<i>Harb, A.</i>	Ph.D.	Système intégré CMOS implantable pour l'acquisition des activités vésicales par le biais de leurs voies neuronales.
<i>Harvey, J. -F.</i>	Ph.D.	Contrôleur externe dédié à un implant visuel.
<i>Hashemi, S.</i>	M.Sc.A.	Réalisation d'un multiplieur de tension à efficacité élevée pour l'application aux implants biomédicaux.
<i>Hébert, O.</i>	M.Sc.A.	Une méthode de dérivation de modèles de processeurs embarqués dédiés à une application et un modèle de processeur de traitement de signal conçu pour l'implanter.
<i>Hu, Y.,</i>	Ph.D.	Techniques CMOS sans-fil dédiées aux liens électromagnétiques de dispositifs médicaux implantables.
<i>Kassem, A.</i>	Ph.D.	Méthode de conception pour la mise en œuvre d'un système ultrasonique à grand niveau d'intégration sur un nombre restreint de puces.
<i>Kumar, P.,</i>	M.Sc.A.	Méthodes de conception pour la testabilité des circuits CML bipolaires.
<i>Lacourse, A.,</i>	M.Sc.A.	Caractérisation de la fiabilité et du coefficient en température des liens diffusés par faisceau laser.
<i>Lafrance, L.-P.,</i>	M.Sc.A.	Étude de performance d'un estimateur fréquentiel rapide pour un système de caractérisation d'émetteur radar.
<i>Langlois, H.,</i>	M.Sc.A.	Optimisation paramétrique de circuits analogiques par l'intermédiaire des algorithmes génétiques.
<i>Lemire, J.-F.,</i>	M.Sc.A.	Conception de patrons dédiés à l'implantation d'une plateforme de vérification fonctionnelle de modèles matériels.
<i>Loiseau, L.,</i>	M.Sc.A.	Conception de modules matériels réutilisables pour un réducteur de bruit vidéo.
<i>Lu, M.</i>	M.Sc.A.	Conception d'un démonstrateur WSI (Wafer Scale Integration).
<i>Lu, Z.</i>	M.Sc.A.	Conception d'un convertisseur A/D Sigma-Delta CMOS à basse alimentation et faible consommation d'énergie.

<i>Nom de l'étudiant</i>	<i>Diplôme en cours</i>	<i>Le titre de son projet</i>
<i>Mardare, D.L.</i>	M.Sc.A.	Une analyse des invalides dans un flat vidéo et conception d'une interface SDRAM
<i>Mbaye, M.M.</i>	M.Sc.A.	Plate-forme SOC pour la conversion d'une pile de protocoles.
<i>Mokhtari, E.Y.</i>	M.Sc.A.	Étude et réalisation d'un ADPLL dédié à un modem numérique haute vitesse.
<i>Monté Genest, G.,</i>	M.Sc.A.	Caractérisation d'une méthode de test pour les circuits bipolaires CML basée sur l'injection de biais contrôlés.
<i>Moujoud, A.</i>	Ph.D.	Échantillonnage électro-optique.
<i>Nsame, P.</i>	Ph.D.	Techniques et méthodes de conception des systèmes intégrés de type SOC.
<i>Pepga Bisou, J.</i>	M.Sc.A.	Implémentation sur une plate-forme ARM-FPGA d'un convertisseur de protocoles réseaux générique.
<i>Qiu, B.</i>	M.Sc.A.	Le diagnostic et l'analyse du rendement dans l'architecture complexe de l'interconnexion.
<i>Régimbal, S.</i>	M.Sc.A.	Conception d'un outil permettant l'élaboration et la couverture efficace de modèles de couverture fonctionnelle dédiées à la vérification du modèle HDL.
<i>Renaud, M.</i>	M.Sc.A.	Conception de boucles à verrouillage de Phase (PLL) analogiques exploitant des résistances de précision programmables.
<i>Richard, J. -F.</i>	M. Ing.	Implémentation pour l'extraction en temps réel des caractéristiques de la modulation intentionnelle sur les impulsions radars.
<i>Schneider, E.</i>	M.Sc.A.	Réalisation d'un micro stimulateur et capteur implantable par des circuits discrets mixtes.
<i>Tizu, M. -S.,</i>	M.Sc.A.	Circuit de démultiplexage analogique dédié à un implant visuel.
<i>Trabelsi, A.</i>	M.Sc.A.	Conception de circuits analogiques de haute précision.
<i>Tremblay, J. -M.,</i>	M.Sc.A.	Conception d'un circuit de conversion de protocoles pour la transmission de vidéo sur des réseaux haute vitesse.
<i>Trépanier, L.</i>	M.Sc.A.	Capteur d'image intégré à large gamme dynamique..
<i>Wang, J.</i>	M.Sc.A.	Un modèle générique pour la vérification fonctionnelle de propriété intellectuelle (PI) en utilisant des techniques « Rule-Based »

Description détaillée des projets d'étudiants

ACHOUR Chokri

DIPLÔME: Ph.D.

TITRE:

Architectures parallèles pour la transformée en ondelettes à deux dimensions.

RÉSUMÉ:

La compression d'images par ondelettes (CIO) est un outil puissant pour plusieurs applications où la compression par transformée en cosinus discrète (TCD) est limitée. Par l'utilisation d'une architecture VLSI, l'algorithme de compression d'images par ondelettes peut être mis en œuvre en un circuit ASIC plus facilement que ceux utilisés par la transformée en cosinus discrète.

PROBLÉMATIQUE:

Dans le domaine de compression d'images numériques en temps réel, on utilise généralement la transformée en cosinus discrète (TCD). Cependant, cette méthode présente certains inconvénients, d'une part, elle requiert un certain nombre d'opérations mathématiques de l'ordre de $(N \times N)$ multiplications, d'autre part, elle a besoin d'un volume de mémoire assez grand. Une représentation qui tient compte de ces limites est celle de la transformée en ondelettes à deux dimensions (TO-2D). Cette dernière offre plusieurs avantages ; un ratio élevé de compression, une excellente qualité d'image et une méthode de décompression progressive.

L'objectif principal de cette thèse est de concevoir un processeur spécialisé pour la TO-2D à partir de la transformée en ondelettes de base et en utilisant une architecture parallèle de processeurs élémentaires. Les résultats fournis par le processeur sont des coefficients d'ondelettes qui vont servir à la compression d'image. La conception de cette architecture VLSI (Very Large Scale Integration) spécialisée pour la TO-2D permet de rendre parallèle autant que possible les calculs de l'algorithme de la TO-2D, afin d'augmenter la vitesse de traitement.

MÉTHODOLOGIE:

Les étapes nécessaires à la réalisation d'un circuit VLSI pour la TO-2D sont les suivantes:

- Étude de l'algorithme de la TO-2D. Des simulations sont effectuées pour déterminer les éléments pertinents à la réalisation de l'architecture interne du processeur (multiplieurs, additionneurs, registres).
- Modélisation des blocs principaux du processeur. Cette étape permet la réalisation de l'architecture du processeur en tenant compte, dans un premier temps, de son mode de fonctionnement et, dans un deuxième temps, du rapport vitesse-surface. La modélisation est réalisée à l'aide du langage VHDL (Very High Speed Integrated Circuits Hardware Description Language)
- Développer des architectures au niveau des circuits intégrés monolithiques pour la mise en œuvre d'une TO-2D basé sur des structures parallèles de processeurs élémentaires.

RÉSULTATS:

Une architecture VLSI de la CIO a été simulée à l'aide de quatre processeurs élémentaires (PE) avec des signaux de 16 bits. Chaque PE est une unité de traitement indépendante qui calcule une convolution entre les échantillons du signal et une ondelette analysante. Le résultat de chaque PE, coefficients de l'ondelette, est envoyé vers un bus de sortie de 32 bits. Un modèle réduit de l'architecture de la CIO comprenant deux PE de 8 bits a été mis en œuvre dans le FPGA de Xilinx XC4010. Le design d'un circuit intégré a été accepté pour fabrication et ce circuit devrait être disponible en mars 2000.

TITRE :

Microstimulateur intégré implantable pour la réhabilitation des fonctions de la vessie.

RÉSUMÉ :

Le projet vise à concevoir un microstimulateur implantable intégré permettant un contrôle permanent et volontaire de la miction et de l'incontinence. Des techniques avancées sont examinées pour les deux plans: design et application.

PROBLÉMATIQUE :

Chez des patients qui ont subi une lésion de la moelle épinière, souvent apparaissent des dysfonctions vésicales, où le patient n'est plus en mesure de provoquer une miction volontaire lorsque sa vessie est pleine et souffre de complications vésicales liées à une hyperactivité réflexe du muscle de la vessie. Les systèmes actuels ne sont pas en mesure de répondre aux besoins du protocole de stimulations combinées : permanente et sélective.

MÉTHODOLOGIE :

Nous prévoyons concevoir un dispositif électronique implantable qui par la stimulation électrique neuronale permettra de retrouver les fonctions vésicales de remplissage de la vessie. Le système devait être implanté à l'intérieur du corps sous la peau du patient et un contrôleur externe permet de communiquer avec le stimulateur sous-cutané et de l'alimenter en énergie via un lien inductif opérant à haute fréquence. La première partie des travaux a consisté à réaliser des prototypes sur PCB avec des composants programmables (FPGA et Micro-contrôleur) afin de pouvoir les implanter et ensuite valider les méthodes de stimulations utilisées; une version intégrée de ce système est en préparation..

RÉSULTATS :

Les prototypes (3 cm de diamètre) de cette nouvelle version sont disponibles et seront implantés par nos collaborateurs du département d'urologie de l'Université McGill pour réaliser des expérimentations chroniques sur des animaux.

TITRE:

Le codesign logiciel/matériel: méthodologie et utilisation.

RÉSUMÉ:

Le temps de mise en marché devenant de plus en plus court, les entreprises recherchent de nouvelles façons de concevoir des produits qui répondront aux demandes du marché. L'utilisation de plus en plus répandue de logiciel, permet cette flexibilité mais brime les performances des systèmes. Par conséquent, l'utilisation conjointe de processeurs d'usage général, dont les performances atteignent aujourd'hui des niveaux très élevés et de circuits spécialisés chargés de la réalisation de fonctions très spécifiques représente la voie à suivre. L'utilisation de nouvelles méthodes et de nouveaux outils logiciels pour accentuer cette conception mixte, tout en diminuant la durée de conception et en augmentant la qualité, est reconnue par tous les chercheurs, comme essentielle pour l'avenir. Le codesign logiciel/matériel dans lequel on recherche le compromis le mieux adapté aux performances visées est une de ces méthodes.

PROBLÉMATIQUE:

Comme mentionné, tous les chercheurs s'entendent pour dire que le codesign logiciel/matériel est une méthode prometteuse pour la conception de systèmes tels que les systèmes embarqués. Cependant, du côté industriel, elle ne semble pas avoir l'attention des concepteurs. Cette recherche a donc pour but de faire la lumière sur cette problématique.

MÉTHODOLOGIE:

Après avoir bien défini le codesign et ses cinq étapes de conception, nous ferons la revue des méthodologies existantes. Ensuite, nous ferons la revue des outils existants. Ces derniers se regroupent sous un sous-groupe de méthodologie. Le but de l'exercice sera de catégoriser chaque approche à une méthodologie distincte, d'en faire les rapprochements et les différences. Ensuite, nous estimerons les gains potentiels quant à la qualité de la conception ainsi que du temps de développement. Plusieurs facteurs devront être considérés, entre autres: les impacts sur les processus de conception, le temps d'apprentissage et le développement des mécanismes de codesign (bibliothèques, interrelation, etc...). L'étape suivante fera l'évaluation des outils commercialement disponibles à l'aide d'une grille d'évaluation. Ensuite, nous procéderons à l'analyse des facteurs contraires à l'utilisation générale de la méthodologie. Nous élaborerons un protocole d'analyses et concevrons un questionnaire incluant le profil du répondant avec une combinaison de Myers-Briggs et Moore. Également, nous tenterons de catégoriser le type et profil de l'entreprise. Il est important ici de mentionner que la longue expérience industrielle du candidat, ainsi que ces nombreux contacts faciliteront grandement cette étape analyse. Finalement, la dernière étape consistera à tirer les conclusions et à proposer des solutions afin de mieux adapter le codesign aux besoins industriels.

RÉSULTATS:

Aucun résultat n'a encore été obtenu.

TITRE:

Simulation rapide avec PULSE de la stabilité transitoire dans les réseaux de transport d'énergie électrique.

RÉSUMÉ:

L'objet de la présente recherche consiste à exploiter le parallélisme de la technologie PULSE (SIMD), doté de multiples processeurs élémentaires, pour la simulation de la stabilité transitoire dans les réseaux de transport d'énergie électrique et d'en valider le concept. En particulier, on vise la réalisation d'un prototype de simulateur rapide qui pourrait évidemment conduire à une technologie de commande de processus en temps réel.

PROBLÉMATIQUE:

À cause de considérations économiques et environnementales, ainsi que de nouvelles opportunités de vente et d'achat d'électricité dans un marché de plus en plus déréglementé, il devient nécessaire pour l'industrie du transport d'énergie d'optimiser les capacités de transits. Présentement la détermination des limites de transits se fait généralement en temps différé, avec comme seul exercice d'assurer la gestion de l'exploitation et de la planification, et ce, principalement à cause des limitations des calculateurs numériques actuels.

Alors, la nécessité d'augmenter les transits de puissance sur les corridors oblige aujourd'hui les compagnies d'électricité à avoir recours à des stratégies d'exploitation de plus en plus complexes. Il est donc devenu important d'introduire la détermination de ces capacités de transit dans l'environnement des centres de commande des réseaux. De plus, le développement d'une technologie de simulation beaucoup plus rapide que la réalité pourrait évidemment conduire à une technologie de commande de processus en temps réel.

MÉTHODOLOGIE:

- Analyse des besoins:
Étude des algorithmes existants et identification des parties critiques à la performance du système.
- Développement d'un système de simulation:
Parallélisation et optimisation de la technique de simulation employée
- Implémentation sur MATLAB:
Validation du système proposé au moyen d'un réseau simple de transport d'énergie à 9 barres.
- Implémentation sur PULSE (modèle SIMD).
Validation du système proposé sur le simulateur PULSE avec le réseau de transport d'énergie à 9 barres.
- Analyse de performance et optimisation
Comparaisons de performances entre les modèles SIMD et SISD.

RÉSULTATS:

À ce jour, une solution numérique entièrement matricielle a été développée pour la simulation de la stabilité transitoire dans les réseaux de transport d'énergie électrique. Conjointement, une technique rapide de multiplication/addition matrice/vecteur fut également élaborée pour la technologie PULSE (SIMD).

Enfin, la validation et la performance du concept ont pu être établies sur le simulateur PULSE au moyen d'une simulation de 600 pas en stabilité transitoire, pour le réseau proposé de transport d'énergie électrique à 9 barres, avec un temps d'exécution moyen de 20 ms.

Un article intitulé "An Economic Parallel Processing Technology for Faster than Real-Time Transient Stability Simulation" a été accepté pour publication dans European Transactions on Electrical Power.

TITRE:

Conception de circuits analogiques de précision utilisant des résistances ajustables intégrées.

RÉSUMÉ:

Le projet consiste à étudier et à proposer des architectures flexibles de circuits analogiques dont les grandeurs de sortie soient ajustables en calibrant des éléments résistifs intégrés. Le but est d'améliorer la précision de ces circuits, en tenant compte du meilleur compromis entre la complexité du circuit et ses performances.

Nous allons proposer et réaliser quelques circuits importants pour les systèmes analogiques tels que les régulateurs de tension.

PROBLÉMATIQUE:

Dans les systèmes analogiques, on a souvent besoin des circuits de grande précision qui peuvent influencer grandement leurs performances. L'une des approches utilisées est le recours à un réglage des résistances ajustables.

Parmi les contraintes du réglage des résistances intégrées on retrouve : le coût du procédé de fabrication, qui peut être élevé, la grande dimension de la résistance et l'erreur relative sur la valeur ajustée.

Des recherches récentes sur des éléments résistifs ajustables de haute précision, de la taille d'un transistor CMOS, ont ouvert de nouveaux horizons.

Le but du projet est de tirer avantage de ces éléments précis et de proposer des méthodes de compensation et de réglage pour des circuits analogiques.

MÉTHODOLOGIE:

Notre objectif premier consiste à définir les architectures et les parties de la fonctionnalité du circuit nécessitant un ajustement précis et qui, par ce fait, améliorent les performances du système.

RÉSULTATS:

Nous avons implémenté et testé, en utilisant un procédé CMOS .18 micron, des références de tensions basées sur des circuits bandgaps. Ces circuits sont très sensibles aux variations de procédé et une attention particulière doit être portée sur le dessin des masques. Nous avons proposé une nouvelle manière de réaliser la stabilité en température par une compensation dite de premier ordre. Une autre approche basée sur une compensation de deuxième ordre est en cours de développement.

TITRE :

Exploration d'architectures de bus

RÉSUMÉ :

Ce projet consiste à explorer divers agencements de modules autour d'un bus afin de dégager un nombre de configurations qui présentent diverses forces tout en restant relativement flexibles. Les architectures choisies seront par la suite intégrées à Picasso.

PROBLÉMATIQUE :

Plus il y a de modules maîtres reliés à un bus, plus la bande passante de ce bus doit être partagée parmi eux. L'idée est d'agencer et de découpler les maîtres pour réduire la bande passante qu'ils doivent se partager. L'architecture résultante doit cependant demeurer suffisamment flexible pour supporter des applications à usage général et pour accepter des modules matériels spécifiques à une application qui serait implantée sur elle. Le but de cette exploration est de développer un choix d'environ trois ou quatre architectures types qui serviront de base pour des systèmes conçus sous Picasso.

MÉTHODOLOGIE :

Le projet se déroulera en trois phases :

1. Développement d'une boîte à outils. Des modules VHDL des différents acteurs dans les transactions de bus seront codés (modèles de mémoires, bus, microprocesseurs, etc.). Ces modèles suivront le protocole de bus AMBA.
2. Exploration des architectures. Les modules de la boîte à outils seront agencés de manières différentes. Cette exploration ne se fera pas de façon aléatoire : elle sera dirigée de façon à l'optimiser le mieux possible pour une application donnée (la transmission sans fil, par exemple).
3. Intégrer les applications à Picasso en les rendant configurables et paramétrisables. Ceci veut dire, entre autres, que l'architecture doit être adaptée pour accepter des modèles de différents processeurs, ainsi que pour recevoir un nombre arbitraire de maîtres de bus.

RÉSULTATS :

La phase 1 est complétée. Les phases 2 et 3 sont en cours de développement.

TITRE:

Optimisation de circuits lors de la synthèse à partir de langages de haut niveau.

RÉSUMÉ:

Notre projet consiste à développer différentes techniques visant à maximiser la vitesse à laquelle un circuit peut traiter des données. Certaines optimisations, présentement faites entièrement à la main en utilisant des langages de bas niveau pour décrire les circuits, pourraient être faites automatiquement ou avec des outils dirigés par le concepteur. Ces techniques permettraient de réduire le temps nécessaire au développement d'un circuit rapide et/ou d'augmenter la performance d'un circuit.

PROBLÉMATIQUE:

En général, dans les circuits contrôlés par une seule phase d'horloge, à certains endroits, du temps est consommé à attendre le prochain cycle, même sur le chemin critique. Ceci vient du fait que les temps de calcul entre les registres ne sont pas les mêmes. La resynchronisation réduit ce problème, mais elle contraint à avoir une seule phase d'horloge, ce qui l'empêche d'atteindre l'optimum. A la place, un circuit multi phase pourrait être fait avec un genre de retiming multi phase, en utilisant des horloges qui arrivent toujours exactement au bon moment. Dans ce cas, il faut trouver les phases nécessaires et le circuit équivalent au circuit original, mais contrôlé de manière très précise par ces différentes phases. Alors, le problème de la génération des horloges se pose, ainsi que les variations sur les temps d'arrivée de celles-ci (biais de synchronisation).

MÉTHODOLOGIE:

Le travail est basé sur notre idée originale de prendre un algorithme d'ordonnement utilisé en pipelining logiciel «software pipelining», pour remplacer la technique habituelle utilisée sur les circuits (la resynchronisation, ou retiming).

Les points suivants sont travaillés :

- Une alternative au retiming, multi phases, qui trouve les phases permettant un débit optimal;
- La tolérance maximale aux variations sur les temps d'arrivée de l'horloge;
- Une méthode automatique donnant une certaine forme de wave-pipelining;
- La vérification formelle que le circuit après nos optimisations fait la même chose que l'original;
- Une technique de resynthèse ciblant le chemin critique et passant par-dessus les registres, qui fonctionne sur nos circuits multi phases.

RÉSULTATS:

Une alternative au retiming a été trouvée, donnant le débit maximal sans contrainte sur le nombre de phases. Aussi, un algorithme remplace les registres par des bascules sensibles au niveau, de manière à réduire la taille et à diminuer la demande en précision sur l'horloge.

TITRE:

Implant urinaire dédié à la stimulation neurale sélective.

RÉSUMÉ:

Nous nous intéressons au problème de la rétention urinaire chez les personnes ayant subi des lésions au niveau de la colonne vertébrale (paralysie). Notre but est de restaurer les fonctions vitales du système urinaire de façon à améliorer la qualité de vie.

PROBLÉMATIQUE:

En utilisant un stimulateur neuromusculaire miniaturisé implantable et un contrôleur externe, on excite le nerf S2 partant de la colonne et allant jusqu'au muscle de la vessie et du sphincter pour évacuer l'urine. Une nouvelle technique de stimulation sélective est proposée pour provoquer l'écoulement tout en évitant la contraction simultanée du muscle de la vessie et du sphincter, qui entraîne une pression excessive indésirable.

MÉTHODOLOGIE:

Le système de stimulation que nous proposons est composé de deux parties principales soient l'implant et le contrôleur externe. Il s'agit d'un système versatile et fonctionnel qui répond au problème complexe de la neurostimulation tout en étant simple d'utilisation pour l'utilisateur. C'est l'unité externe qui contrôle la stimulation tout en assurant l'alimentation en énergie de l'implant via une interface à couplage magnétique à haute fréquence. Lors de chaque stimulation, les paramètres sont transmis par le contrôleur à l'implant qui s'assure de leur validité par des algorithmes de détection d'erreurs. Le contrôleur externe est portable et très simple d'utilisation. L'implant est constitué d'un circuit imprimé circulaire d'environ 3 cm de diamètre et est composé de trois blocs soient : l'entrée, le traitement et la sortie. Un circuit intégré programmable (FPGA) est utilisé pour contenir toute la partie numérique de traitement. Le circuit est moulé dans une substance dure pour assurer sa rigidité et ensuite isolé dans un produit bio-compatible. Une électrode bipolaire et des connecteurs étanches de notre conception sont utilisés pour relier l'implant au nerf.

RÉSULTATS:

Notre système est totalement fonctionnel et il a servi pour des essais en phase chronique en collaboration avec le département d'urologie de l'Université McGill. Nous avons aussi conçu et fait fabriquer, par l'entremise de la Société Canadienne de Microélectronique (SMC), la partie de contrôle et de génération des stimulus sur un circuit intégré de technologie CMOS 0.35 micron. Les résultats préliminaires sont encourageants. Les modules de contrôle et de sortie sont fonctionnels et rencontrent la plupart des paramètres de design. Une qualification plus approfondie est en cours.

TITRE:

Méthode de conception du module de réception pour les communications par fibres optiques.

RÉSUMÉ:

Dans le domaine des transmissions en général et celui des transmissions par fibres optiques en particulier, les circuits électroniques sont conçus pour satisfaire un ensemble de critères et de performances spécifiques. Le but de notre recherche est d'analyser et de proposer des méthodes de conception du module de réception pour les systèmes de communication par fibre optique mettant en jeu des hautes fréquences d'opération..

PROBLÉMATIQUE:

Avec l'explosion des communications par fibres optiques et des communications sans fil, de même que la popularité de l'internet, la demande en bande passante devient de plus en plus forte. Les équipements de transmission et de réception sont de nos jours appelés à fonctionner à des débits de transmission de plus en plus élevés. Leur conception et leur fabrication deviennent de plus en plus complexes, car mettant en jeu des hautes fréquences d'opération.

Grâce à sa grande bande passante, la fibre optique est utilisée comme lien par excellence pour les communications à longues distances. Les fibres optiques mono modes à grande capacité de transmission ont déjà été développées mais leur bande passante demeure encore sous exploitée. Les principales limitations des systèmes de transmission par fibre optique sont l'atténuation et la dispersion dans la fibre optique, la gamme dynamique du module de réception, la bande passante et le bruit des circuits électroniques, les pertes de couplage dans les interfaces optoélectroniques de transmission et de réception. La mise en œuvre des amplificateurs optiques à fibre permet de réaliser de nos jours des systèmes de transmission dont la performance n'est plus que limitée par l'électronique aux interfaces optoélectroniques.

D'où la nécessité de développer des dispositifs optoélectroniques à haute performance répondant à la forte demande du marché des télécommunications. Ce développement repose d'une part sur l'amélioration des procédés de fabrication avec une modélisation plus accrue et d'autre part, sur la mise en œuvre de nouvelles méthodes de conception répondant aux nouvelles exigences permettant de tirer le maximum de performance dont dispose ces nouvelles technologies.

MÉTHODOLOGIE:

Nous présentons la conception du module de réception basée sur l'amplificateur à transimpédance; nous proposons deux méthodes de conception permettant d'étendre sa bande passante et d'améliorer son adaptation à un environnement 50Ohms. Un effort particulier est accordé à la protection contre les décharges électrostatiques, au partitionnement des sous circuits, à la sensibilité au bruit des alimentations et aux variations du procédé de fabrication. Grâce à la modélisation, nous proposons une méthodologie de simulation permettant de prédire le comportement du module dans un environnement réel de fonctionnement.

RÉSULTATS:

Trois types de configuration à transimpédance ont été proposés et publiés. Une modélisation permettant de mettre en exergue les effets parasites dus aux imperfections des différents couplages a été faite. Une méthode d'évaluation de la stabilité dans la bande passante d'intérêt a également été proposée. La rédaction de la thèse est en cours.

TITRE:

Égalisateur adaptatif numérique haute performance pour signaux QAM.

RÉSUMÉ:

Les liens de communication modernes demandent des taux de transfert de plus en plus importants. Une méthode présentement très utilisée pour atteindre des densités spectrales élevées est la modulation d'amplitude en quadrature de phase (QAM). Cependant, la complexité de l'appareillage requis pour la mise en œuvre de ce type de modulation pose des problèmes particuliers.

Ce projet consiste en la réalisation d'un filtre adaptatif de haute performance par la famille de CPLD Flex 10K détecteur. Le prototype conçu devra réaliser l'égalisation de données binaires transmises au travers d'un lien radio point à point SDH/SONET utilisant une modulation 128QAM. Pour obtenir une fréquence d'opération satisfaisante, on doit développer une architecture pipeline efficace.

PROBLÉMATIQUE:

Les signaux à haut taux de signalement utilisés dans les systèmes de communication à grand débit sont déformés lorsque transmis sur d'importantes distances. Les effets dispersifs de l'espace de propagation des ondes électromagnétiques créent de l'interférence nuisible lors de la transmission. On a donc une réponse impulsionnelle du canal dont l'étalement temporel est supérieur au temps de transmission d'un symbole. Il en résulte une diaphonie entre symboles adjacents reçus au récepteur.

On choisit de compenser pour ces effets indésirables en insérant un égalisateur dans le système de réception. Celui-ci doit en quelque sorte réaliser la convolution du signal reçu avec l'inverse de la réponse impulsionnelle du canal. Il doit également être adaptatif, c'est-à-dire capable de s'ajuster automatiquement vis-à-vis des caractéristiques changeantes du canal.

Nous procéderons à la réalisation d'un égalisateur numérique de grande vitesse. Pour cela, une architecture pipeline efficace et rapide doit être développée. On doit également identifier le ou les algorithmes adaptatifs convenant le mieux à une telle architecture.

MÉTHODOLOGIE:

Afin d'être en mesure de tester plusieurs réalisations différentes, on intègre l'égalisateur adaptatif à l'intérieur de composants logiques programmables. La famille de CPLD Flex 10K détecteur a été sélectionnée à cette fin. On choisit de synthétiser les architectures développées à partir de modèles AHDL paramétrisables. L'utilisation de paramètres permet d'ajuster les caractéristiques de l'architecture obtenue. Les étapes de synthèse, de simulation logique et d'intégration sont réalisées à l'aide du logiciel Max+PLUS II. Les vecteurs de simulation sont générés à partir de modèles Matlab du système ou à partir d'échantillons tirés d'un démodulateur 128QAM. Des programmes Matlab permettent de simuler le canal selon le modèle de Rumlér tout en tenant compte d'autres facteurs comme le bruit blanc Gaussien. De plus, un environnement de simulation codé en C permet d'analyser le comportement exact de l'égalisateur pendant et après la convergence en tenant compte des effets liés à la représentation en virgule fixe des nombres dans le système.

RÉSULTATS:

Une carte prototype a été conçue et fabriquée pour recevoir les quatre CPLD Flex10k130 nécessaires au traitement numérique avec leurs divers composants d'interface. Parallèlement à ce travail, des modèles AHDL paramétrisables de l'égalisateur ont été développés et testés en simulation système à l'aide de Matlab. Ce travail de validation a été complété avec un environnement de simulation dédié codé en C. Le fonctionnement d'un égalisateur PAM a été démontré avec la carte prototype fabriquée, bien que certains problèmes pratiques nous empêchent toujours de compléter l'intégration de l'égalisateur QAM.

TITRE:

Analyse et conception des circuits de synthèse numérique d'horloge.

RÉSUMÉ:

Le projet consiste à la réalisation pratique des circuits de synthèse numérique de fréquence pour les systèmes de communication et en particulier, pour des applications de télévision numérique.

PROBLÉMATIQUE:

La prolifération des circuits synchrones a entraîné un besoin grandissant de circuits capables de fournir une horloge précise. Parmi ces circuits, les circuits de synthèse numérique de fréquence sont de plus en plus utilisés.

Cette thèse vise à explorer des méthodes efficaces pour la synthèse directe d'une horloge, avec une gigue réduite, à partir d'une autre horloge.

MÉTHODOLOGIE:

Le développement de l'industrie électronique et surtout de la microélectronique, permet d'intégrer toutes les fonctions d'un circuit de synthèse d'horloge dans une seule puce. Les compagnies Miranda et Gennum, qui parrainent le projet, ont clairement exprimé leurs besoins d'intégration d'un tel circuit dans leurs produits. Cependant, la complexité du problème rend l'intégration difficile. La résolution des problèmes rencontrés demande le développement de techniques nouvelles, d'où le besoin de méthodes efficaces pour réaliser des circuits de synthèse d'horloge qui ont la précision désirée avec les technologies disponibles. Pour concevoir les circuits, on a utilisé les outils CAO disponibles au Groupe de recherche en microélectronique. Le design a été suivi d'une réalisation pratique à l'aide de la Société Canadienne de Microélectronique.

RÉSULTATS:

Deux circuits de synthèse numérique de fréquence ont été réalisés à l'aide de la SMC. Les résultats des tests sont convaincants et ils sont publiés ou soumis à la publication. La thèse de doctorat a été rédigée et sera soutenue sous peu.

TITRE:

Conversion matérielle automatique d'algorithmes de traitement de signal du format virgule flottante au format virgule fixe.

RÉSUMÉ:

La conversion d'un algorithme du format virgule flottante au format virgule fixe est une tâche fastidieuse et complexe. Un outil de conversion automatique d'un format à l'autre permettrait au concepteur d'accélérer le processus d'implantation matérielle d'un algorithme de traitement de signal.

PROBLÉMATIQUE:

Tandis que la majorité des algorithmes d'analyse et de traitement des signaux radars sont développés en virgule flottante, leur implantation requiert fréquemment des opérateurs à virgule fixe, afin de rencontrer les contraintes de coût et de performance. Dans le but de conserver les propriétés de l'algorithme original, d'éviter les erreurs de débordement ou de perte de précision, chaque opérande doit être représentée par un nombre de bits adéquat.

MÉTHODOLOGIE:

La tâche consiste à propager vers les entrées la tolérance d'erreurs des sorties définies par l'utilisateur, ce qui permettrait de minimiser à la fois le nombre de bits nécessaires pour représenter chaque opérande et la surface totale de l'implantation matérielle de l'algorithme. Finalement, un outil automatique qui convertit un programme à virgule flottante en un programme à virgule fixe, qui considère les contraintes matérielles et qui pourrait être étendu aux outils de conception VLSI, permettrait d'accélérer le processus d'analyse et d'implantation d'un algorithme.

RÉSULTATS:

Une méthode qui détermine automatiquement la résolution en bits des opérandes est proposée dans le but d'implanter l'algorithme IMOP. La méthode utilise un outil de simulation à point fixe qui permet de simuler à la fois en précision finie et infinie. La méthode obtient une solution en calculant l'écart entre le modèle à point fixe et le modèle à point flottant. Une procédure sélectionnée sur la base d'expérimentation, minimise cet écart entre les deux modèles, et obtient une solution optimale qui respecte les spécifications de l'utilisateur. Présentement, quatre procédures ont été élaborées et analysées, puis comparées avec cinq procédures existantes dans la littérature scientifique. Afin de comparer ces neuf procédures d'optimisation sur la base du nombre d'itérations et de la qualité de la solution finale obtenue, la méthode a été appliquée sur douze algorithmes DSP. L'ensemble des algorithmes DSP considérés inclut des opérations arithmétiques élémentaires, des filtres à réponse impulsionnelle finie et infinie, un filtre adaptatif, l'algorithme de CORDIC, la transformée en cosinus discrète inverse, un algorithme d'estimation de fréquence et un algorithme de réseau de neurones. Les résultats obtenus par la méthode montrent que certaines procédures obtiennent une solution optimisée pour les douze bancs, et montrent que la méthode peut être utilisée pour déterminer la résolution en bits des opérandes de l'algorithme IMOP.

TITRE :

Égalisation de la consommation de puissance d'un stimulateur matriciel par l'implémentation d'un algorithme de balayage adapté.

RÉSUMÉ :

Ce projet consiste à la création d'un algorithme de balayage d'image et à son implémentation dans le contrôleur externe d'un stimulateur cortical, dans le but d'égaliser dans le temps la consommation de puissance de l'implant.

PROBLÉMATIQUE :

Un point critique du fonctionnement d'un implant cortical est la consommation de puissance. En effet, l'implant dans son prototype final ne devra être alimenté que par un lien radio-fréquence. De plus, lors de stimulation de plusieurs électrodes simultanément ou lors de stimulation de haute intensité, un fort courant est demandé. Ceci implique des pics de courant que l'alimentation limitée ne peut fournir. On peut résoudre ce problème en égalisant dans le temps la consommation de puissance. Pour cela, il est nécessaire de faire le traitement de sites à stimuler à l'extérieur de l'implant de façon à optimiser cette consommation. Par conséquent, nous devons rechercher un algorithme visant à faire le balayage des matrices à traiter (images par exemple) de manière à éviter le plus tôt possible un trop grand nombre de stimulations simultanées.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Rechercher des algorithmes de balayage d'image existant;
- Proposer un algorithme dédié à nos spécifications;
- Valider cet algorithme grâce à des outils tels que MATLAB;
- Analyser les résultats obtenus;
- Implémenter et vérifier par l'intermédiaire d'un contrôleur externe.

RÉSULTATS :

Les recherches sur les balayages de matrices ont permis de trouver certaines techniques de balayage dédiées à des applications spécifiques (la plupart visant la détection de formes ou l'implantation du codage).

Cependant, notre application étant spécifique (prise en compte du fonctionnement de l'implant), ces algorithmes ne nous permettent que d'inspirer quelques idées générales de ces algorithmes. Nous validons actuellement un algorithme dédié sur Matlab.

TITRE:

Méthodes d'optimisation pour la conception de systèmes matériels/logiciels.

RÉSUMÉ:

Ce projet de recherche se concentre sur le développement de méthodes pour l'amélioration de la performance, la réduction de la surface et la réduction de la consommation de la puissance pour des systèmes informatiques. Quant à l'avancement de ce projet de recherche, nous avons développé un algorithme pour déterminer une borne sur le débit maximal pour des systèmes de type pipeline. Pour le design de systèmes matériels opérant à débit maximal, nous avons développé des méthodes pour réduire le nombre de registres requis ainsi que pour réduire le nombre de phases du circuit final. Des méthodes pour réduire la consommation de puissance sont en cours de développement.

PROBLÉMATIQUE:

La qualité d'un système informatique se mesure généralement par sa performance, sa surface et sa consommation de puissance en cas de systèmes matériels. Concevoir un système ayant une certaine qualité, c'est résoudre un ensemble de problèmes d'optimisation très complexes. Ces problèmes sont prouvés NP-complets en général. Pour les résoudre d'une façon efficace, le développement d'heuristiques est nécessaire. Dans ce projet de recherche, nous nous concentrons sur le développement d'heuristiques pour l'amélioration de la performance et pour la réduction de la surface et la consommation de la puissance pour des systèmes informatiques.

MÉTHODOLOGIE:

Les méthodes que nous avons développées et les méthodes que nous sommes en train de développer sont destinées à la résolution de problèmes NP-complets. Pour tester l'efficacité de ces méthodes, leur expérimentation sur des cas de test est nécessaire. Pour cette fin, nous avons planifié le développement d'un outil en langage C++ que nous avons appelé Circuit Optimizer. Les méthodes que nous avons déjà développées ont été incorporées dans Circuit Optimizer. Les méthodes en cours de développement y seront intégrées aussi. Nous espérons aboutir à un outil d'aide à la conception de systèmes informatiques de haute qualité.

RÉSULTATS:

Nous avons développé une méthode pour déterminer une borne sur le débit maximal pour des systèmes de type pipeline. Aussi, pour des systèmes matériels fonctionnant à débit maximal, nous avons développé des méthodes pour réduire le nombre de registres requis ainsi que pour réduire le nombre de phases du circuit.

TITRE:

Acquisition des activités neuronales vésicales pour la récupération des fonctions urinaires.

RÉSUMÉ :

Nous travaillons à la mise en œuvre d'un dispositif électronique dédié à capter les signaux nerveux issus de la vessie afin d'en évaluer le volume d'urine. Ce capteur est destiné au contrôle d'un micro-stimulateur vésical et servira donc de boucle de rétroaction d'un système global de récupération des fonctions urinaires.

PROBLÉMATIQUE :

En Amérique du Nord, plus de deux millions d'individus souffrent de dysfonctions urinaires. Chaque année, au Canada, plus de 1,000 nouveaux cas s'ajoutent à la liste. La stimulation électrique des fonctions vésicales est une approche prometteuse visant la restauration d'un contrôle des fonctions urinaires. Un circuit implantable de détection du volume vésical permettrait l'autonomie du système de stimulation électrique.

MÉTHODOLOGIE :

L'implant urinaire peut être subdivisé en cinq blocs :

- Lien bi-directionnel permettant le transport de l'énergie et des signaux de commande;
- Système d'acquisition et d'amplification des signaux nerveux;
- Système de traitement des signaux nerveux et d'évaluation du volume vésical;
- Système de traitement des signaux de commande;
- Générateur de stimulations électriques.

Ce travail prend en charge la mise en œuvre d'un dispositif d'acquisition et du traitement de l'électroneurogramme (ENG) présent dans les nerfs périphériques.

Les caractéristiques voulues du circuit d'acquisition sont une faible consommation de puissance, une tension d'alimentation faible, un faible niveau de bruit et des dimensions minimales.

Une fois le prototype conçu et simulé, les plans des masques seront préparés pour la fabrication. Ceux-ci se font en parallèle aux tests in vivo chez les chiens.

RÉSULTATS :

Une carte d'amplification en composants discrets a été mise au point et se trouve en phase de test. L'élimination du bruit demeure l'obstacle principal du circuit.

TITRE:

Étage de réception intégré sur une seule puce d'un échographe portable.

RÉSUMÉ:

L'objectif de ce projet consiste en la conception d'un étage d'entrée d'un échographe miniaturisé. Ce dernier est constitué des étages d'amplification et de numérisation. Dans cette application, il est nécessaire d'amplifier largement les signaux (écho) de très faible amplitude (quelques microvolts) qui proviennent du profond que ceux de forte amplitude qui proviennent de la surface de la peau du corps humain. Une technique d'amplification consiste à utiliser un véritable amplificateur logarithmique basé sur des étages cascades à gain modérés. Pour compenser l'atténuation des signaux reçus par la réflexion sur les interfaces de tissus humains, un amplificateur à gain programmable est utilisé. Il sert à compenser l'atténuation en décibel pour chaque centimètre de profondeur. La programmation de cet amplificateur est fait par un convertisseur analogique à numérique «pipeline» ayant 10 bits de résolution et une fréquence d'échantillonnage supérieure à 25MHz.

PROBLÉMATIQUE:

Généralement, l'étage d'entrée d'un échographe est constitué entre autre d'un préamplificateur qui sert à amplifier les échos reçus sans affecter leurs amplitudes. L'utilisation d'un amplificateur logarithmique permet de compresser les échos de forte amplitude ce qui provoque la création des artéfacts sur l'écran du moniteur.

MÉTHODOLOGIE:

En s'inspirant des travaux de recherche qui ont été faits dans le domaine de l'imagerie médicale, nous proposons une architecture rigoureuse de l'étage d'entrée d'un échographe.

Notre architecture comporte les modules suivants :

- Un amplificateur logarithmique formé des étages à faible gain cascades avec un étage de compensation qui est connecté à un convertisseur analogique-numérique;
- Dans ce travail, on vise à intégrer dans une seule puce (ASIC) ces trois étages et à implanter le contrôleur en FPGA

RÉSULTATS:

Un circuit intégré CMOS intégrant les deux premiers étages d'amplification a été fabriqué. Les tests effectués ont démontré toute la fonctionnalité souhaitée.

TITRE :

Aide au partitionnement de système co-design logiciel/matériel par la simulation à haut niveau en System C

RÉSUMÉ :

Le projet consiste à concevoir une méthodologie pour le partitionnement et à construire une plate-forme à haut niveau en system C. Cette plate-forme permet la simulation et l'estimation au niveau transactionnel des systèmes co-design logiciel/matériel sur puce.

PROBLÉMATIQUE :

Pour la réalisation de nombreux systèmes, l'utilisation combinée de processeur d'usage général et de circuits spécialisés est en voie de se répandre rapidement. Cette approche mixte nécessite des méthodologies de conception nouvelles. Ces méthodes et techniques doivent notamment permettre au concepteur du système d'en effectuer la spécification et la modélisation sans se soucier du découpage logiciel/matériel, tout en l'aidant à effectuer ce partitionnement par la suite. Actuellement, il n'existe peu ou pas d'outil et de méthodologie complètement satisfaisante et permettant d'effectuer toutes les étapes du processus de conception et de partitionnement.

MÉTHODOLOGIE :

La démarche consiste d'abord à effectuer une revue des méthodologies de spécification et de partitionnement existantes pour le niveau transactionnel. La majorité de ces méthodes sont dédiées exclusivement au matériel, mais elles constituent une bonne approche pour construire une méthodologie pour le co-design.

RÉSULTATS :

Une plate-forme de simulation de système co-design au niveau transactionnel en System C utilisant la méthodologie développée.

TITRE:

Simulateur visuel intra-cortical implantable.

RÉSUMÉ:

Le projet consiste à concevoir et réaliser un système intégré implantable visant à stimuler le cortex cérébral de patients aveugles. Après avoir réalisé un tel dispositif de dimension et de complexité réduites, une attention particulière sera apportée à la consommation en puissance ainsi qu'à la sécurité du dispositif par l'intégration de modules de surveillance et de contrôle de la stimulation. Différents prototypes de fonctionnalité et de complexité croissantes seront conçus, réalisés et testés in-vitro et in-vivo.

PROBLÉMATIQUE:

La réalisation d'un implant cortical au nombre de canaux de stimulation élevé demandera de relever un bon nombre de défis. Entre autres, mentionnons l'intégration de différents modules de circuits intégrés analogiques et numériques, l'interface entre les circuits et une matrice d'électrodes de grande densité, ainsi que l'encapsulation compacte et biocompatible de l'ensemble.

Une fois ces éléments développés adéquatement, une emphase importante doit être mise sur l'optimisation des modules électroniques. En effet, afin de réaliser un système possédant un grand nombre de canaux de stimulation parallèles, la consommation en puissance doit être minimisée de façon substantiellement, par rapport à ce qui est généralement fait pour les neurostimulateurs actuels. Cependant, les techniques conventionnelles visant à réduire la consommation peuvent facilement entraîner des dommages permanents sur les tissus stimulés. Un système de monitoring des charges et tensions de sortie, de contrôle et de compensation devra donc être conçu afin d'assurer l'efficacité et la sécurité de la stimulation. Des techniques novatrices permettant d'effectuer ses tâches de façon énergétiquement efficace devront être développées.

MÉTHODOLOGIE:

Le projet se divise en trois phases distinctes. En un premier temps, l'objectif est de faire un implant comportant un nombre de sites de stimulation réduit, et ce de manière à maîtriser les techniques élémentaires qui seront nécessaires à la réalisation d'un système complexe (fabrication, assemblage, encapsulation, etc.).

Ensuite, on procédera à l'optimisation du système au niveau électronique dans le but d'assurer l'efficacité et la sécurité du dispositif. Cette deuxième phase se divise elle aussi en deux parties distinctes, soient :

- La recherche d'une méthode efficace de contrôle des charges impliquées dans les simulations;
- L'élaboration d'un système efficace d'asservissement de la tension d'alimentation de l'étage de sortie afin de diminuer la consommation en puissance de l'implant.

Finalement, l'intégration des éléments développés sera réalisée. Le système électronique optimisé, de pleine dimension, devra être fabriqué et encapsulé avec le savoir-faire acquis de la première phase du projet.

RÉSULTATS:

Les travaux se situent actuellement au niveau de la première phase. Un premier prototype est en fabrication et les tests et étapes d'encapsulation seront effectués au cours de l'année qui débute.

TITRE:

Conception et mise en œuvre d'un système de reconfiguration dynamique.

RÉSUMÉ:

Ce projet destiné au milieu industriel vise à ajouter, entre autre, une fonctionnalité RTR (Run Time Reconfiguration) sur la base d'un module existant et commercialement disponible. Le produit final sera un outil de conception et de déverminage basé sur le RTR, exploitant un lien JTAG comme canal de communication secondaire. Une capacité de constante interaction avec le système et une grande flexibilité de reconfiguration caractériseront ce produit.

PROBLÉMATIQUE:

Le projet tire une partie de sa complexité du fait que des fonctions additionnelles doivent être ajoutées à un module existant et dont le design extérieur est plus ou moins fixe. Étant donné également que certaines composantes du module sont carrément intouchables, nous devons intervenir, de manière alternative, par une entrée secondaire, qui est jusqu'à maintenant inutilisée et dont l'interface reste à construire. De plus, une partie logicielle est à concevoir. Celle-ci permettra à l'utilisateur de construire un système basé sur ce module et d'interagir avec lui de manière continue.

MÉTHODOLOGIE:

Les actions à poser sont subdivisées en deux parties. D'abord, il faut modifier l'architecture du contrôleur du module afin d'y implanter l'interface avec l'entrée secondaire en plus d'y inclure un contrôleur de mémoire externe. Ensuite, il faut unir le tout par un logiciel, versatile, portable pour n'importe quel type de système hôte, et qui saura assister correctement l'utilisateur dans ses tâches de conception et d'implantation.

RÉSULTATS:

Les premières tâches à accomplir, avant même de commencer toute structure de conception étaient de se familiariser avec le produit existant et de remonter le contrôleur avec les outils de conception disponibles à ce jour ainsi qu'un banc de test adéquat. Étant donné que le contrôleur est et restera implanté dans un FPGA relativement petit et de moins en moins utilisé dans l'industrie, cette tâche n'a pas été facile, les outils les plus performants n'étant pas nécessairement développés pour traiter des circuits basés sur cette famille de FPGA. La synthèse des composantes VHDL s'est avérée problématique, car elle est moins efficace pour cette famille de FPGA. Finalement, nous avons réussi à placer et router le contrôleur dans son état presque original, avec les outils disponibles. Un prototype complet et fonctionnel a été démontré.

TITRE:

Développement d'une interface matérielle configurable pour un processeur ARM7 basée sur le protocole VCI de l'alliance VSI.

RÉSUMÉ:

Le premier objectif est de faire un pas vers le développement d'une méthodologie de synthèse des communications pour des systèmes sur une puce, en allégeant la tâche des concepteurs de systèmes utilisant un processeur ARM7DTMI de la société ARM. Pour ce, une interface matérielle configurable pour ce processeur sera développée. Ensuite, un programme permettra à un concepteur de générer automatiquement une interface spécifique à son système selon les mécanismes de communication et de synchronisation choisis. L'interface permettra au ARM7 de communiquer en utilisant le protocole VCI (Virtual Component Interface) de VSIA (Virtual Socket Interface Alliance). Le deuxième objectif est de tester l'efficacité de l'utilisation du protocole VCI, encore en développement, dans un contexte de communication *point à point* pour différentes applications (multiprocesseur ou processeur/coprocesseur)

PROBLÉMATIQUE:

La vitesse d'avancement de la technologie entraîne l'augmentation rapide de la grosseur des circuits intégrés. Le développement de systèmes sur une puce est une des seules solutions viables à ce problème de croissance des circuits, mais cela entraîne une augmentation de la complexité de ceux-ci. Pour éviter d'augmenter le délai de conception tout en permettant d'augmenter la complexité, la réutilisation de modules est essentielle. Cependant, pour que la réutilisation soit efficace, l'intégration des modules et le développement des communications entre ceux-ci doivent se faire rapidement. L'utilisation d'un protocole standard pour établir les communications entre les modules est une solution intéressante. Dans le présent projet, il faut donc permettre une intégration rapide des communications avec un ARM7 en utilisant le protocole VCI de VSIA. De plus, les pertes de performances amenées par l'utilisation de ce protocole seront évaluées pour différentes applications.

MÉTHODOLOGIE:

L'interface VHDL a été développée à l'aide de l'outil Renoir de Mentor Graphic. Les mécanismes de communication implantés sont la mémoire partagée et le passage de message. Le premier mécanisme sera implanté à l'aide d'une mémoire duale et le deuxième à l'aide d'un FIFO. En plus, plusieurs mécanismes de synchronisation sont possibles. La génération automatique se fait avec un programme *Perl* à partir des fichiers VHDL contenant des clauses *generate* et d'un *package* VHDL contenant des constantes. De plus, la synthèse de l'interface sera effectuée avec l'outil Design Analyser de Synopsys. Pour tester l'interface matérielle VHDL, des bancs de tests seront simulés à l'aide de l'outil Modelsim. De plus, les modèles VHDL des mémoires et du processeur seront utilisés pour simuler le système matériel/logiciel à l'aide de l'outil de co-simulation Seamless de Mentor Graphic. Trois applications différentes seront utilisées pour tester l'interface et le protocole : un *Block Matcher*, un *Reed Solomon* et un *Quick Sort*.

RÉSULTATS:

L'interface est complètement terminée. Les tests sur les trois applications ont été effectués. Il reste maintenant à modifier un peu le code et à écrire le programme *Perl* pour permettre la génération automatique de l'interface. Un poster a été présenté en mai 2001 dans le cadre du congrès de l'AFCAS et en juin 2001 dans le cadre de l'exposition TEXPO. De plus, un article a été sélectionné pour la conférence MUG qui aura lieu à la fin septembre 2001. En plus, un article a été accepté à la conférence DATE 2001.

TITRE:

Synthèse et conception d'une interface UHF dédiée aux applications de tagging.

RÉSUMÉ:

Le travail consiste à concevoir une interface de radiocommunication capable d'émettre et de recevoir des signaux dans la bande ISM 915MGz. Quelques circuits intégrés à la réception sont réalisés et fabriqués et des stratégies pour la réalisation du module d'émission sont proposées.

PROBLÉMATIQUE:

Plusieurs applications peuvent tirer profit d'un lien RF, dont le *tagging* (aussi connu sous l'appellation RF ID). Un tag est une étiquette électronique que l'on appose à un produit par exemple. Ainsi, cette étiquette intelligente, une fois interrogée, peut retourner de l'information sur le produit qu'elle identifie (tel sa catégorie, son prix), un peu à la manière d'un code à barre. Cependant, la lecture d'une étiquette électronique s'avère beaucoup plus rapide puisqu'il n'y a pas de recensement physique à mener: seule une interrogation par champ électromagnétique s'avère nécessaire. On peut ainsi mener un inventaire d'un entrepôt en temps réel, ou encore établir instantanément la facture d'un panier d'épicerie.

MÉTHODOLOGIE:

Pour développer le lien RF, nous procédons en deux étapes. D'une part, un étage initial sert à ramener les signaux RF à haute fréquence en bande intermédiaire, puis en bande de base. Par la suite, la démodulation des signaux PSK se fait de façon numérique.

RÉSULTATS:

Nous avons réalisé un amplificateur à faible bruit (AFB) de même qu'un mélangeur pouvant opérer dans la bande ISM à 915 MHz. Ces deux éléments, qui font partie de l'étage d'entrée du démodulateur proposé, ont été fabriqués en technologie CMOS 0.35 μ . Les tests physiques et la caractérisation de tous ces composants ont été achevés. Ces résultats, de même que ceux obtenus lors de la fabrication d'amplificateurs opérationnels constituent la pierre assise sur laquelle repose une bonne partie de l'analyse détaillée dans le mémoire de recherche complété au début de 2002.

TITRE :

Système d'acquisition de la pression transdiaphragmatique et de l'électromyogramme du diaphragme.

RÉSUMÉ:

Ce projet traite de la conception et de la réalisation d'un système d'acquisition simultanée de la pression transdiaphragmatique (P_{di}) et de l'électromyogramme du diaphragme (EMG_{di}) utilisant des capteurs de pression microélectroniques et un nouveau type d'électrode oesophagienne.

PROBLÉMATIQUE:

La mesure de paramètres respiratoires importants comme la P_{di} et l' EMG_{di} se fait encore à l'heure actuelle par deux systèmes distincts qui utilisent des dispositifs encombrants : ballonnets de latex à insérer par voie nasale, éventuellement des colonnes d'eau, capteurs de pressions extérieurs, amplificateurs, etc. La miniaturisation de tous ces dispositifs engendrerait une moindre gêne pour le patient et pour le médecin. En outre, il faut recourir à des algorithmes complexes pour atténuer les effets du positionnement vertical des électrodes oesophagiennes et de la contamination cardiaque. Une géométrie d'électrode adaptée permettrait à terme de se passer de tels algorithmes en filtrant à la source.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes :

- Conception et réalisation de deux puces électroniques permettant l'acquisition, le traitement et le transfert vers l'extérieur de signaux de pression acquis par des membranes déformables;
- Micro fabrication des membranes et étude de leur comportement aussi bien du point de vue électrique (gain, sensibilité) que mécanique (solidité, gamme de pression détectable);
- Validation d'un nouveau type d'électrodes oesophagienne par simulation électrostatique. Cette étude devrait permettre de caractériser l'influence de certains paramètres de l'électrode sur les effets de positionnement vertical et sur la contamination cardiaque.

RÉSULTATS :

Les puces électroniques ont été réalisées et testées avec succès. Les résultats obtenus à l'issue de simulations des électrodes paraissent encourageants puisqu'une forte réduction de la contamination cardiaque a pu être observée en comparaison avec des électrodes traditionnelles. Il reste néanmoins à poursuivre les simulations pour caractériser le dispositif plus précisément.

TITRE:

Compensation de la tension de décalage des amplificateurs opérationnels mode courant (LFOA) à large bande.

RÉSUMÉ :

Ce projet traite d'une des techniques de compensation de la tension de décalage (offset) dans les amplificateurs opérationnels mode courant (CFOA) et l'utilisation de l'amplificateur résultant pour réaliser un filtre CFOA-C passe bande en CMOS 0.18 μ m.

PROBLÉMATIQUE :

Dans le domaine analogique, la tension de décalage due à la variation du procédé de fabrication, la non-uniformité du dopage et l'irrégularité des dimensions des masques limite la performance des amplificateurs opérationnels utilisés dans les filtres intégrés et les convertisseurs analogiques numériques et bien d'autres applications. Cette tension de décalage provoque des erreurs sur les données fournies pour l'amplificateur utilisé.

MÉTHODOLOGIE :

Nous procédons à ce projet de la façon suivante :

- Calcul et simulation de l'amplificateur CFOA pour avoir une tension de décalage nulle;
- Calcul et simulation du circuit de compensation pour déterminer l'efficacité de ce dernier et déterminer les bornes inférieures et supérieures de compensation de la tension de décalage;
- Simulation de l'amplificateur avec le circuit de compensation sur un certain interval de tension de polarisation;
- Vérification de l'effet du circuit de compensation sur les paramètres de l'amplificateur tels que la tension, le gain en boucle ouverte, la phase et le bruit;
- Conception et simulation d'un filtre passe bande utilisant des amplificateurs en mode courant CFOA et analyse des performances obtenues.

RÉSULTATS :

Un premier design d'un CFOA a été complété, ses masques sont implémentés et la puce est en fabrication actuellement. Les simulations d'un CFOA amélioré intégrant une technique d'annulation de l'«Offset» est en cours.

TITRE:

Transfert d'énergie et transmission bidirectionnelle de données par couplage inductif pour des systèmes électroniques implantables.

RÉSUMÉ:

Nous proposons une nouvelle technique destinée à améliorer les performances d'un système transcutané de transfert d'énergie pour des systèmes électroniques implantables (SEI). La technique utilisée est basée sur un lien à couplage inductif est aussi exploitée pour le transfert de l'énergie que pour la transmission bidirectionnelle de données. La technique proposée consiste en l'utilisation d'un circuit de contrôle permettant d'ajuster automatiquement les niveaux de tensions d'entrée et de sortie du lien inductif. Ce contrôle permet de maintenir l'énergie à transférer à l'implant à un niveau déterminé et de réaliser la modulation des signaux nécessaires à la transmission des données. Le circuit de contrôle permet de minimiser la sensibilité du lien aux fluctuations de la tension d'alimentation de l'amplificateur de puissance et de réduire les pertes d'énergie résultant de l'opération de la modulation des signaux à transmettre.

PROBLÉMATIQUE:

Le recours aux implants biomédicaux (stimulateurs) intégrés a été depuis longtemps considéré comme une solution alternative pour la récupération de la fonctionnalité des organes humains paralysés. Cependant, l'alimentation de ces systèmes représente un handicap majeur dans leur design. Comme ces stimulateurs sont destinés pour un fonctionnement à long terme, leur alimentation devrait être effectuée à distance. Ceci est indispensable afin d'éviter le recours aux batteries et aux opérations chirurgicales nécessaires pour les recharger. Souvent le même lien (interface) d'alimentation est aussi utilisé comme moyen de communication avec l'implant. Donc, le développement d'une telle interface représente une étape cruciale dans la conception des implants biomédicaux. C'est dans cet axe que nous menons des recherches pour développer et concevoir des interfaces d'alimentation et de communication pour permettre un fonctionnement correct et de longue durée pour des stimulateurs intégrés.

MÉTHODOLOGIE:

La méthode prévue pour compléter le présent projet comprendra les étapes suivantes:

- Étude bibliographique détaillée des systèmes existants de transfert d'énergie;
- Étude théorique détaillée, simulation et caractérisation d'un lien à couplage inductif;
- Proposition d'une méthode pour améliorer les performances d'un système de transfert d'énergie et de transmission de données à base d'un lien à couplage inductif;
- Conception et évaluation de l'ensemble du système proposé.

RÉSULTATS:

Nous avons proposé une boucle à verrouillage de fréquence (FLL) basée sur une nouvelle technique de conversion fréquence/tension. Nous travaillons à la mise en œuvre d'un modulateur CMOS intégré pour le contrôle de l'amplificateur de puissance du lien à couplage inductif et nous prévoyons intégrer ces techniques pour compléter un système dédié pour transférer l'énergie efficacement.

TITRE:

Conception et réalisation d'un filtre Gm-C dédié à des applications à haute fréquence.

RÉSUMÉ:

Ce travail consiste à concevoir un filtre Gm-C dont la fréquence centrale se situe aux alentours de 70MHz alors que le facteur de qualité ne dépasse pas 110, ce circuit est composé de différents intégrateurs qui ont été bien optimisé afin de minimiser les effets d'avance et retard de phase dû aux impédances de sortie de l'étage différentiel et de l'étage de sortie respectivement, tout en ayant un choix approprié des dimensions des transistors et par l'utilisation de signaux d'entrées différentielles, la sensibilité du circuit due à la variation du procédé de fabrication représente un problème majeur ce qui nous a poussé à utiliser des circuits additionnels qui contrôlent les paramètres du filtre.

PROBLÉMATIQUE:

Les transconductances CMOS sont devenues très populaires dans la conception des systèmes VLSI analogiques (filtres analogiques). La réalisation des filtres haute vitesse (100MHz) a toujours été limitée par les problèmes de retard et d'avance de phase.. Ces problèmes, qui sont causés par l'effet du premier pôle ainsi que l'effet du deuxième réduisent la performance en terme de fréquence de l'élément de transconductance, et par conséquent, réduisent la bande passante du circuit utilisant cet élément; d'autre part, la linéarité est aussi une des caractéristiques des filtres qu'il faut optimiser sur la plage de fréquence concernée.

MÉTHODOLOGIE:

Une revue complète de la littérature touchant le domaine des cellules de transconductances ainsi que les différentes méthodes pour réaliser des filtres seront complétées. En premier lieu, et en se basant sur un élément de transconductance, plusieurs versions de cet élément seront simulées pour améliorer sa réponse en fréquence avec une linéarité acceptable; d'autre part, un (AGPLL) a été introduit afin de pouvoir contrôler la fréquence centrale du filtre et un (MLL) pour contrôler le facteur de qualité; et en dernier lieu, le calcul de la sensibilité nous permettra d'examiner les performances de tout le circuit.

RÉSULTATS:

Une nouvelle architecture de cellule de transconductance ayant les caractéristiques se rapprochant le plus possible d'un intégrateur idéal a été réalisé. Le filtre passe-bande de quatrième ordre, le AGPLL ainsi que le MLL ont été fabriqués à l'aide de la technologie CMOS 0.35µm. Les résultats expérimentaux démontrent le fonctionnement de la puce au niveau DC, cependant, quelques différences par rapport aux résultats de simulation démontrent la sensibilité d'une partie du AGPLL provenant de la variation du procédé.

TITRE:

Circuits CMOS mixtes(analogique, numérique et RF) dédiées à des systèmes de communications sans fil à très large bande

RÉSUMÉ :

Le présent projet est orienté vers la mise en œuvre d'une nouvelle architecture d'un système de communication sans fil à très large bande passante. Étant dédiée à une future génération de systèmes, l'architecture en question, sera validée par des circuits et fonctions mixtes (analogique, numérique et RF) en technologies CMOS (0.18 ou 0.13 um). Cette technologie nous permettra d'atteindre nos objectifs de design en ce qui a trait à la basse consommation d'énergie et à l'intégration sur une seule puce.

PROBLÉMATIQUE :

La demande croissante des dispositifs portatifs sans fil dans les différentes applications (voix, médicales, capteurs, divertissement, etc.) a attisé le besoin d'un système de télécommunication (émetteur/récepteur) intégrable dans une seule puce sans aucune autre composante externe. Ce système présente un défi concernant de prolonger la vie de la batterie pour des applications portatives, soutenir des voix et des images sur de courte et longue distance et enfin il doit avoir une augmentation dramatique de la fiabilité et une diminution du coût. L'ouverture au public des bandes ISM (industriel, scientifique et médical) et UNII (Unlicensed national information infrastructure) aux différents utilisateurs du monde avec des différents types de modulations (OFDM, FHSS et DSSS) a révélé une autre contrainte à l'émetteur récepteur concernant le sujet de minimiser le bruit contribué par les applications accordées à ces bandes. Le semi-conducteur complémentaire d'oxyde de métal (CMOS) est le choix convenable pour permettre un mixage libre des fonctions analogiques et numériques à cause de son faible coût de fabrication et de sa supériorité pour les applications numériques. Cependant, pour la technologie submicronique profonde telle que 0.18um et moins, le design des blocs analogiques CMOS révèle beaucoup de faiblesse au sujet de modulation de canal, dégradation de mobilité de porteurs et divers bruits provenant de son substrat fortement dopé. Ces contraintes nécessitent d'analyser de nouvelles techniques pour la réalisation des blocs mixtes (analogique et numérique combinés) dédiés au système de communication sans fil moderne. Nous souhaitons proposer des techniques de conception afin d'atténuer les effets du comportement non idéal des circuits analogiques cohabités avec les circuits numériques.

MÉTHODOLOGIE :

- Maîtriser les différentes architectures des systèmes de télécommunication modernes;
- Étudier les circuits intégrés à faible consommation de puissance;
- Proposer de nouvelles techniques qui surmontent les contraintes précitées dans la problématique;
- Simulation, design et complémentation de ces circuits afin de les valider en créant un environnement de test convenable.

RÉSULTATS :

Recherche bibliographique approfondie sur les architectures des systèmes de télécommunications et leur circuits à faible puissance. De nombreuses simulations des principales architectures ont été effectuées pour examiner leur efficacité.

TITRE:

Techniques de conception de circuits CMOS à basse tension d'alimentation dédiés aux convertisseurs analogiques à numériques.

RÉSUMÉ:

Ce projet consiste à proposer des techniques de conception de circuits CMOS dédiés aux convertisseurs analogiques à numériques. L'emphase a été mise sur les méthodes de réduction de tension d'alimentation afin de permettre un fonctionnement adéquat pour des tensions avoisinant le seuil des transistors.

PROBLÉMATIQUE:

Les convertisseurs analogiques numériques (A/N) ou numérique analogique (N/A) assurent le lien entre les milieux analogique et numérique. Les applications utilisant ces convertisseurs sont diverses et variées. En télécommunication par exemple, les nouvelles applications exigent de très grandes résolutions à de très haute vitesse mais avec comme contraintes principales une très faible dissipation de puissance. En instrumentation, la résolution reste toujours un facteur clé, la plupart des applications se limitent à une résolution de l'ordre de 12 bits et plus. Le fait que certaines applications en instrumentation utilisent de plus en plus les batteries comme alimentation poussent les concepteurs vers des à très basse alimentation (2.7 - 3.3 V),. La demande grandissante des applications portatives exige quant à elle une alimentation de l'ordre de 1.8 V ou moins avec une consommation de courant. De plus, la réduction rapide de l'échelle des nouveaux procédés de fabrication en technologie CMOS requiert une réduction de l'alimentation afin de garantir la fiabilité à long terme des circuits.

Il en découle donc que les circuits électroniques contemporains destinés aux convertisseurs A/N ou N/A doivent opérer à très basse alimentation afin de répondre aux applications portatives.

Le but du présent projet est d'investiguer la faisabilité des circuits électroniques viables fonctionnant à très bas voltage et dédiés aux convertisseurs A/N.

MÉTHODOLOGIE:

Les différentes étapes du projet seront donc:

- Une revue de littérature pertinente au niveau des techniques de conception de circuits à bas voltage destinés aux convertisseurs A/N;<
- Une étude de la fiabilité des circuits avec la réduction de l'échelle;
- Le développement des techniques de conception circuits CMOS à bas voltage;
- La conception d'un convertisseur A/N à approximation successive de 10 bits fonctionnant avec une alimentation de 1V
- Des tests expérimentaux afin de valider les performances pré dictées.

RÉSULTATS:

Les résultats obtenus à ce jour ont fait l'objet de quatre articles de conférence,une puce est en phase de fabrication pour valider les techniques proposées.

TITRE :

Syslib-Picasso : méthodologie de conception des systèmes embarqués.

RÉSUMÉ :

Ce projet propose une méthodologie améliorée de conception des systèmes embarqués. D'abord, grâce à Syslib, une librairie (orientée objet) de spécification de niveau système qui permet un raffinement progressif de la spécification en trois étapes : le niveau fonctionnel, le niveau comportemental et le niveau architectural. Grâce à Picasso, un outil graphique qui supporte l'entrée de la spécification, le partitionnement et la synthèse des communications.

PROBLÉMATIQUE :

Les méthodes actuelles de conception des systèmes ne se basent pas sur un langage commun pour le logiciel et matériel (i.e. un langage système). De plus, l'apport d'un outil graphique à la méthodologie facilite l'exploration du partitionnement et améliore la réutilisation de composants.

MÉTHODOLOGIE :

La méthodologie utilisée pour ce projet consiste, d'abord, au développement de Syslib au niveau fonctionnel. Puis de son interface et simulateur au niveau architectural. Il faut ensuite supporter ces deux niveaux dans l'outil graphique Picasso. Enfin, comme ce projet consiste en une méthodologie de développement, il faudra trouver une application à développer puis analyser les résultats obtenus.

RÉSULTATS :

Syslib se comparera à SystemC v2.0.1 pour une analyse qualitative et quantitative. Cette autre librairie qui n'était pas disponible au moment de la mise en œuvre du projet semble maintenant combler certains besoins. Toutefois, Syslib propose certains concepts qui pourraient rendre SystemC encore plus complet. Les résultats seront disponibles sous peu. Il a fort à parier que l'utilisation de Picasso pour conceptualiser les designs améliorera grandement le temps d'entrée des spécifications, facilitera les étapes de raffinement et en maximisera la réutilisation de composantes existantes. Il en résultera en une commercialisation rapide des produits développés, un argument chaud dans le domaine du codesign.

TITRE:

Étude et réalisation d'un récepteur à 2.5Gb/S en technologie CMOS dédié pour les liaisons série.

RÉSUMÉ:

Le sujet de la thèse est relié à la conception et la réalisation d'un récepteur à 2.5 Gb/s complètement en technologie CMOS pour les liaisons séries. Le but de ce travail est le recouvrement des données et des horloges et la réalisation de boucles à verrouillage de phase très rapide (PLL) ayant des paramètres adaptés. La PLL qui fait l'objet de nos recherches combine deux paramètres opposés : le temps de verrouillage et le bruit de phase.

PROBLÉMATIQUE:

Le problème de transmission de données entre divers circuits intégrés pose un défi véritable avec l'augmentation du débit de transmission de ces derniers. Pour cela, il faut avoir un système fiable et stable pour transmettre correctement les données et de les récupérer d'une façon fiable en minimisant le bruit introduit et les erreurs qui peuvent affecter le bon fonctionnement du système.

Dans le cadre de ce projet, nous allons concevoir des circuits CMOS très rapides ayant une consommation d'énergie relativement faible, dédiés à des systèmes de communication. Ainsi, nous visons à transmettre des données à 2.5 Gb/s à travers une ligne de transmission complètement en CMOS, tout en minimisant la puissance dissipée.

Le but de la thèse est de concevoir un récepteur à 2.5 Gb/s en technologie CMOS. L'application d'un algorithme de recouvrement de données et d'horloge élastique nous permet de réduire les erreurs de réception.

MÉTHODOLOGIE:

La méthodologie de conception adaptée pour notre travail est la suivante:

- Concevoir une boucle à verrouillage de phase (PLL) avec faible gigue de phase;
- Concevoir des circuits CMOS très rapides et ayant une faible consommation d'énergie;
- Traitement de la gigue introduite dû aux différences de fréquences entre le transmetteur et le récepteur.

RÉSULTATS:

Une PLL basée sur la technique de gain adapté a été proposée. Cette PLL offre une acquisition de fréquence et de phase rapide tout en ayant une faible gigue de phase. La technologie CMOS 0.18 micron servira à la fabrication de cette puce.

TITRE:

Conception et réalisation d'un système à haut rendement d'alimentation et de transmission bidirectionnelle de données dédié à un stimulateur implantable.

RÉSUMÉ :

De nos jours, il existe plusieurs dispositifs électroniques médicaux qui sont implantés dans le corps humain pour palier à une défaillance. Ces circuits ont besoin d'alimentation électrique et d'une façon de communiquer de l'information avec le monde extérieur. Pour éviter de multiples chirurgies, nous visons à transmettre énergie et données sans fil. Le travail s'effectue selon les spécifications précises d'un implant redonnant la vue aux aveugles.

PROBLÉMATIQUE :

Les dispositifs implantés doivent pouvoir fonctionner en tout temps et sans restreindre la mobilité du sujet. C'est pourquoi l'efficacité de transmission est très importante : elle permettra de réduire la quantité de batteries externes nécessaires. De même manière, le circuit de réception de données doit être très modeste dans sa consommation de puissance. De plus, la transmission de données partant de l'implant doit se faire sans perturber l'arrivée de puissance.

MÉTHODOLOGIE :

Dans le but de transmettre de l'énergie à un implant avec une bonne efficacité, le système proposé ajuste la quantité de puissance envoyée selon les besoins. Ainsi, il faut que l'implant retourne de l'information sur l'état de sa tension d'alimentation. Celle-ci sera maintenue constante à l'aide d'un régulateur du côté du circuit externe. Ce dernier doit aussi être optimisé. Les différents types d'amplificateurs haute performance sont donc à l'étude.

Du côté des données, la bidirectionnalité simultanée est nécessaire pour permettre une bonne régulation de puissance tout en gardant un bon débit de données entrantes (dans l'implant). Les normes et régulations étant limitantes, nous nous proposons d'effectuer la communication bidirectionnelle sur la même onde porteuse, à une fréquence permise. Au niveau de l'implant, ceci implique une modulation passive (modulation de charge), ainsi que la démodulation en phase. L'inverse doit se faire du côté du circuit externe. Les circuits qui se trouveront sur un implant doivent être simples et avoir une très basse consommation de puissance.

RÉSULTATS :

Différents amplificateurs haute performance ont été testés. Chacune des classes D et E peuvent être utilisées dans notre cas. Le premier est beaucoup plus dépendant des performances des composants utilisés alors que la seconde a une efficacité moins stable. La régulation de puissance envoyée a été testée avec un retour de l'implant câblé et un régulateur de tension commercial. Du côté du transfert des données, les simulations effectuées jusqu'à maintenant montrent que les performances visées peuvent être atteintes. Le design du circuit final reste à compléter et à valider.

TITRE:

Conception d'un convertisseur de protocoles générique et flexible applicable à la transmission en réseau de signaux vidéo.

RÉSUMÉ :

Ce projet explore les architectures de convertisseurs de protocoles génériques, flexibles et réutilisables. Notre but est de proposer un architecture qui peut évoluer avec les technologies d'intégration et les architectures de réseaux.

PROBLÉMATIQUE :

Le monde des télécommunications a connu ces dernières années de nombreuses mutations, dues à la course effrénée vers des débits de transmission toujours plus élevés. Ainsi, de nombreuses recherches ont été réalisées dans le but de créer de nouveaux protocoles de communication capables de supporter des vitesses de transmission de données de plus en plus grandes. Cette constante innovation dans le domaine de la communication a entraîné une diminution de la durée de vie des produits qui deviennent dépassés au fur et à mesure qu'ils ne sont plus capables de traiter de nouveaux protocoles. Pour résoudre ce problème, l'industrie a fait appel à des interfaces réseaux spécialisées : les convertisseurs de protocoles.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Réalisation d'une architecture qui assurera la conversion d'un protocole A en un protocole B. Ainsi, un flux de données ayant été transmis à l'aide d'un ensemble de protocoles pourra être traité par une structure utilisant un ensemble de protocoles différents;
- Réalisation d'un modèle exécutable et synthétisable qui puisse démontrer le bon fonctionnement des différents modules du convertisseur en réalisant la conversion d'un protocole A (Ethernet) en un protocole B (Firewire);
- Modification du convertisseur pour supporter trois couches du modèle OSI (la couche liaison, la couche réseau et la couche transport);
- Implémentation de notre convertisseur sur une plate-forme ARM-FPGA;
- Implémentation de notre convertisseur sur un circuit intégré dédié ASIC.

RÉSULTATS :

Une version fonctionnelle et synthétisable d'un processeur embarqué, le «*General Formator*», est maintenant disponible.

TITRE:

Étude des réseaux de neurones artificiels pour la reconnaissance rapide d'impulsions radars.

RÉSUMÉ:

Un système de Mesures de Soutien Électroniques (MSE) est un senseur passif qui a pour but de caractériser (localiser et identifier) les émetteurs dans son environnement électromagnétique d'après les signaux radars qu'il intercepte. Son traitement consiste essentiellement à regrouper les impulsions captées qui sont similaires, pour ensuite identifier les sources associées aux groupes (i.e. les modèles d'émetteurs). La réponse de ces systèmes est critique pour la prévention de menaces. Toutefois, l'identification d'émetteurs en temps réel devient de plus en plus ardue dû à la complexité et à la densité des environnements modernes. Ce projet vise l'étude du potentiel des réseaux de neurones artificiels (RNA) pour les MSE radar en temps réel. Plus spécifiquement, ce projet explore l'application de techniques de RNA pour effectuer le regroupement de séquences d'impulsions et l'identité de sources émettrices.

PROBLÉMATIQUE:

Ce projet comporte deux volets: l'application de RNA auto-organiseurs pour effectuer le regroupement d'impulsions radars, et l'application de RNA classificateurs pour l'identification de sources émettrices. En ce qui concerne le premier volet, une comparaison antérieure (voir la partie résultats) a révélé que le Fuzzy ART est très prometteur pour le regroupement d'impulsions à haute vitesse. Malgré l'efficacité de ses traitements, Fuzzy ART donne des résultats qui sont moins précis que d'autres RNA. De plus, la qualité des résultats varie selon l'ordre de présentation des séquences d'entrées. En ce qui concerne le deuxième volet, un RNA classificateur est proposé pour l'identification directe des impulsions, sans passer par l'étape de regroupement. En plus du besoin pour un traitement très rapide, le classificateur doit se fier sur des connaissances a priori (i.e. une bibliothèque de MSE) incomplètes

MÉTHODOLOGIE:

Pour le premier volet, il s'agit de déterminer une mesure qui permet de détecter les entrées qui mènent à des décisions incertaines. Ensuite, pour réduire les effets associés aux décisions incertaines, on modifie la façon par laquelle Fuzzy ART apprend ou décide pour des cas incertains. Pour le deuxième volet, un RNA classificateur est combiné avec un RNA auto organisateur. Le classificateur apprend a priori une bibliothèque de MSE, tandis que l'auto organisateur apprend l'état des émetteurs actifs dans un environnement. L'idée est de permettre aux RNA de coopérer afin de prédire l'identité la plus probable d'un émetteur actif.

RÉSULTATS:

Une comparaison de quatre RNA auto-organiseurs qui ont du potentiel pour des applications de catégorisation à débit élevé a été effectuée. Les résultats ont permis de conclure que le RNA Fuzzy ART ainsi que le Self-Organizing Feature Mapping sont d'excellents candidats pour des applications en MSE radar.

La mise en œuvre VLSI numérique du RNA Fuzzy ART a été étudiée. Les performances du RNA ont été quantifiées par simulation avec un ensemble de données constituées d'impulsions radars réelles. Afin d'obtenir des solutions efficaces pour la mise en œuvre du RNA avec un circuit dédié VLSI, son algorithme a été reformulé. Ensuite, une architecture de système Fuzzy ART qui réalise cet algorithme pour des applications à débit élevé a été proposée. Un modèle d'estimation surface-temps permet de choisir les configurations d'architecture et d'évaluer la vitesse de traitement, ainsi que la surface qui leur est associée, étant donné l'ensemble des contraintes de l'application.

Enfin, le traitement par réordonnement a été proposé pour gérer la manière dont les patrons sont appris par un système de catégorisation. L'approche offre une alternative intéressante au traitement séquentiel et *batch* en terme de qualité des catégorisations et du temps de traitement. Pour la deuxième partie, un réseau *what-and-where* a été proposé pour l'identification rapide des types de radar associés aux impulsions interceptées.

TITRE:

Système intégré CMOS implantable pour l'acquisition des activités vésicales par le biais de leurs voies neuronales.

RÉSUMÉ:

Ce travail consiste à proposer une méthode d'évaluation du volume urinaire et de concevoir et réaliser un circuit électronique intégré implantable destiné à corriger les dysfonctions urinaires. Les performances visées pour ce système découlent de la qualité du signal acquis (amplitude, interférence, etc.). De plus, étant approvisionné par de l'énergie transmise de l'extérieur et une petite pile implantée, ce système ne devrait pas consommer beaucoup d'énergie. En résumé, le circuit d'acquisition devrait jouir d'un niveau de bruit faible pour minimiser la taille du dispositif implanté.

PROBLÉMATIQUE:

Nous prévoyons capter des signaux neuronaux différentiels de très faible amplitude et à basse fréquence. Le signal sera ensuite traité pour en extraire de l'information. Pour l'implant électronique destiné à la restauration des fonctions urinaires, le circuit informerait le patient de l'état de son volume vésical et joue le rôle d'une boucle de retour pour le contrôle de la stimulation. Cette partie réaliserait les fonctions suivantes : la détection du volume vésical; la communication de l'information détectée au contrôleur principal de l'implant; et l'estimation du temps nécessaire pour le remplissage de la vessie.

MÉTHODOLOGIE:

Nous avons procédé à l'examen des techniques de surveillance des activités neuronales et nous avons opté au prélèvement de l'électroneurogramme (ENG) relié à la vessie. L'incertitude dans cette approche est que l'on ignore l'allure des signaux qui innervent la vessie et la difficulté reliée à leur mesure car ils sont, en général, de très faible amplitude, de basse fréquence et sont contaminés par de l'interférence (l'électromyogramme « EMG, 60Hz, etc.) Pour atteindre nos objectifs, nous avons divisé le travail en deux étapes : Concevoir et réaliser un système d'acquisition de signal par ordinateur pour déterminer le comportement du signal nerveux en fonction du volume de la vessie, concevoir et réaliser un circuit intégré CMOS qui est en mesure d'accomplir les fonctions du système d'acquisition ainsi que les fonctions de traitement du signal pour pouvoir générer l'information sur l'état du volume de la vessie. Le système intégré proposé englobe un amplificateur d'instrumentation (amplificateur différentiel) à faible bruit, un circuit de traitement du signal analogique composé d'un redresseur, deux intégrateurs en série avec une remise à zéro; cette partie réalise la fonction RBI (Redressement et Bin-Intégration), un convertisseur analogique-numérique, et un bloc de contrôle de l'ensemble. La fonction RBI sera complétée après la conversion avec un additionneur. Le circuit sera ensuite implémenté et fabriqué en technologie CMOS. Des tests au laboratoire et in vivo suivent pour déterminer ses performances.

RÉSULTATS:

La première composante du circuit intégré a été conçue, réalisée et testée avec de bons résultats. Nous avons conçu le circuit de traitement. La conception des autres parties avec la technique des capacités commutées est complétée. L'architecture différentielle est adoptée pour améliorer le rapport signal sur bruit. Nous sommes dans la phase du layout qui sera soumis à la fabrication au début de l'année prochaine.

TITRE:

Contrôleur externe dédié à un implant visuel

RÉSUMÉ:

Le projet consiste à développer une série d'algorithmes de traitement et d'amélioration d'images destinées à un implant visuel. La deuxième phase consiste à intégrer sur une même puce toutes les parties du contrôleur externe qui ont été développées dans les prototypes précédents. Les différentes parties comprennent entre autre un capteur d'image de type CMOS, un convertisseur analogique à numérique (CAN) de type semi-flash, une unité de traitement numérique servant à améliorer les caractéristiques visuelles des images et une unité de formation de mots de commandes définissant les paramètres de stimulation.

PROBLÉMATIQUE:

Pour permettre aux non-voyants de récupérer une vision fonctionnelle, nous utilisons un implant de type cortical, c'est-à-dire que la stimulation s'effectue directement dans le cerveau. Le stimulateur visuel est constitué de deux parties: la partie implantable (ou implant) et le contrôleur externe. Le but du présent projet est de procéder à l'intégration sur une seule puce des fonctionnalités qui ont été préalablement testées avec les prototypes précédemment réalisés. Une fois l'intégration terminée, le système devra être capable de transformer une scène réelle en information de stimulation.

MÉTHODOLOGIE:

L'image est acquise grâce à un capteur fabriqué avec un procédé CMOS standard. Chaque pixel est numérisé avec un CAN semi-flash et mémorisé dans une cellule de mémoire ayant les mêmes dimensions que l'image. Une unité de traitement numérique se charge alors de procéder à une égalisation d'histogrammes résultant en une luminosité plus équilibrée et de meilleurs contrastes. Certaines étapes supplémentaires sont présentement en étude et seront évaluées lors des essais in-vivo. Ces étapes comprennent de la détection de contours et de la détection de mouvements. L'image est ensuite transférée parallèlement dans une autre cellule de mémoire où elle est balayée de façon non séquentielle correspondant au balayage effectué par l'implant. Le balayage non séquentiel est nécessaire puisqu'il est impossible de stimuler deux sites rapprochés à l'intérieur d'un certain intervalle de temps (temps de repolarisation). L'image est finalement encodée en mots de commande.

RÉSULTATS:

L'unité d'égalisation des images a été testée avec succès. Un prototype en temps réel est présentement fonctionnel. Ce prototype utilise une caméra USB et un ordinateur PC/AT compatible. De nouveaux algorithmes de traitement d'images sont présentement en test. Une solution générale et adaptative est présentement en phase de conception.

TITRE:

Réalisation d'un multiplieur de tension à efficacité élevée pour alimenter les implants biomédicaux.

RÉSUMÉ :

L'usage d'un multiplieur de tension est une composante essentielle dans un circuit de stimulation de nerfs, lorsque ce dernier est réalisé avec les nouvelles technologies à échelle extrêmement réduite. Un multiplieur de tension adapté, peut fournir de façon efficace assez de charge par phase de stimuli, pour les différentes électrodes de contact avec les tissus qui ont différentes impédances. L'application de la technologie CMOS a comme conséquence l'intégration des éléments d'un circuit en terme de surface et de puissance, tout en permettant de faibles coûts, une performance élevée et une grande fiabilité pour les applications à basse fréquence.

PROBLÉMATIQUE :

Avec l'évolution de la technologie, la tension nominale d'alimentation est de plus en plus réduite tandis qu'une stimulation nerveuse effective exige une certaine quantité de charge. En outre, des sites de stimulation nerveuse différents ont des électrodes d'impédances différentes. Par conséquent, un élévateur de tension adapté est nécessaire pour résoudre le problème.

Les multiplieurs de tension sont composés de pompe à charge et de commutateurs, qui peuvent tous les deux être réalisés en technologie CMOS. Le défi principal pour un tel module est l'efficacité en terme de puissance dont la dégradation significative et due à la tension de seuil, aux capacités parasites, à l'effet de substrat, aux pertes dynamiques dans les commutateurs et aux fuites à travers certains éléments du circuit. Par conséquent, pour augmenter cette efficacité, il est nécessaire d'utiliser certains circuits ou techniques complémentaires tels que les générateurs d'horloge sans recouvrement, les circuits à décalage de niveau et la technique de commutation du substrat.

MÉTHODOLOGIE :

Nos recherches de la littérature abordant le sujet ont permis de collecter un nombre significatif de paramètres pour la conception du circuit approprié. Il s'agit de paramètres relatifs à la simplicité du circuit et la facilité de son implémentation, à son architecture intégrable, à son efficacité en ce qui concerne la puissance et au niveau maximal du courant de sortie. Ensuite, nous avons décelé les contraintes existantes dans un implant afin de trouver l'architecture appropriée de conversion de puissance. Ceci nous a mené à nous pencher sur le concept du redresseur actif. Plus tard, nous devons examiner le concept d'un doubleur de tension à grande efficacité et à courant élevé.

RÉSULTATS :

Une nouvelle architecture pour la chaîne de conversion de puissance comprenant un redresseur actif a été présentée et une amélioration significative de l'efficacité en matière de puissance a été calculée. Le bloc du multiplieur de tension avec la sélectivité appropriée de tension est maintenant sous expérimentation.

TITRE :

Une méthode de dérivation de modèles de processeurs embarqués dédiés à une application et un modèle de processeur de traitement de signal conçu pour l'implanter.

RÉSUMÉ:

Le projet consiste à modifier et adapter une architecture de processeur de traitement de signaux de type SIMD, de façon à pouvoir synthétiser le circuit minimal permettant d'exécuter une application logicielle spécifique sur celui-ci. Pour ce faire, on doit avoir une version entièrement configurable et optimisable du modèle VHDL synthétisable. De plus, on doit avoir un jeu d'outils logiciels permettant d'optimiser le modèle en fonction de l'application visée. Ceux-ci permettent d'optimiser la synthèse du circuit final en tenant compte de l'application visée et des ressources requises pour s'exécuter correctement.

PROBLÉMATIQUE:

Avec l'avènement de circuits intégrés complexes permettant la réalisation de systèmes complets sur un seul circuit, l'utilisation de modèles de processeurs (cores) dans la conception de systèmes embarqués est devenue un choix pratique et économique au point de vue du temps de développement. En effet, le concepteur n'a qu'à choisir un modèle de processeur et écrire l'application qui va être exécutée sur celui-ci. Toutefois, ceci produit un gaspillage des ressources au niveau du circuit qui va être produit. En effet, comme celui-ci n'a pas été conçu en fonction de l'application spécifique visée, de nombreuses composantes du circuit risquent de ne pas être utilisées lors de l'exécution du programme. En générant un circuit optimisé pour une application spécifique, on élimine le gaspillage de ressources, que l'on pourra réallouer à d'autres fins dans le système embarqué.

MÉTHODOLOGIE:

Une nouvelle architecture adaptée de l'architecture PULSE doit donc être développée de façon à permettre une optimisation automatique du circuit en fonction de l'application. Le contrôleur et le chemin de données doivent être codés de façon à pouvoir être modifiés globalement de façon automatique.

Un outil logiciel permettra ensuite l'analyse du microcode d'une application. Ensuite, on procédera à une optimisation automatique du circuit et du microcode en fonction de cette analyse. Le circuit final sera ensuite synthétisé par un outil de synthèse commercial.

RÉSULTATS:

Un modèle complètement configurable, optimisable et synthétisable d'une nouvelle architecture de processeur de traitement de signal de type SIMD a été développée.

L'outil d'optimisation permettant de générer le modèle minimal de processeur nécessaire à l'exécution d'une application spécifique a été conçu.

Des études de cas ont été réalisées à l'aide de l'outil et du modèle de processeur. Celles-ci ont démontré la validité de la méthode de dérivation; elle a permis de générer des processeurs beaucoup plus simples pour des applications dédiées.

TITRE:

Techniques CMOS sans-fil dédiées aux liens électromagnétiques de dispositifs médicaux implantables.

RÉSUMÉ:

Les dispositifs électroniques médicaux dédiés à être implantés dans le corps humain pour palier à une défaillance doivent être de dimensions réduites et très fiables. Ces circuits ont besoin d'alimentation électrique et d'une façon de communiquer de l'information avec le monde extérieur. Pour éviter de multiples chirurgies, nous visons à transmettre énergie et données à distance. Le travail s'effectue selon les spécifications précises d'un implant redonnant la vue aux aveugles.

PROBLÉMATIQUE:

L'intégration de circuits de réception de signaux à fortes amplitudes et l'extraction et la régularité de l'énergie pour alimenter les implants représentent un défi de taille. Les dispositifs implantés doivent pouvoir fonctionner en tout temps et sans restreindre la mobilité du sujet. C'est pourquoi, l'efficacité de transmission d'énergie est très importante, elle permettra de réduire la quantité de batteries externes nécessaires. De la même manière, le circuit de réception de données doit être très modeste dans sa consommation de puissance. De plus, la transmission de données partant de l'implant doit se faire sans perturber l'arrivée de puissance.

MÉTHODOLOGIE:

En se basant sur les résultats de recherche sur le sujet de notre équipe, nous ferons une étude de techniques existantes et nous proposerons de nouvelles techniques de conception pour intégrer des fonctions RF dédiées. En effet dans le but de transmettre de l'énergie à un implant avec une bonne efficacité, le système proposé devrait ajuster la quantité de puissance envoyée selon les besoins de l'implant. Ainsi, il faut que l'implant retourne de l'information sur l'état de sa tension d'alimentation. Celle-ci sera maintenue constante à l'aide d'un régulateur du côté du circuit externe. Ce dernier doit aussi être optimisé. Les différents types d'amplificateurs haute performance sont donc à l'étude. Du côté des données, la bidirectionnalité simultanée est nécessaire pour permettre une bonne régulation de puissance tout en gardant un bon débit de données entrantes (dans l'implant). Les normes et régulations étant limitantes, nous nous proposons d'effectuer la communication bidirectionnelle sur la même onde porteuse, à une fréquence permise. Au niveau de l'implant, ceci implique une modulation passive (modulation de charge), ainsi que la démodulation en phase. L'inverse doit se faire du côté du circuit externe. Les circuits qui se trouveront sur un implant doivent être simples et avoir une très basse consommation de puissance.

RÉSULTATS:

Pour l'instant, nous avons réalisé trois architectures différentes d'un circuit régulateur de tension en CMOS P18 et les résultats de simulation ont montré sa bonne fonctionnalité. La puce proposée a été implémentée et elle est présentement en fabrication par la Société Canadienne de Microélectronique.

TITRE:

Méthode de conception pour la mise en œuvre d'un système ultrasonique à grand niveau d'intégration sur un nombre restreint de puces.

RÉSUMÉ:

Depuis quelques décennies, l'imagerie médicale est employée pour estimer le volume des organes du corps humain et afficher leur image sur un moniteur. La technique d'estimation employée est basée sur la propagation du faisceau ultrasonore et la détection des échos pour l'estimation de volume et l'affichage de l'image.

Les grandes dimensions des systèmes ultrasoniques utilisées, les performances non satisfaisantes que ces systèmes offrent, ainsi que les progrès soutenus en microélectronique nous motivent à miniaturiser de tels systèmes. La miniaturisation de plusieurs blocs de circuits mixtes (Analogique/Numérique) constituant un tel système, représente un défi de taille dans ce domaine.

PROBLÉMATIQUE :

Nous proposons dans ce projet, une architecture d'un système ultrasonique en temps réel qui peut être miniaturisé. Cette architecture englobe 4 blocs principaux: analogique qui sert à pré amplifier les signaux d'entrée à faible amplitude, processus de pré-traitement qui sert à déterminer l'image et processus de post-traitement est introduit et sert à sélectionner des zones qui doivent être privilégiées par un nombre de niveaux de gris (amplitude) plus ou moins élevé et ensuite une décompression (conversion D/A) restitue un signal vidéo à partir des données numériques et finalement l'affichage, l'image examinée est visualisée sur un écran LCD.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Concevoir un convertisseur analogique/numérique fonctionnant à haute fréquence pour permettre d'assurer le traitement requis.
- Simulation du diagramme blocs par le logiciel MATLAB pour valider le bon fonctionnement;
- Simulation au niveau système regroupant des parties analogiques et numériques, en utilisant un logiciel VCC (ou autre logiciel) pour permettre la conception System On Chip (SoC);
- Analyse des résultats en comparant avec les différentes étapes et outils de simulation;
- Validation de l'ensemble du système à l'aide de puces fabriquées.

RÉSULTATS :

Quelques résultats préliminaires ont été trouvés dans la première partie de ce projet.

TITRE:

Méthodes de conception pour la testabilité des circuits CML bipolaires.

RÉSUMÉ:

Les technologies de type bipolaire, et en particulier, la technologie CML, sont peu étudiées et documentées. En ce qui concerne les méthodes de test pour les circuits conçus avec ces technologies, rien de spécifique n'existe et les méthodes conventionnelles, employées par exemple avec des circuits CMOS, ne sont pas suffisantes pour garantir une couverture de faute adéquate. À partir de propositions découlant de travaux antérieurs, quelques méthodes spécifiques à la technologie CML seront étudiées.

PROBLÉMATIQUE:

La majorité des techniques de détection de fautes reposent sur le fait qu'un défaut de fabrication se traduit souvent par un collage. Les collages dans un circuit CML représentent seulement une portion des fautes que l'on peut détecter. En effet, parmi les caractéristiques de la technologie CML, on note la capacité de régénération du signal d'un niveau de circuit à l'autre: une porte avec un défaut voit son signal de sortie altéré, mais après un ou quelques niveaux suivants, le signal aura retrouvé sa valeur nominale; il y aura donc masquage de la faute. Donc toute technique reposant sur l'évaluation du niveau des signaux aux ports de sortie est insuffisante.

Une technique de test pour les circuits CML doit, soit viser une détection plus fine, soit annuler l'effet du masquage.

MÉTHODOLOGIE:

Les méthodes envisagées reposent principalement sur deux mesures des signaux de sortie: l'amplitude du signal et la marge de bruit. Ces méthodes n'ont pas été caractérisées dans un contexte global et la procédure d'application pour le test n'a pas encore été élaborée. Les différentes étapes proposées pour atteindre l'objectif d'une méthode de test adaptée aux circuits CML sont:

- Caractérisation des méthodes proposées;
- Analyse de leur effet sur la couverture de fautes;
- Étude d'une proposition d'amélioration de certaines de ces méthodes;
- Proposition d'implantation au niveau masque;
- Évaluation des possibilités de modification après conception.

RÉSULTATS:

La première phase du projet consiste en l'étude du BAS (Bias Alteration Stressing). La deuxième phase consiste en l'étude du ITT (Imbalance Testing Technique). Nous explorerons les problèmes posés par l'ITT ainsi que leurs solutions. L'implémentation de ces méthodes de test a été analysée pour déterminer leur efficacité.

TITRE:

Caractérisation de la fiabilité et du coefficient en température des liens diffusés par faisceau laser.

RÉSUMÉ:

Beaucoup de circuits analogiques et mixtes utilisent des résistances de précision calibrées par laser pour ajuster précisément le comportement du circuit. Il a été démontré que les résistances diffusées peuvent être utilisées comme résistance à très haute précision.

PROBLÉMATIQUE:

Avant la mise en marché d'un nouveau produit, on doit d'abord le caractériser. Au nombre des tests à effectuer figurent la caractérisation du coefficient en température, soit la variation de la résistance du dispositif avec la température, et la caractérisation de la fiabilité, soit la durée de vie du dispositif.

MÉTHODOLOGIE:

La caractérisation en température est effectuée en mesurant la résistance des liens diffusés à différentes températures allant de 20 à 125 degrés celsius.

La fiabilité est caractérisée par un test de dégradation accéléré thermiquement. La théorie d'Arrhénius est appliquée pour extrapoler la durée de vie des liens diffusés à la température d'opération.

RÉSULTATS:

La caractérisation en température a donné des résultats intéressants. Les résistances diffusées de valeur inférieure à 1.5 kohms présentent un coefficient en température positif et celles de valeur supérieure à 3 kohms présentent un coefficient en température négatif. Entre ces deux valeurs, la courbe de résistance en fonction de la température montre un minimum. En contrôlant la largeur et la position de ce minimum, on pourrait fabriquer des résistances qui présentent un coefficient en température près de zéro autour de la température d'opération.

L'analyse des courbes courant-tension a révélé que le comportement électrique des liens diffusés par laser est dû à basse tension à la dérive des porteurs : le courant est d'abord linéaire avec la tension et il sature ensuite. À plus haute tension, le courant augmente rapidement. La cause de ce phénomène n'a pu être expliquée.

Les tests de durabilité ont démontré un vieillissement prématuré des résistances diffusées. Ce vieillissement prématuré semble être dû à l'activation par rapport thermique des dopants redistribués lors de la fabrication de la résistance. Des essais de recuit tendent à appuyer cette hypothèse. Une fois recuit, les résistances présentent une bonne stabilité.

La durée de vie des liens diffusés n'a pu être déterminée à cause d'un manque de temps.

TITRE:

Étude de performance d'un estimateur fréquentiel rapide pour un système de caractérisation d'émetteur radar.

RÉSUMÉ:

La caractérisation de signaux radars, qui consiste à extraire certains paramètres utiles est une fonction fondamentale pour tout système militaire de surveillance. On utilise des algorithmes tel que IMOP (Intentional Modulation On Pulse) qui, par le traitement du signal radar numérisé, permet la caractérisation de ces derniers. Les paramètres extraits sont ainsi utilisés à l'intérieur du système afin d'identifier ou de positionner la source des signaux radars. La principale fonction des algorithmes de caractérisation est d'estimer, de façon périodique, la fréquence du signal capté. Un estimateur fréquentiel nommé Crozier a spécialement été conçu pour les besoins de cette application. L'efficacité des algorithmes de caractérisation repose en majeure partie sur la vitesse de calcul de l'estimateur fréquentiel. L'objectif du projet consiste à exploiter les technologies modernes afin d'implanter et d'intégrer efficacement l'estimateur de Crozier au système de caractérisation de signaux radar.

PROBLÉMATIQUE:

L'utilisation abondante de l'estimateur Crozier par les algorithmes de caractérisation nécessite un traitement très rapide de ce dernier. On estime que le délai de calcul de l'estimateur doit être inférieur à 5 μ s. Dû à la complexité de l'algorithme de Crozier et à la nature séquentielle des processeurs commerciaux, le traitement logiciel de l'algorithme s'avère insuffisant. D'autres méthodes d'implantation doivent donc être étudiées afin de satisfaire le rendement exigé par les algorithmes de caractérisation. De plus, le type d'implantation doit considérer l'intégration au niveau système de l'algorithme. L'intégration de l'estimateur doit ainsi viser une plate-forme de type système sur puce en considérant des implantations logicielles-matérielles ou logicielles-logicielles.

MÉTHODOLOGIE:

La démarche consiste d'abord à cibler des technologies ou plates-formes d'intégration propices aux implantations non seulement de l'estimateur Crozier mais de l'algorithme de caractérisation (IMOP). Une analyse algorithmique de l'estimateur doit ensuite être produite afin de déterminer des architectures optimisées pour chaque type d'implantation. La dernière étape consiste à faire une analyse de coût et performance pour chaque type d'implantation.

RÉSULTATS:

Deux approches ont été ciblées pour l'implantation du système de caractérisation : logicielle-matérielle et logicielle-logicielle. La première approche vise une plate forme système sur puce telle que le Integrator de ARM. Cette plate-forme dispose, en plus, d'un FPGA Vixtex 1000 de Xilinx, de deux processeurs : les ARM7DMI et ARM940T. Une architecture matérielle de Crozier a été développée pour le FPGA. Une implantation préliminaire de cette architecture a démontré que l'algorithme de Crozier pouvait produire une estimation de fréquence en moins de 4 μ s pour des signaux de 100 échantillons et moins.

La seconde approche vise une plate-forme logicielle-logicielle constituée d'un ensemble de processeurs de haute performance telle que le Pentium III. Afin de satisfaire les critères de performance exigés, l'implantation logicielle de l'estimateur de Crozier doit utiliser les extensions de jeux d'instructions MMX et SIMD par le biais des bibliothèques optimisées d'Intel. Des travaux en ce sens ont été amorcés et ont démontré que l'on pouvait, en utilisant ces bibliothèques, accélérer par un facteur proche de 4 le traitement logiciel de l'estimateur.

La suite des travaux sur l'estimateur de Crozier et les algorithmes de caractérisation consiste, d'abord, à finaliser l'implantation et l'intégration de ceux-ci sur le ARM Integrator. Ensuite, poursuivre les recherches sur le traitement logiciel au moyen de processeurs de haute performance. Finalement, produire une analyse de coût et de performance pour chacune des approches.

TITRE:

Optimisation paramétrique de circuits analogiques par l'intermédiaire des algorithmes génétiques.

RÉSUMÉ:

Le projet consiste à concevoir un logiciel permettant d'optimiser une large gamme de circuits analogiques tels que :

- Amplificateur opérationnel de grande précision;
- Référence de tension de grande stabilité;
- Oscillateur.

PROBLÉMATIQUE:

L'électronique analogique est un domaine relativement complexe en ce qui concerne le dimensionnement des composants d'un circuit analogique afin de réaliser une fonction spécifique. Le problème du dimensionnement est normalement de type NP-complet.

La démarche analytique permet régulièrement de résoudre les tailles des composantes afin d'obtenir un circuit fonctionnel. Cependant, comme il est souvent le cas, l'analyse théorique doit se limiter à des relations et des modélisations des composants microélectroniques restreintes au premier ordre. En tenant compte des effets d'ordre supérieur, on obtient rapidement des équations transcendantes résolubles seulement par analyse numérique. À ce point, il devient préférable d'utiliser un simulateur de circuit qui est spécialisé dans cette tâche.

Le but est de trouver pour un circuit de moyenne complexité (20-50 transistors), à topologie fixée, les tailles (paramétriques) des composants (résistance, condensateur, transistor,...) afin de rencontrer les spécifications désirées ainsi que d'autres fonctionnalités supplémentaires dictées par le concepteur. Pour ce faire, nous utilisons une démarche d'optimisation basée sur une méthode d'essai et erreur utilisant la grande précision d'un simulateur de circuits microélectroniques.

Plus spécifiquement, nous utilisons ici un algorithme évolutif de type génétique jumelé au simulateur de circuit HSpice. Le but étant d'optimiser un circuit de manière à rencontrer les spécifications de fonctionnement dictées par le concepteur à travers une interface graphique.

MÉTHODOLOGIE:

Le projet sera réalisé en couvrant les étapes suivantes:

- Recherche bibliographique sur les méthodes d'optimisation;
- Recherche bibliographique sur les topologies de circuit;
- Programmation du logiciel et de son interface graphique;
- Réalisation matérielle des circuits optimisés.

RÉSULTATS:

Le logiciel est terminé et en cours d'utilisation. Une gamme de circuits de référence de tension de bonne performance ont été obtenus. Plusieurs de ces circuits seront proposés à la fabrication ASIC.

TITRE :

Conception de patrons dédiés à l'implantation d'une plate-forme de vérification fonctionnelle de modèles matériels.

RÉSUMÉ :

Ce projet traite de l'élaboration d'une plate-forme générique de vérification fonctionnelle. Des patrons génériques de conception haut-niveau réutilisables dédiés à la vérification fonctionnelle seront d'abord définis. Chaque patron générique de vérification sera configuré pour être intégré à un environnement de vérification précis. La configuration de ces patrons se fera grâce à l'automatisation du processus de définition des différents aspects des patrons. L'implantation de cette architecture se fera en langage e, un langage possédant des propriétés dédiées à la vérification fonctionnelle.

PROBLÉMATIQUE :

La vérification fonctionnelle de modèles de conception matérielle est une des tâches les plus ardues du processus de conception. En effet, puisque la complexité des circuits microélectroniques contemporains augmente sans cesse, la vérification de modèles de conception matérielle est devenue un goulot d'étranglement dans tout processus de conception. Présentement, les obstacles auxquels les concepteurs font face sont la génération d'une grande quantité de stimuli efficaces, la découverte d'erreurs de conception en déployant le moins d'effort possible et l'émulation adéquate de l'environnement d'utilisation du design à l'intérieur d'un banc d'essais. C'est pour ces raisons que la vérification est aujourd'hui la cible de nouveaux outils et de nouvelles méthodologies. Ceux-ci ont pour but de réduire le temps du processus de vérification en permettant un parallélisme des efforts, des niveaux d'abstractions plus élevés ainsi que l'automatisation de certaines tâches.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Proposer un partitionnement par aspects pour rehausser le niveau de réutilisation lors de l'élaboration d'environnements de vérification;
- Proposer des patrons de conception génériques pour implanter chaque module fonctionnel d'un environnement de vérification;
- Implantation des différents patrons du langage E;
- Élaboration d'outils pour configurer l'architecture de vérification implantée.

RÉSULTATS :

Nous avons proposé un partitionnement par aspect générique pour toute implantation d'environnement de vérification. Ces résultats seront présentés à la conférence HDLCON 2002.

TITRE:

Conception de modules matériels réutilisables pour un réducteur de bruit vidéo.

RÉSUMÉ:

Ce projet est développé en étroite collaboration avec la société Miranda. Il consiste à implanter dans un FPGA, un réducteur de bruit vidéo (bruit de moustique) pour la norme HDTV, ainsi que son optimisation. L'optimisation consiste d'une part à minimiser le matériel nécessaire à la fonctionnalité, mais aussi, au niveau méthodologique, à réduire le temps de développement de tels systèmes matériels.

PROBLÉMATIQUE:

L'algorithme à implanter est d'une grande complexité, requérant plus de 300 opérations sur chaque pixel. Devant travailler sur des données vidéo au format HDTV (arrivant à un débit de 75 MHz), le circuit doit effectuer plus de 20 milliards d'opérations à la seconde. Une architecture dédiée, massivement parallèle est indispensable, tout en trouvant des méthodes innovantes pour minimiser le matériel requis. Concernant la minimisation du temps de développement, des méthodes existent, mais ne sont pas adaptées au contexte, puisque généralement trop lourde à mettre en œuvre.

MÉTHODOLOGIE:

Le travail se décompose en plusieurs étapes :

- Une implantation initiale, non optimisée, a été effectuée pour d'une part prouver sa faisabilité, mais surtout pour bien comprendre et assimiler l'algorithme. Une étude de la complexité nous permet de concentrer nos efforts sur les modules à fort potentiel d'optimisation.
- L'optimisation matérielle a consisté d'une part à analyser en détail l'architecture pour minimiser la taille de chaque donnée. La seconde voie a été d'étudier et de concevoir une unité virgule flottante configurable comme moyen d'optimiser le chemin de données et les opérateurs.
- L'accélération du temps de développement a nécessité la mise en place d'une méthode complète pour la réutilisation des modules matériels (*design-reuse*). Après assimilation des méthodes existantes, mal adaptées au contexte, nous avons développé notre propre méthode en s'inspirant des méthodes existantes. Plusieurs stratégies sont également proposées pour mettre en place efficacement de telles méthodologies dans un environnement industriel.

RÉSULTATS:

L'implantation initiale a été concluante puisque fonctionnelle au niveau simulation. Toutefois, le matériel requis était trop important. Une optimisation par analyse détaillée de chaque module a permis d'économiser 40% de matériel par rapport à l'implantation initiale.

Concernant la méthodologie *design-reuse*, elle a été suivie pour développer plusieurs modules de complexité moyenne, par plusieurs personnes et de plus, moyennant un effort supplémentaire à la conception, la réutilisation de ceux-ci ne coûtait que quelques pourcents de plus du côté de conception.

TITRE :

Conception d'un démonstrateur WSI (Wafer Scale Integration).

RÉSUMÉ :

Ce projet vise à étudier plusieurs aspects sur la conception de systèmes WSI. Ces aspects incluent les longues interconnexions, l'impact des gradients thermiques sur les biais de synchronisation, la tolérance et les stratégies de test.

PROBLÉMATIQUE :

L'objectif de ce projet est de caractériser les biais de synchronisation induits par les gradients de température. La déviation maximale devrait être estimée. Un autre objectif est de développer une stratégie de configuration consacrée à une structure de débit élevé. Le dernier objectif de ce projet est de développer une configuration de contrôle et une stratégie de test des interconnexions.

MÉTHODOLOGIE :

Les déviations temporelles induites par les gradients thermiques devraient être étudiées par l'analyse théorique et caractérisées par la simulation. La stratégie de configuration préférée devrait être mise en application dans un prototype.

RÉSULTATS :

Il y a une déviation approximativement linéaire induite par le gradient de température. 70% de la déviation induite par le gradient de température est contribué par la variation de résistance, qui est le phénomène dominant. Le biais induit par le gradient de la température est négligeable pour des interconnexions locales ainsi que pour les bus globaux.

Basé sur un travail antérieur, on propose un arrangement de la logique de configuration. Des algorithmes de configuration et les procédures de test, de diagnostic et de configuration sont étudiés. Une puce prototype avec 3 x 3 cellules contrôlées par une chaîne de balayage IEEE 1149.1 a été conçue et fabriquée.

L'IEEE 1149.1 est exploitée pour exécuter la configuration et le test à l'échelle de la tranche. Une chaîne de balayage tolérante aux pannes basée sur IEEE 1149.1 a été proposée.

TITRE :

Conception d'un convertisseur A/D Sigma Delta CMOS à basse alimentation et faible consommation d'énergie.

RÉSUMÉ :

Le projet consiste à concevoir un convertisseur Sigma Delta basé sur la technologie CMOS 0.18 micron, à faible alimentation et consommation de puissance. La fréquence d'échantillonnage désirée est 2 MHz avec un rapport de sur échantillonnage de 100.

PROBLÉMATIQUE :

La conversion Sigma Delta devient la méthode la plus populaire pour réaliser un convertisseur analogique à numérique à haute résolution et à faible alimentation et consommation de puissance. La réalisation de ce convertisseur basé à des capacités commutées devient un problème sérieux pour les circuits à faible alimentation.

MÉTHODOLOGIE :

La méthode prévue pour compléter le présent projet comprendra les étapes suivantes :

- Étude bibliographique détaillée des topologies existantes ;
- Étude théorique détaillée, simulation et caractérisation du design ;
- Proposition d'une méthode pour améliorer les performances ;
- Conception et évaluation d'un modulateur Sigma-Delta opérant à très basse tension d'alimentation
- Réalisation d'un ADC à faible consommation..

RÉSULTATS :

Les éléments constituant un modulateur Sigma Delta (comparateur, intégrateur,) de second ordre ont été examinés et l'obtention de nouvelles performances a été prouvée. Nous prévoyons fabriqué une puce dans les meilleurs délais pour valider nos simulations.

TITRE:

Une analyse des invalides dans un flat vidéo et conception d'une interface SDRAM

RÉSUMÉ ;

L'analyse des invalides consiste à déterminer la distribution des pixels invalides, introduite dans une interface VIP. Ce projet modifie l'interface VIP, conçue par MiroTech Microsystems Inc., afin qu'elle envoie les contrôles du signal vidéo_data vers une FIFO reliée à un ordinateur par un bus PCL. La lecture de la FIFO nous donne la distribution des invalides parmi les autres contrôles du signal.

L'interface SDRAM offre un support pour les développements reliés aux opérateurs de traitement d'images, qui sont basés sur des tampons d'images. Le projet développe les idées déjà traitées par MiroTech Microsystems Inc., qui a implémenté une interface dans une première version, qui vérifie la fonctionnalité de la SDRAM sur la carte Black Magic, mais qui ne supporte pas les données appartenant aux trames d'image. La plupart des composants contenus dans le générateur de commandes de la version précédente ont été changés. Les générateurs des adresses et des données pour l'écriture et pour la lecture de la SDRAM ont été réalisés au complet.

PROBLÉMATIQUE :

Pour mieux implémenter les opérateurs de traitement d'image, il est nécessaire de connaître la distribution des invalides, parmi les autres contrôles du signal vidéo_data. La plupart des invalides sont générés au niveau de l'interface VIP par la conversion du signal de la caméra en signal vidéo_data. La cause est dans la différence de fréquence à laquelle la caméra transmet par rapport à la fréquence de travail du FPGA.

Pour la synchronisation de deux flots d'image à l'entrée d'un opérateur de traitement d'image et pour le design de certains noyaux de traitement d'image, un tampon de retard des trames d'image est demandé. La SDRAM disponible sur la plate forme peut servir de tampon de retard.

MÉTHODOLOGIE :

L'interface VIP fait l'insertion de pixels invalides pour les cycles d'horloge pour lesquelles il n'y a pas de données valides. Le FPGA transmet au FIFO externe à une fréquence plus grande que la fréquence du PC, donc le flot des données à l'entrée de FIFO comporte plus de données que le flot de données à la sortie (vers le PC) du FIFO. La méthode adoptée pour comprimer le flot de données (données sur 8 bits) est de représenter sur 3 bits le type de mot de contrôle et sur les 5 bits restants le nombre de pixels consécutifs du même type. Ce design est modulaire, chaque composant étant décrit en VHDL par une entité. Un programme écrit en Visual C++ fera la lecture du FIFO et l'affichage des résultats concernant la distribution des invalides.

L'interface PCI envoie l'image vers l'interface SDRAM qui réalise l'écriture des données sur SDRAM à l'adresse désirée par le biais du générateur (d'écriture) des adresses et du générateur des données (représenté par un convertisseur série parallèle). Par le biais du générateur (de lecture) des adresses, la lecture séquentielle des données, mémorisées en SDRAM, est réalisée et les données lues seront envoyées vers l'interface PCI à l'aide du générateur des données (représenté par un convertisseur parallèle série). Des FIFOs mémorisent les données et les adresses pour qu'elles soient bien synchronisées avec les commandes. Un comparateur d'adresses est utilisé afin d'éviter de faire la lecture d'une donnée à une adresse qui n'a pas été écrite. Le générateur de commandes, en plus de générer les commandes de lecture et d'écriture, réalise l'initialisation et l'auto rafraîchissement distribué de la SDRAM. Le design est modulaire.

RÉSULTATS :

Lors de la simulation sur la carte Black Magic, les résultats obtenus pour une image 638x480 à une fréquence du FPGA de 40MHz, indiquent environ 45000 pixels invalides sont générés au début de chaque trame d'image, environ 2 pixels invalides pour un valide sur chaque ligne. Il y a 364 pixels invalides entre les lignes et environ 484000 invalides à la fin de la trame. La plupart des composants ont été testés avec succès du point de vue simulation fonctionnelle, en utilisant ModelSim. Les autres composants sont présentement en test.

TITRE :

Plate-forme SOC pour la conversion d'une pile de protocoles.

RÉSUMÉ :

Le projet consiste à compléter une architecture d'une plate-forme SOC, permettant la conversion d'une pile de protocoles. Cette maîtrise se focalise sur les algorithmes de conversion, particulièrement sur les protocoles à haute vitesse.

PROBLÉMATIQUE :

L'interconnexion de plusieurs réseaux qui fonctionnent selon des protocoles différents coûte de plus en plus cher aux fournisseurs de services réseaux. L'hétérogénéité des protocoles freine la transparence entre les réseaux. Le temps de traitement des paquets dans les passerelles est très élevé, bien que les vitesses de transmission atteignent des sommets.

Généralement, les solutions existantes sont dédiées à un nombre de protocoles, ainsi il est difficile de réutiliser les composants ou de rajouter un nouveau protocole au processus de conversion. Ce manque de programmabilité et de flexibilité et cette lenteur sont les principales lacunes des solutions actuelles.

MÉTHODOLOGIE :

Le principal but de ce projet est de compléter une architecture matérielle d'un convertisseur de protocoles. Ce convertisseur se caractérise par sa vitesse de traitement et sa réutilisabilité. Vu la complexité de ce projet, une méthode itérative sera employée, à savoir qu'une première itération sera mise en place. Cette dernière comprendra moins de fonctionnalités mais elle permettra d'observer les goulots d'étranglement de l'architecture.

La méthodologie suivante sera suivie durant ces deux prochaines années de recherche :

- Compléter une première architecture existante (itération 1);
- Vérifier et valider l'architecture en utilisant le langage E;
- Mettre en œuvre l'architecture matérielle à l'aide d'une carte de développement ARM7 comprenant un FPGA Xilinx XVC1000;
- Évaluer les performances de cette architecture matérielle;
- Évaluer les performances de cette architecture logicielle;
- Comparer les performances recueillies;
- Trouver un algorithme générique de conversion de protocoles;
- Fournir les algorithmes de conversion;
- Proposer une seconde architecture (itération 2).

RÉSULTATS :

L'architecture matérielle comprend trois blocs. Une première version synthétisable du bloc 1 est en phase de vérification. Des tests évolués ont été générés grâce à l'outil Specman. L'algorithme de conversion X25 à IPv4, ainsi que celui de IEEE 1394.a à IEEE802.3 sont définis.

TITRE :

Étude et réalisation d'un ADPLL avec langage VHDL dédié pour un modem numérique à haute vitesse.

RÉSUMÉ :

Ce projet de recherche consiste à réaliser une boucle à verrouillage de phase complètement numérique ADPLL (All Digital Phase Locked Loop) en technologie CMOS 0.18. Ce circuit est la partie essentielle dans les systèmes de communication et des systèmes de recouvrement d'horloge.

PROBLÉMATIQUE :

Dans le domaine des communications, la transmission des données entre plusieurs circuits intégrés pose un défi véritable avec l'augmentation du débit de transmission durant ces dernières années. Pour cela, il faut réaliser un système fiable, stable et avec un minimum de bruit pour la transmission correcte des données.

L'ADPLL représente une fonction essentielle en raison de l'augmentation des fréquences d'horloge utilisées dans les systèmes synchrones. La performance des systèmes synchrones est directement liée donc à celle des systèmes de distribution d'horloge. Nous prévoyons proposer un circuit fiable ayant une consommation d'énergie relativement faible, une fréquence d'environ 200 MHz et une vitesse de verrouillage rapide.

MÉTHODOLOGIE :

La méthodologie de conception que l'on a adoptée pour ce projet est comme suit :

- Conception d'un ADPLL de base fonctionnelle;
- Réalisation et test de l'ADPLL sur une carte de développement à circuits programmables (ALTERA)
- Amélioration de l'architecture de base :
 - Augmentation de la fréquence de fonctionnement;
 - Diminution du temps de verrouillage;
- Réalisation de l'ADPLL avec la technologie 0.18µm;
- Application dans le domaine de modems.

RÉSULTATS :

Nous avons réalisé un ADPLL, les résultats obtenus avec l'outil Synopsys et la carte ALTERA confirment la fonctionnalité de ce circuit.

TITRE:

Caractérisation d'une méthode de test pour les circuits bipolaires CML basée sur l'injection de biais contrôlés.

RÉSUMÉ:

Les technologies de type bipolaire, et en particulier, la technologie CML, sont peu étudiées et documentées. En ce qui concerne les méthodes de test pour les circuits conçus avec ces technologies, rien de spécifique n'existe et les méthodes conventionnelles, employées par exemple avec des circuits CMOS, ne sont pas suffisantes pour garantir une couverture de faute adéquate. Des travaux antérieurs permettent de croire qu'une méthode de test injectant des biais contrôlés pourrait améliorer la couverture de fautes.

PROBLÉMATIQUE:

La majorité des techniques de détection de fautes reposent sur le fait qu'un défaut de fabrication se traduit souvent par un collage. Les collages dans un circuit CML représentent seulement une portion des fautes que l'on peut détecter. En effet, parmi les caractéristiques de la technologie CML, on note la capacité de régénération du signal d'un niveau de circuit à l'autre: Une porte avec un défaut voit son signal de sortie altéré mais après un ou quelques niveaux suivants, le signal aura retrouvé sa valeur nominale; il y aura donc masquage du défaut. Donc, toute technique reposant sur l'évaluation du niveau des signaux aux ports de sortie est insuffisante.

Une technique de test pour les circuits CML doit viser une détection plus fine, ce qui peut devenir coûteux. Il faut trouver une façon de propager l'altération du signal jusqu'aux ports de sortie. Une telle méthode a été proposée par IBM: il s'agit d'injecter un biais sur le signal de sortie de sorte que l'effet supplémentaire causé par une panne produira un niveau de signal tel qu'il ne pourra plus être régénéré et qu'il causera alors un collage. La détection est alors aussi simple que dans les techniques usuelles.

MÉTHODOLOGIE:

Cette méthode de test n'a pas été documentée. Il nous faut donc déterminer les règles de design des circuits CML incorporant cette technique ainsi que les règles de son utilisation. Pour ce faire, les différentes étapes proposées pour atteindre l'objectif d'une méthode de test adaptée aux circuits CML sont:

- Caractérisation de l'effet de l'injection des biais sur une porte CML;
- Étude de la relation entre la force du biais et la couverture de pannes;
- Étude d'une proposition d'amélioration de la méthode;
- Caractérisation de l'injection de biais dans un circuit complexe en vue d'obtenir des règles d'application;
- Évaluation des possibilités de modification après conception.

RÉSULTATS:

Dans un premier temps, un outil d'aide à la conception du circuit d'injection de biais a été conçu (dans le but d'accélérer le calcul des composantes du circuit d'injection de biais). Puis la production des vues schématiques et du netlist correspondant, pour les cellules de la bibliothèque étudiée a été effectuée. Un autre outil automatisant la simulation pour tous les cas d'injection de biais, sur une cellule donnée, a été développé. Les résultats obtenus à l'aide de cet outil a permis d'orienter les tests à faire sur des circuits complexes. Les résultats sur des circuits complexes laissent entrevoir quelques complications. Pour l'instant, la règle obtenue est de limiter le biais sous une certaine valeur. L'étude à venir sur une amélioration de la méthode permettra peut-être de lever cette limite. L'étude sur le niveau du biais et la couverture de fautes permet de choisir le seuil utile pour la méthode.

TITRE:

Échantillonnage électro-optique.

RÉSUMÉ:

L'échantillonnage électro-optique est une technique pour mesurer des signaux électriques ultra-rapides, grâce à sa grande sensibilité et son temps de résolution très court. Un système optique sophistiqué est nécessaire en plus d'une source laser produisant des impulsions femto seconde avec un taux de répétition élevé.

PROBLÉMATIQUE:

Plusieurs problèmes se posent lors de la génération et la caractérisation des signaux électriques. Citons par exemple le type de matériel semi-conducteur utilisé, l'atténuation et la dispersion du signal à partir du point où il est généré jusqu'au point où se fait la mesure et la sensibilité du cristal électro-optique. Tous ces facteurs doivent être analysés pour améliorer les performances.

MÉTHODOLOGIE:

Utilisant notre système expérimental, nous étudions la génération des signaux électriques ultra-rapides produits par des composants à semi-conducteurs basés sur de nouveaux concepts et de nouvelles structures. Des impulsions électriques (10 ps sont nécessaires pour les grandes vitesses de modulation des diodes lasers. Des lignes de transmission à faible dispersion doivent être fabriquées et étudiées. Pour accorder l'étude théorique et expérimentale, un simulateur doit être développé.

RÉSULTATS:

Le système électro-optique (à la base de LiTaO_3) activé par une source laser Ti-saphire produisant des impulsions d'environ 35 fs est déjà en place. Des composants optoélectroniques à base de InP sont déjà fabriqués. Comme premier résultat; des signaux électriques très courts de largeur à mi-hauteur de l'ordre de 6 ps ont déjà été obtenus.

TITRE:

Techniques et méthodes de conception des systèmes intégrés de type SOC.

RÉSUMÉ:

Ce projet vise l'élaboration de techniques et méthodes de conception et de vérification des circuits intégrés de type SOC (System-On-Chip). La complexité grandissante des systèmes de type SOC impose une réutilisation efficace des ressources centrées autour des méthodes de conception autres que le VHDL ou Verilog au niveau RTL. Toutefois, à cause de la dépendance entre les représentations au niveau comportemental, RTL et portes, et leur impact sur le partitionnement matériel/logiciel, la performance, la dissipation de puissance et surtout l'effort de vérification, il est nécessaire de développer une approche intégrée à la méthode de conception elle-même. L'objectif du projet consiste à étudier les interfaces matérielle/matérielle et matérielle/logicielle régissant l'intégration des SIP (Silicon Intellectual Property cores) ou «virtual components (VC)» afin de proposer des modèles d'interface améliorés et d'explorer les architectures VLSI qui permettent d'implanter efficacement une synchronisation non-bloquante pour des systèmes complexes multiprogrammés à mémoire partagée.

PROBLÉMATIQUE:

La capacité d'intégration offerte par les technologies sub-microniques rend l'implantation des systèmes de type SOC très intéressante. Toutefois, les besoins en vérification croissent de façon exponentielle. Cette capacité d'intégration élevée impose au concepteur un niveau de productivité extrêmement élevé. En effet, les besoins des applications en temps réel, l'augmentation constante du niveau d'intégration HW/SW, du parallélisme au niveau instruction et de la complexité de la hiérarchie de mémoires intégrées et partagées exposent la dégradation de performance due à une synchronisation bloquante entre agents communicants. Ceci rend obsolètes ou inadéquates les méthodes traditionnelles de conception et de vérification basées sur la simulation logique. Un défi majeur consiste à développer une méthodologie qui facilite le travail du concepteur dans un environnement de design, où les outils CAD/CAE et la technologie de fabrication sont en constante évolution et où les bibliothèques de composants SIP deviennent de plus en plus complexes.

MÉTHODOLOGIE:

Le projet sera réalisé en suivant la méthodologie suivante:

- Étude comparative des interfaces de communication actuelles incluant les standards PCI, AMBA et CoreConnect;
- Définition et spécification de l'architecture basée sur l'utilisation et la gestion de canaux de communication dédiés;
- Validation du protocole de communication proposé utilisant un processeur ARM;
- Implantation matérielle d'un prototype;
- Test du prototype réalisé.

RÉSULTATS:

L'implantation matérielle d'une première version d'un FIFO à canaux virtuels a été réalisée avec la technologie TSMC CMOS 0.35 micron. Une application directe du VC-FIFO a permis de modéliser un environnement de vérification basé sur l'outil VCC (Cadence). Le prototype d'un outil (InTime) d'intégration et de validation des spécifications temporelles basé sur la conversion automatique des contraintes d'analyse statique temporelle entre spécifications temporelles basé sur la conversion automatique des contraintes d'analyse statique temporelle entre Prime Time (SYNOPTIS) et Einsteimer (IBM) a été développée. Les résultats sont en accord avec la méthodologie de conception ASIC. Une étude approfondie des besoins en vérification au niveau système nous a rapidement démontré qu'un outil comme In Time est très utile dans la méthodologie de conception des circuits intégrés sur puce.

TITRE :

Implémentation sur une plate-forme ARM-FPGA d'un convertisseur de protocoles réseaux générique.

RÉSUMÉ :

Les convertisseurs de protocoles permettent aux terminaux appartenant à des réseaux hétérogènes de pouvoir communiquer avec toutes sortes d'équipements (anciens ou récents) connectés à ce réseau. L'objectif de ce projet de recherche est d'implémenter une nouvelle architecture flexible d'un convertisseur de protocoles générique, spécialisé dans le transfert de données vidéo. Des travaux préliminaires ont conduit à proposer cette architecture de convertisseur de protocoles générique constituée de coprocesseurs et d'un processeur ARM, le tout utilisant un bus de communication AMBA afin d'optimiser le processus d'échange entre modules.

PROBLÉMATIQUE :

Le développement d'un modèle exécutable de cette nouvelle architecture de conversion de protocoles se fera par une implémentation matérielle des modules en respectant leurs spécifications et en tenant compte des contraintes physiques de la plate-forme qui sont : le débit de transmission du protocole de communication et la taille du FPGA. Cette approche nous permettra d'analyser le processus de conversion, d'améliorer certaines fonctions du système et surtout d'éliminer les possibilités de goulots d'étranglement.

MÉTHODOLOGIE :

L'implémentation d'une telle architecture de conversion de protocoles nécessite les étapes suivantes :

- Revue de la littérature portant sur : les protocoles haute-vitesse, les méthodologies de réutilisation, les plates-formes ARM-FPGA et le protocole de communication AMBA (AHB);
- Définition des modèles de modules implantables dans la plate-forme;
- Implémentation d'un module matériel dans le FPGA;
- Mise en fonction d'un logiciel dans le processeur ARM communiquant avec le module implémenté dans le FPGA via le bus AHB;
- Implémentation progressive de tous les modules de notre architecture dans le FPGA;
- Simulation d'une conversion entre deux protocoles;

Optimisation de l'utilisation du bus AHB.

RÉSULTATS :

La validation de cette implémentation sera faite par des simulations de conversion entre deux protocoles : Gigabit Ethernet et Firewire. Il faudrait aussi analyser l'importance de l'utilisation d'un bus de communication AMBA (AHB) entre coprocesseurs et le processeur ARM.

TITRE:

Le diagnostic et l'analyse du rendement dans l'architecture complexe d'interconnexion.

RÉSUMÉ :

Les technologies avancées VLSI font que les circuits de WSI implantables créent de nouveaux risques de conception de la graduation de la taille des transistors. WSI exige la compréhension et la recherche détaillée sur la testabilité et la tolérance des circuits intégrés. Le projet étudie les problèmes associés à l'intégration du défaut très grand networks. Le tolérant des modèles existants de rendement est étudié et un modèle adapté de rendement est développé pour les réseaux tolérants de ce grand défaut.

PROBLÉMATIQUE :

Le rendement est très important en WSI. Précisons que le rendement est nécessaire afin de déterminer le nombre d'éléments redondants qui doivent être additionnés. Les champs dépendent considérablement de combien de pièces de rechange sont employées pour substituer les éléments défectueux. Le grand réseau de tolérance de fautes présente les contraintes peu communes qui ne sont pas prises en considération dans la reconfiguration conventionnelle stratégies. Le rendement existant, le modèle et les stratégies de reconfiguration doivent être adaptées ou de nouvelles doivent être développées pour rencontrer ces contraintes.

MÉTHODOLOGIE :

Le centre de la recherche est sur le diagnostic et l'analyse de rendement d'un travail complexe de l'interconnexion architecture. Ceci est basé sur la structure d'un demochip de tolérance de fautes. Nous commençons par une étude complète de tolérance de fautes et le rendement modelant des méthodes applicables une cible prédéfinie architecture. Ceci devrait donner un modèle détaillé de rendement qui laisse optimaliser l'architecture pour déterminer combien la tolérance de fautes est nécessaire.

RÉSULTATS :

Les configurations significatives qui ne peuvent pas être tolérées en cette structure de tolérance de fautes sont et le modèle de rendement est prédéfini. L'architecture de cible est développée. L'analyse de rendement se base sur ce modèle dont nous travaillons présentement.

TITRE :

Conception d'un outil permettant l'élaboration et la couverture efficace de modèles de couverture fonctionnelle dédiées à la vérification du modèle HDL.

RÉSUMÉ :

Ce projet traite de l'élaboration d'un outil permettant le développement de modèles de couverture fonctionnelle. Un modèle de couverture fonctionnelle sert à mesurer l'avancement et la couverture sur des fonctionnalités d'un design. L'environnement de vérification auquel le modèle sera attaché effectuera une génération pseudo aléatoire des vecteurs de test biaisé par des contraintes de génération. Ainsi, l'outil devra aussi pouvoir déterminer un ensemble adéquat de contraintes de génération afin de permettre une couverture efficace des modèles de couverture.

PROBLÉMATIQUE :

Environ 70% de l'effort de conception d'un circuit contemporain se situe au niveau de la vérification. L'exercice de la vérification est organisé et spécifié dans un plan de vérification afin de pouvoir déterminer la fin de la tâche de vérification. Un plan de vérification contient la liste complète des éléments, fonctionnels ou architecturaux, devant être vérifiés dans un design. Afin de pouvoir s'assurer d'une vérification complète de tous ces éléments, il est nécessaire d'utiliser des modèles de couverture. Ces modèles sont construits à partir de métriques. La couverture de métriques usuelles telles que les modèles de pannes physiques ou encore celles tirées d'une description HDL permettent l'utilisation d'algorithmes efficaces afin de trouver les vecteurs de tests permettant de faire progresser la couverture. Par contre, lorsqu'il est nécessaire de vérifier une spécificité d'un design, un modèle de couverture dédié à cette spécificité doit être défini. Une méthode courante de génération utilisée est la génération pseudo aléatoire biaisée par des contraintes. Ainsi, le choix de ces contraintes est le facteur déterminant la qualité de la génération et conséquemment de la qualité de la couverture fonctionnelle. D'autre part, des outils de conception de banc d'essai évolués ont été développés et ils peuvent servir de base à l'élaboration de nouvelles méthodologies de vérification. La problématique de ce projet réside donc dans la création de modèles de couverture fonctionnelle et sur la détermination d'un ensemble de contraintes de génération efficaces.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Apprentissage d'un outil de conception de banc d'essai et évaluation de ses possibilités;
- Déterminer les requis nécessaires à l'élaboration de modèles de couverture et évaluer les méthodes pouvant être utilisés pour corréler les modèles et les contraintes de génération;
- Spécification et réalisation de l'outil;
- Validation de l'outil avec des exemples concrets (dont un cas utilisant le protocole SONET);
- Évaluation et critique de la méthodologie.

RÉSULTATS :

Une revue de littérature a été effectuée et une étude de cas a été réalisée. Un outil de conception de banc d'essai a été évalué (Specman EliteTM), une méthodologie de conception de banc d'essai a été proposée.

TITRE :

Conception de boucles à verrouillage de Phase (PLL) analogiques exploitant des résistances de précision programmables.

RÉSUMÉ :

Ce projet présente la conception de PLLs de précision caractérisés par un minimum de bruit de phase en sortie. Plusieurs facteurs, à plusieurs niveaux de la boucle, viennent ajouter du bruit ou des erreurs se traduisant, en sortie, par une phase instable lorsque le système est verrouillé. Certains biais de la boucle peuvent être partiellement ou entièrement éliminés en calibrant le circuit à l'aide de résistances programmables. D'autres le sont par la conception de circuits (faisant partie de la boucle) plus précis. Ce projet étudie donc les différentes tactiques permettant de réduire ces biais et ainsi, le bruit de phase, tout en mesurant l'impact des modifications faites.

PROBLÉMATIQUE :

Les PLLs peuvent être utilisés à plusieurs fins telles que la synthèse de fréquence (horloge de référence programmable), la synchronisation de phase ou le recouvrement d'horloge. Toutes ces applications ne devraient, dans un monde utopique, ne présenter aucune variation de phase en sortie lorsque le système est verrouillé. Bien entendu, une certaine erreur est acceptable tout dépendamment de l'utilisation qui en est fait. Cependant, l'évolution des technologies exige de plus en plus des circuits de grande précision. En fait, la performance d'un système peut en être directement influencée.

Plusieurs sources d'erreurs à l'intérieur de la boucle peuvent se transformer directement en bruit de phase à la sortie du PLL. Certaines de ces erreurs sont tout simplement dues à une imperfection physique du circuit microélectronique. Il est alors possible de venir compenser ces imperfections introduites par le procédé de fabrication à l'aide de résistances programmables, judicieusement placées dans le circuit. Par contre, ces résistances, comme toutes composantes électroniques, présentent un comportement bruité qui leur est propre et qui peut venir aussi influencer le comportement de la boucle et ajouter un certain bruit de phase à la sortie. Il est donc essentiel de connaître cette figure de bruit et de connaître l'impact de celle-ci à l'intérieur du circuit.

Par ailleurs, certains biais introduits dans la boucle sont simplement attribuables aux limites intrinsèques d'un bloc composant la boucle. Citons par exemple, le temps mort d'un détecteur de phase ou la sensibilité du VCO (oscillateur contrôlé par tension) au bruit de l'alimentation. Ces types de problèmes ne peuvent pas être directement annulés par des résistances programmables et nécessitent la conception de circuits plus précis.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Mesurer et caractériser le comportement bruité des résistances programmables;
- Étudier les différentes sources d'imperfection sujettes à causer du bruit de phase;
- Concevoir, s'il y a lieu, un détecteur de phase sans temps mort et/ou un VCO insensible aux fluctuations de l'alimentation;
- Caractériser l'impact de l'ajout des résistances programmables à l'intérieur du circuit;
- Caractériser les performances d'un PLL utilisant les astuces choisies.

RÉSULTATS :

Plusieurs sources d'imperfection ont été identifiées. La caractérisation des figures de bruit des résistances programmables est commencée. De plus, un détecteur de phase sans temps mort a été conçu.

TITRE:

Implémentation pour l'extraction en temps réel des caractéristiques de la modulation intentionnelle sur les impulsions radars.

RÉSUMÉ:

Ce projet s'inscrit dans le cadre d'une étude en vue de réaliser un système de mesure de soutien électronique impliquant la recherche, l'interception, la localisation et l'analyse des signaux radars dans un contexte de surveillance militaire.

PROBLÉMATIQUE:

Ce projet vise à extraire en temps réel des caractéristiques propres aux impulsions radars, en particulier celles liées à la modulation intentionnelle. L'ensemble des algorithmes doit traiter une impulsion de 1 μ seconde avec une latence de 10 μ secondes entre chaque impulsion. Chaque impulsion doit être échantillonnée avec un taux d'échantillonnage de 215 millions d'échantillons par seconde.

MÉTHODOLOGIE:

Des algorithmes d'extraction de ces paramètres seront dans un premier temps analysés afin d'étudier les sections critiques. Par la suite, ces algorithmes seront reformulés et implémentés sur des circuits programmables, des processeurs spécialisés pour le traitement numérique des signaux ou les deux, suivi d'une réalisation sur des circuits intégrés spécialisés, s'il y a lieu.

RÉSULTATS:

Ce projet fait l'objet de plusieurs publications et un circuit intégré programmable (FPGA) a été développé et les résultats sont encourageants. De nouvelles voies de recherche sont explorées afin d'obtenir une accélération globale plus élevée.

TITRE:

Réalisation d'un microstimulateur et capteur implantable par des circuits discrets mixtes.

RÉSUMÉ:

Le projet vise à concevoir un microstimulateur implantable intégré permettant un contrôle permanent de la miction (stimulation occasionnelle) et de l'incontinence (stimulation permanente). Un lien de communication RF bidirectionnel permet de reprogrammer in vivo le stimulateur et d'avoir un contrôle diagnostique permanent sur le système et les tissus biologiques auxquels il est connecté.

PROBLÉMATIQUE:

Pour pouvoir transmettre différents types d'informations sur un même lien, il est nécessaire de les convertir en un format unique et standard. Ainsi les signaux analogiques devront être numérisés et coupés en mots de 8 bits. Ces mots n'auront plus qu'à être transmis selon un protocole de transmission série standard sur un lien RF. Pour le lien RF de retour, une modulation de fréquence est préférable, car les implants ne disposent pas toujours d'une alimentation très stable, ce qui ne permet pas une bonne modulation AM. De plus, une modulation FSK est simple à réaliser avec des éléments logiques.

Enfin, pour des soucis d'intégrabilité maximale, de simulation et de portabilité, nous nous efforçons d'étendre au maximum la partie numérique et de réduire la partie analogique.

MÉTHODOLOGIE:

La première partie des travaux consistait à réaliser des prototypes sur PCB avec des composants programmables (FPGA et micro-contrôleur) afin de pouvoir les implanter et ainsi valider les méthodes de stimulation et de communications utilisées. Bien sûr, la version intégrée est développée en parallèle au prototype, de sorte que les techniques (modulations, génération de stimuli, etc.) utilisées dans le prototype se rapprochent le plus possible de celles prévues et simulées dans la version intégrée.

RÉSULTATS;

Un prototype implantable (4cm de diamètre) incluant la stimulation occasionnelle et le lien bidirectionnel nous a permis de valider 2 des 3 fonctionnalités du stimulateur. Son équivalent sur silicium a aussi été complété, mais n'a pas encore été soumis à la fabrication, car nous attendons d'avoir testé les 3 fonctions sur prototype avant de soumettre un circuit intégré regroupant ces fonctions.

Il nous restera à finaliser la réalisation du second prototype incluant les deux stimulations (occasionnelle et permanente) et à soumettre à la SCM le design complet pour fabrication.

Des premiers tests sur simulateur et sur prototype ont donné des résultats très satisfaisants et laisse présager un accomplissement futur pouvant donner suite à plusieurs applications fonctionnelles.

TITRE:

Conception et réalisation d'un module de démultiplexage analogique dédié à un stimulateur visuel implantable.

RÉSUMÉ:

L'objectif de ce projet de recherche consiste dans la conception et la réalisation d'une interface électronique mixte (numérique analogique) entre la partie centrale d'un implant visuel (regroupant un processeur dédié et un lien à fréquences radio) et la matrice d'électrodes. Parmi les principales fonctions de cette interface, nous retrouvons la génération d'un courant de stimulation ayant l'amplitude et la fréquence variables et l'aiguillage de ce courant vers un des sites de stimulation.

PROBLÉMATIQUE:

L'excitation d'une zone dans le cerveau (le cortex visuel) avec des impulsions de courant a comme résultat l'apparition des sensations lumineuses (phosphènes). Cette sensation est directement proportionnelle à l'intensité, la durée et la fréquence de chaque impulsion. Une matrice de 25 x 25 électrodes sera implantée dans le cortex visuel d'une personne aveugle. Si chaque paire d'électrodes de cette matrice est stimulée avec une information proportionnelle à une zone de l'image reçue, cette personne pourra apercevoir une représentation lumineuse qui est similaire à la scène visualisée.

MÉTHODOLOGIE:

Un convertisseur numérique analogique (CAN) à 5 bits, basé sur le code thermomètre, sert à programmer une source de courant pour générer le courant de stimulation avec amplitude et durée variables. Une partie numérique de contrôle accomplit les autres tâches pour commander le circuit de démultiplexage. Pour générer des impulsions bi phasiques, à partir de l'impulsion monophasique est utilisée une structure de transistors en H. La technologie CMOS35 sera utilisée pour intégrer l'ensemble du démultiplexeur.

RÉSULTATS:

Dans un premier temps, nous avons proposé un module de stimulation. Ensuite, nous avons assemblé une deuxième architecture qui consiste en l'interface de stimulation et démultiplexage qui est munie d'un module permettant la caractérisation du contact électrodes tissus nerveux. Cette dernière architecture permet de savoir l'état de chaque site de stimulation. En effet, l'implant sera en mesure de recueillir de nombreuses données (tension développée aux bornes des 2 contacts électrodes tissus, quantité de charge injectée dans les tissus, etc.) et les envoyer vers l'extérieur. Pour démontrer la faisabilité des techniques proposées et valider les différents circuits conçus et simulés, deux puces ont été fabriquées en technologie CMOS 0.35 microns de la compagnie TSMC (Taiwan Semiconductor Company). Les résultats expérimentaux de ces puces montrent la bonne fonctionnalité de ces modules proposés.

TITRE :

Conception de circuits analogiques de haute précision.

RÉSUMÉ :

Le projet consiste en l'étude de différentes architectures de circuits analogiques et la proposition de procédures d'optimisation et de calibrage, afin de satisfaire des critères de stabilité et de précision. La réalisation d'une référence de tension stable en température et avec le temps, ainsi qu'un amplificateur opérationnel compensé par la technique de hachage, ne sont que des exemples de circuits analogiques visés par ce projet de maîtrise.

PROBLÉMATIQUE :

La stabilité ne peut être atteinte sans la connaissance individuelle de l'influence de chaque paramètre sur le comportement du circuit. La précision ne peut être atteinte sans la minimisation de la sensibilité du circuit à chacun de ces paramètres. Ainsi, l'une des approches utilisées est le recours à une identification individuelle des paramètres qui contribuent à la stabilité et à la précision du circuit.

MÉTHODOLOGIE :

- Recherche de la littérature sur les architectures proposées;
- Identification individuelle des paramètres qui constituent la liste de sensibilité;
- Application de procédures d'optimisation.

RÉSULTATS :

Les topologies de références de tension bandgap ont été étudiées et analysées afin de satisfaire les critères de stabilité et de précision.

Les résultats de simulation ont montré un certain niveau de performance atteint après l'application de procédures d'optimisation.

Cependant, des recherches continuent à être effectuées afin de rencontrer les différentes spécifications de performance désirées.

TITRE:

Conception d'un circuit de conversion de protocoles pour la transmission de vidéo sur des réseaux haute-vitesse.

RÉSUMÉ:

Le projet consiste à concevoir et réaliser une architecture flexible, capable d'effectuer la conversion en temps réel de plusieurs protocoles réseaux existants et futurs. Les protocoles existants ciblés sont ceux capables de transporter des données vidéo numériques de qualité studio, c'est-à-dire de plus de 360 Mbps.

PROBLÉMATIQUE:

La quête de l'augmentation de la largeur de bande des réseaux informatiques actuels est incontournable. Bon nombre de groupes de recherche en sont à développer des protocoles visant à obtenir des débits de données toujours plus grands. Résultat, il est difficile de faire cohabiter ces protocoles dans un même réseau.

Une des solutions existantes (passerelle) n'est efficace que pour des protocoles à bas débits de données, soit moins de 100 Mbps. Par ailleurs, elle ne permet que la conversion d'un nombre fini de protocoles. Une autre solution (routeur passerelle) exige la modification de la topologie du réseau pour être utilisable et elle n'est pas transparente du point de vue du réseau.

MÉTHODOLOGIE:

Cette recherche vise à permettre la cohabitation de protocoles dans un même réseau, et ce, sans influencer sa topologie, sa configuration et son utilisation.

Voici les éléments de la méthodologie utilisée afin de mener à terme ce projet de recherche:

- Recherche bibliographique pour déterminer et comprendre les protocoles haute vitesse intéressants pour des applications multimédias;
- Développement d'une architecture logicielle flexible permettant la conversion entre des protocoles;
- Faire le profilage de cette architecture et considérer l'accélération matériellement des parties trop exigeantes en terme de cycle processeur;
- Faire le partitionnement logiciel matériel ou concevoir une nouvelle architecture à partir des observations du profilage;
- Mettre en œuvre l'architecture logicielle matérielle à l'aide d'une carte de développement ARM9 comprenant un FPGA Xilinx XVC1000.

RÉSULTATS:

La recherche bibliographique est complétée et les protocoles IEEE 802.3, IEEE 1394 et USB 2.0 ont été retenus. L'architecture logicielle a été développée et validée. Une nouvelle architecture logicielle matérielle a été proposée et sa mise en œuvre devrait être complétée sous peu.

TITRE :

Capteur d'image intégré à large gamme dynamique.

RÉSUMÉ :

Ce projet vise à concevoir un capteur d'images à large gamme dynamique intégré en technologie CMOS. L'objectif visé est son intégration à un implant visuel. Ce dernier est un appareil visant à stimuler le cortex cérébral de patients aveugles dans le but de leur rendre une vision fonctionnelle. Le capteur intégrera toutes les composantes nécessaires à la transformation du signal optique en une matrice de pixels représentant l'image captée.

PROBLÉMATIQUE :

Un capteur d'images dédié à stimuler le cortex visuel d'un patient aveugle implique plusieurs contraintes très différentes à celles d'un capteur d'images standard. Entre autre, il doit être en mesure de discerner des détails dans différents niveaux d'illumination, selon le type d'endroit où se trouve l'utilisateur. De plus, il doit pouvoir capturer des images dans lesquelles se retrouvent à la fois, de hautes intensités lumineuses et de très faibles intensités.

MÉTHODOLOGIE :

Le capteur est composé d'une matrice de pixels numériques actifs. Le temps d'exposition initial est variable et permet ainsi de s'adapter aux différents scènes. Lors de l'exposition à une scène à large bande dynamique, le système peut échantillonner la matrice de pixels à différents moments afin de récupérer les détails de chaque zone d'illumination. Cette méthode donne comme résultat une valeur à point flottant pour chaque pixel. Une mémoire cache permet de réduire le bruit à patron fixe par double échantillonnage.

RÉSULTATS :

Un premier prototype est en phase de design avec la technologie CMOS 0,18µm et il est présentement en fabrication. Les tests fonctionnels seront ensuite effectués.

TITRE :

Un modèle générique pour la vérification fonctionnelle de propriété intellectuelle (PI) en utilisant des techniques «Rules-Based».

RÉSUMÉ :

La vérification de PI est devenue le goulot d'étranglement principal dans le processus de conception des Systèmes sur Puce (en anglais System-on chip ou SoC). Ce projet utilise l'architecture de bus sur puce de IBM, CoreConnect, pour explorer la technique basée sur les règles qui améliore le taux de couverture de la simulation. Le but de ce projet est d'explorer des méthodes de génération de cas d'essai indépendamment du protocole de bus à l'aide des outils de conception assistée par ordinateur (EDA) pour vérifier la fonctionnalité des noyaux de PI.

PROBLÉMATIQUE :

Le «CoreConnect Toolkit» de IBM contient un outil de vérification, CTG, qui est conçu pour produire des cas d'essai qui peuvent être employés pour simuler des transactions de bus servant à tester la conformité d'un noyau à l'architecture de bus de CoreConnect. Les cas d'essais produits par CTG sont utilisables que pour les protocoles de bus sur puce (PLB, OPB, DCR). L'interface graphique lit un fichier «Supertable » qui contient l'information au sujet de modèles fonctionnels de bus particuliers. CTG ne supporte pas d'autres protocoles (PCIX, AMBA, USB, Ethernet, IEEE1394, 12C, InfiniBand) de bus sur puce.

Prenons un noyau de contrôleur de PCI-X comme exemple (qui est également employé dans ce projet pour décrire et valider le concept basé sur les règles). Ce noyau de contrôleur de PCI-X est relié au bus local du processeur (PLB) par une passerelle PCI-X. Pour vérifier ce noyau, nous avons deux étapes :

- CTG→(BFL)→BFC→(MTI fichier de commande) pour le test de transaction de PLB
- Écrire manuellement un cas d'essai en VHDL pour le test de transactions de PCI.

Des cas d'essais pour PCI-X doivent être produits manuellement, ce qui consomme beaucoup de temps et qui insère inévitablement des erreurs.

MÉTHODOLOGIE :

Pour atteindre le but de ce projet, nous employons une passerelle PCI-X à PLB comme exemple pour construire un DUT (module sous test). En simulant ce DUT, et en développant une meilleure compréhension des protocoles de PCI et PLB, nous définirons des règles pour produire un cas d'essai de PCI. Par la suite, nous généraliserons les règles afin de les appliquer à l'ensemble des protocoles de bus.

Le travail inclut :

- Comprendre et définir les propriétés de l'interface de bus hors puce de PCI-x, celle de la passerelle PCI-X au PLB du noyau de PI et finalement celle du bus sur puce de CoreConnect;
- Définir le plan d'essai;
- Écrire la proposition de recherche;
- Construire un DUT qui fait appel à une passerelle PCI-PLB écrite en Verilog;
- Produire des cas d'essai pour le PLB à l'aide de CTG;
- Écrire à la main les cas d'essais pour le module PCI, en Verilog, afin de tester les transactions PCI (il n'est pas nécessaire d'écrire des cas d'essais pour le protocole au complet à ce stade);
- Extraire des règles pour la génération de cas d'essai de contrôleur PCI;
- Généraliser les règles;
- Mettre en application les règles avec C++ et les intégrer dans l'outil INTIME.

RÉSULTATS :

Le protocole de PCI a été étudié, un banc de test pour l'application PCI a été construit et des cas d'essais ont été produits manuellement. La prochaine étape est d'extraire des règles pour la génération de cas d'essai de PCI.

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés ci-haut sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels).

Subventions, contrats et conventions de recherche individuelles

Chercheur	Organisme, Programme	Montant annuel	Période de validité	Titre
Audet, Y.,	Micronet	20,000.00 \$	2001 – 2002	«Characterization of CMOS Gate-Controlled Lateral Bipolar Phototransistors for Active Pixel Sensors and Optical Communications»
Bois, G.	CRSNG individuelle	15,000.00 \$	1997 – 2000	«Méthodes de partitionnement logiciel/matériel pour la conception de systèmes dédiés de haute performance»
Bois, G.	CRSNG Individuelle	18,972.00 \$	2000 – 2003	«Estimation, raffinement et synthèse des communications dans le processus de codesign logiciel/matériel»
Maciejko, R.,	CRSNG individuelle	34,134.00 \$	2000 - 2001	«Semiconductor Optical Amplifiers for signal Processing»
Maciejko, R.,	Nortel Networks	25,000.00 \$	2000 – 2001	«Simulation of Semiconductor Optical Amplifiers»
Meunier, M.,	CRSNG individuelle	34,650.00 \$	1999 - 2002	«Couches minces et nanoparticules par laser pulsé»
Meunier, M.,	LTRIM – Technologies	30,000.00 \$	2000 – 2002	«Modélisation de fabrication par laser de résistances diffusées»
Savaria, Y.,	Chaire de Recherche du Canada	200,000.00 \$	2001 – 2005	«Conception de systèmes microélectroniques intégrés»
Savaria, Y.,	CRSNG Fonctionnement	51,728.00 \$	2000 - 2001	Méthodes de conception de circuits intégrés analogiques précis et d'horloges rapides et précises»
Savaria, Y.,	Hyperchip	84,000.00 \$	1999 - 2001	«Wafer-Scale High Performance Digital Switches; Design, Implementation and Test Demonstration»
Savaria, Y.	Micronet, Miranda, PMC Sierra, Gennum	112,000.00 \$	1998 – 2001	«Architecture of Digital Video Circuits and Synchronization of High Speed Systems»

Chercheur	Organisme, Programme	Montant annuel	Période de validité	Titre
Savaria, Y.	Ministère de la Défense Nationale	80,000.00 \$	1998 – 2001	«Investigation of Digital Hardware Implementation of IMOP»
Sawan, M.,	CRSNG	30,900.00 \$	2000 - 2002	«Circuits intégrés mixtes dédiés aux systèmes électroniques sans fils»
Sawan, M.,	Micronet, CRSNG, Goal Semiconductors Alliance Médical	55,000.00 \$	2000 – 2002	«High Performance Mixed-Signal Circuits for Future Wireless Application»
Sawan, M.,	Chaire de Recherche du Canada	200,000.00 \$	2001 – 2005	«Dispositifs médicaux intelligents»

Subventions, contrats et conventions de recherche de groupe

Chercheurs	Organisme Programme	Montant annuel	Période de validité	Titre
Aboulhamid, M. Bois, G.	CRSNG, Mentor Graphics, Nortel, PMC	191,600.00 \$	2000 - 2003	«Synthesis and Verification of Systems-On-A-Chip»
Aboulhamid, M., Bois, G.	Micronet, ST-Microélectronique	50,000.00 \$	2000 – 2001	«Developing open-source inter operable tools for Systems-On-A-Chips»
Bois, G., Savaria, Y., Sawan, M.,	Société Canadienne en Microélectronique	112,455.00 \$	2000 – 2001	«Prêt d'appareillage»
Bois, G., Aboulhamid, M.	Micronet, Mentor Graphics	50,000.00 \$	2000 – 2001	«Co-Design Methodology for Systems-On-A-Chip»
Camarero, R., Savaria, Y., et 8 autres	Fonds Canadien de l'Innovation CRSNG, MEQ, Fonds Polytechnique	6,380,000.00 \$	1999 – 2003	«Projet Étoile : Réseau de métaconception et prototypage»
Camarero, R., Maciejko, R.,	Fonds Canadien de l'Innovation	1,950,000.00 \$	1999 – 2001	«Projet Étoile: Infrastructure de métaconception et analyse par prototypage»
Elhilali, M., Sawan, M., Corcos, J.	Fondation Canadienne des Maladies du Rein	40,000.00 \$	1999 – 2001	« Modulation of Bladder Function Through Neurostimulation»
Houde, D., Maciejko, R.,	Valorisation Recherche Québec	597,500.00 \$	2001 – 2004	«FEMTOTECH : développements et applications des technologies laser à impulsion ultra-brèves
Laurin, J.-J., Savaria, Y.,	CRSNG Équipement	30,225.00 \$	2000 – 2001	«Two-Axes Precision Positioning System»
Maciejko, R., Masut, R., Berolo, E.,	FCAR Équipe	18,000.00 \$	1999 – 2001	«Dispositifs photoniques à semi-conducteurs sur substrat d'InP»
Maciejko, R., Cada, M., Wartak, M.,	NSERC - Canadian Institute for Photonic Innovations	238,709.00 \$	1999 - 2001	«Semiconductor Optical Amplifiers»
Maciejko, R., Fortin, A.,	CRSNG Stratégique, Nortel	152,500.00 \$	1999 – 2001	«Design of Advances MQW DFB Lasers»

Chercheurs	Organisme Programme	Montant annuel	Période de validité	Titre
Martinu, L., Meunier, M et 3 autres	FCAR Infrastructure	50,000.00 \$	1999 – 2001	«Modification de surfaces»
Martinu, L., Meunier, M et 3 autres	FCAR Équipement	25,000.00 \$	1999 – 2001	«Modification de surfaces»
Marsh, T., Savaria, Y. & Al.	FCI	10,005,458.00 \$	2000 – 2002	«System-On-Chip Research Network :A national library of microelectronic systems components and CAD tools available to multiple research sites through secure communication links»
Meunier M., et 16 autres	FCAR, Centre	145,000.00 \$	1999 – 2001	GCM infrastructure
Meunier M., et 12 autres	CRSNG Infrastructure	170,000.00 \$	1999 – 2001	«Thin >Film Group Laboratory»
Meunier, M., et 9 autres,	FCI Infrastructure	10,860,000 \$	2000 – 2002	«Mini Superionic Conductors»
Meunier, M., Yelon, A.,	CRSNG Coop	45,000.00 \$	2000 – 2001	«Micro-piles SOFC»
Meunier, M., Savaria, Y.,	CRSNG Partenariats Technologiques	110,000.00 \$	2000 – 2002	«Modélisation d'une technique de calibrage par laser pour la microélectronique»
Savaria, Y., Bois, G. Sawan, M.,	FCAR Équipe	65,000.00 \$	2000 – 2002	«Méthodes de conception des systèmes électroniques modernes»
Savaria, Y., Bois, G., Sawan, M.,	FCAR Équipe – Équipement	44,156.00 \$	2000 – 2001	«Banc d'essai modulaire flexible pour prototypage systèmes microélectroniques numériques»
Sawan, M., Savaria, Y., & Al.	FCI	3,217,865.00 \$	2000 – 2001	«Dispositifs Médicaux Intelligents (DMI): Design, Construction Essais et Validation in Vitro et in Vivo»
Sawan, M., Guitton, D., Savaria, Y., Meunier, M.,	CRSNG stratégique	135,700.00 \$	2000 - 2002	«Dispositif électronique implantable dédié à la création d'une vision artificielle chez les non-voiyants»
Sawan, M., et 19 autres	NATEQ (FCAR) Infrastructure	125,000.00 \$	2000 – 2001	«Centre de recherche ReSMiQ»

Équipement prêté par la SCM (WWW.CMC.CA) au GRM et à la Polytechnique.

<p>Fournisseur: ACA 1 x Sun GPID CNTL (SB488A)</p> <p>Fournisseur: CMC 1 x RPB (MOD2) 1 x Test Head (REVO) 1 x Test Head (TH1000)</p> <p>Fournisseur: DIGIDYNE 1 x SMI (K1236)</p> <p>Fournisseur: GGB 8 x Microwave Probe (40A) 3 x Picoprobe (28) 2 x Power supply (Dual Output)</p> <p>Fournisseur: HP 1 x A/D Digitizer (E1429B) 1 x A/W Generator (E1445A) 1 x Calibration Kit (85033D) 1 x Comman Module (E1406A) 1 x D20 System (E1494A) 1 x Instrument Rack (E3661A) 1 x Moniteur Couleur (17") 1 x Analyseur Network (8753E) 2 x Pattern I/O POD (E1454A) 1 x Programmable P/S (6623A) 1 x Analyseur Spectrum (8593E) 1 x Terminator PAT I/O (E1452A) 1 x HPUX Test Station (745i) 1 x Timing Module (E1450A) 1 x Timing POD (E1453A) 1 x VXI Mainframe (E1401A)</p> <p>Fournisseur: IMS 1 x Système Test XL100</p>	<p>Fournisseur: SUN 1 x Sun Blade 1000 (5 Go) 4 x Sun Blade 100 (2 Go) 2 x Station ULTRA 10 4 x Station ULTRA1-140 2 x Serveur Entreprise1-140 3 x Serveur Ultra 10</p> <p>1 x Storage A1000 (200 Go) 1 x Disk STC (25.2GB) 2 x Disk Externe UNIPACK (9.1GB) 3 x Disk Externe MultiPack</p> <p>6 x Moniteurs couleur 20" 3 x Moniteurs couleur 21" 1 x Tape .25" 150MB 2 x Tape Drive 20-40GB 8MM</p> <p>Fournisseur: TEK 1 x Power Meter NRVS 1 x Power Sensor NRV-Z6</p> <p>Fournisseur: TEKTRONIX 1 x CAL Substrate CAL96</p> <p>Fournisseur: TESTFORCE 1 x A/W Generator 8750 4 x Micropositioner MH5-L 4 x Micropositioner MH5-R</p> <p>Fournisseur: UNIBIT 1 x Tape EXB 8MM 5.0GB</p>
--	--

Équipement appartenant au groupe (www.GRM.polymtl.ca)

<p>PC : 48 x PC variant de Pentium-I à Pentium-IV</p> <p>SUN : (GRM) 16 x SUN SparcStation dont celles ci. : 1 x SunBlade 1000 2-Proc 3 x Sun Ultra-10 1 x Sun Ultra-1 7 x Sun SparcStation 10 8 x Sun SparcStation 5 5 x Sun SparcStation 4</p> <p> 1 x SunStorage A1000 (400 Gig RAID-5) 6 x SUN External disk drive 2 x SUN 150 MB external tape drive 2 x SUN 14 GB external tape drive</p> <p>(VLSI) 15 x SunBlade 100 1 x Ultra-10 1 x Ultra-1 15 x Sparc (4 ou 5) et plusieurs muttipack (disque externe)</p> <p>Imprimantes : 2 x HP printer LaserJet 4050TN 2 x HP printer LaserJet 4M+ 1 x HP printer LaserJet 5M 1 x HP printer Laser jet III</p> <p>1 x HP printer 1200/C 2 x HP printer DeskJet C</p> <p>Autre : 30 x APC UPS</p>	<p>Microélectronique :</p> <p>1 x ARM SOC prototyping board 1 x Rapid prototyping board V.2 1 x HP Semi-Cond. P.A. 4145A 1 x Miranda Research Espresso 1 x MiroTech Cage VME et Pc 1 x HP function Generator 8111A 1 x HP oscilloscope 1741A 100MHz 1 x TEKTRONICS Analyseur Logique 3002 1 x PHILIPS oscilloscope 0-25 MHz PM3212 1 x HP Power supply 6202B 1 x WenthWorth Prober 1 x SUN 76" data center cabinet 2 x DC power Supply Agilent 34970A</p> <p>en ajoutant le groupe PolyStim de M.Sawan.</p>
---	--

Logiciels

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible au laboratoire de microélectronique. Quelques-uns de ces logiciels sont achetés par le GRM, les autres Cadence, Mentor, Synopsys, Xilinx, sont fournis en tout ou en partie par la Société Canadienne de Microélectronique. (CMC)

Aldec

ARM developer suite for SOC/IP

Avanticorp, Star-HSPICE, Star Sim

Cadence (environnement intégré par la conception des circuits VLSI)

- IC
- ICC
- DES
- DSMDP
- DSMSE
- LDV
- SPW
- VCC

FrameMaker 4 et 5 (Logiciel de traitement de texte spécialisé)

Matlab (logiciel pour le traitement mathématique)

Mentor Graphics

- C.1, C.2
- Seamless
- Renoir
- Calibre

Model Tech / ModelSim

Synopsys

- SIM (Core Simulation Tools)
- SYN (Core Synthesis Tools)
- DWD (DesignWare Developer Utilities)
- DALI (Protocol Compiler)
- PT (PrimeTime)
- FPGA compiler

Synplicity / Synplify

Xilinx Alliance

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés ou soumis pour publication

- [A-1] BOYER, F., ABOULHAMID, M., SAVARIA, Y., «Optimal Design of Synchronous Circuits Using Software Pipelining Techniques» accepté pour publication à *ACM Tr. On design Automation of Electrical Systems*, 2001.
- [A-2] CANTIN, M.A., SAVARIA, Y., BLAQUIÈRE, Y., GRANGER, E., LA VOIE, P., «Four Implement of the Fuzzy Adaptive Resonance Theory (ART) Neural Network for High Data Throughput Applications» soumis à *IEEE Trans. Very Large Scale Integration*, mai 2001.
- [A-3] CORMIER, L.M., MA, F., BAH, S.T., GUÉTRÉ, S., MEUNIER, M., PALEOLOGOU, M., YELON, A., «Sodium Salt Splitting Performance of a Novel NASICON-polymer Composite Cation Selective Membrane», accepté pour publication *J. Electrochemical Society*, 2001.
- [A-4] CRAMPON, M.A., SAWAN, M., BRAILOVSKI, V., TROCHU, F., «New easy to install nerve cuff electrode based on a shape memory alloy armature: fabrication, modeling and experimental results», soumis *Journal of Biomedical Materials and Eng.*, 2001.
- [A-5] GAGNON, Y., LACOURSE, A., SAVARIA, Y., MEUNIER, M., «Laser Beam Impedance Tuning of Semiconductor Devices», 2000, soumis pour publication *IEEE-ED*.
- [A-6] GRANGER, E., SAVARIA, Y., LAVOIE, P., «A Pattern Reordering Approach Based on Amb Detection for On-Line Category Learning» soumis à *IEEE Trans. Pattern Analysis Machine Intelligence*, décembre 2000.
- [A-7] HARB, A., SAWAN, M., «Low-Power CMOS Interface for Recording and Processing Very Low Amplitude Signal », soumis à *Analog Integrated Circuits & Signal Processing Journal (AICSPJ)*, 2001.
- [A-8] HU, Y., SAWAN, M., «CMOS Front-End Amplifier Dedicated to Monitor Very low Amplitude Signal from Implantable Sensors», accepté pour publication *Analog Integrated Circuits & Signal Processing J. (AICSPJ)*, 2001
- [A-9] KABASHIN, A.V., MEUNIER, M., «Photoluminescence characterization of Si-based nanostructured films produced by pulsed laser ablation in an inert residual gas», accepté dans *J. Vacuum Science and Tech.*, 2001.
- [A-10] KABASHIN, A.V., SYLVESTRE, J.P., PATSKOVSKY, S., MEUNIER, M., «Correlation between photoluminescence properties and morphology of laser-ablated Si/SiO_x nanostructured films», accepté dans *J. Applied Physics*, 2001.
- [A-11] KABASHIN, A., MEUNIER, M., «Fabrication of Photoluminescent Si-based layers by air optical breakdown near the silicon surface», accepté dans *Applied Surface Science*, 2001.
- [A-12] KHALI, H., SAVARIA, Y., HOULE, J.-L., RIOUX, M., BÉRALDIN, J.A., POUSSART, D., «Improvement of Sensor Accuracy in the Case of a Variable Surface Reflectance Using Active Laser Range Finder», soumis pour publication *IEEE Transactions on Instrumentation and Measurements*.
- [A-13] MEUNIER, M., GAGNON, Y., LACOURSE, A., SAVARIA, Y., CADOTTE, M., «A new laser trimming process for microelectronics» accepté dans *Applied Surface Science*, 2001.
- [A-14] POPOVICI, D., MEUNIER, M., «Focusing method and apparatus for high resolution laser projection patterning» soumis pour publication *Review of Scientific Instruments*, 2000.
- [A-15] ZHONGFANG, J., LAURIN, J. -J., SAVARIA, Y., «A Practical Approach to Model Interconnects in VLSI Systems», accepté pour publication à *IEEE Transactions on VLSI*, 2001.

Articles de revues publiés de septembre 2000 à août 2001.

- [P-1] ABDEL-GAWAD, M., BOYER, S., SAWAN, M., ELHILALI, M.M., «Reduction of bladder outlet resistance by selective stimulation of the central sacral root using high frequency blockage: a chronic study in spinalized dogs», *J. Urol.*, vol. 166, no 22, 2001, pp. 728-733.
- [P-2] BOYER, S., SAWAN, M., ABDEL-GAWAD, M., ROBIN, S., ELHILALI, M.M., «Implantable Selective Stimulator to Improve Bladder Voiding: Design and Chronic Experiments in Dogs», *IEEE Trans. On Rehabilitation Eng.*, vol. 8 no. 4, 2000, pp. 464-470.
- [P-3] CALBAZA, D.E., SAVARIA, Y., «Direct Digital Frequency Synthesis of Low-Jitter Clocks», *Journal of Solid-State Circuits*, vol. 36, no. 3, mars 2001, pp. 570-572
- [P-4] DECORSE, P., QUENNEVILLE, E., MEUNIER, M., YELON, A., MORIN, F., «Characterization of La_{0.5}Sr_{0.5}MnO₃ thin films prepared by pulsed laser deposition» *J Vac. Sci. Technol. A.*, 2001, A19, 910-916.

Articles de revues publiés de septembre 2000 à août 2001 (suite).

- [P-5] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «New CMOS Short-Locking Time and Wide-Locking Range Frequency-Locked Loop», *IEEE Trans. On Circuits & Systems II*, vol. 48. No. 5, 2001, pp. 441-449.
- [P-6] GRANGER, E., RUBIN, M.A., GROSSBERG, S., LAVOIE, E., «A What-and-Where Fusion Neural Network for Recognition and Tracking of Multiple Radar Emitters», *Neural Networks*, pp. 325-344, 2001
- [P-7] KABASHIN, A.V., CHARBONNEAU-LEFORT, M., MEUNIER, M., LEONELLI, R., «Effects of Deposition and Post-fabrication Conditions on Photoluminescent Properties of Nanostructures Si/SiO_x Films Prepared by Laser Ablation», *Applied Surface Science*, 168, 2000 pp. 328-331.
- [P-8] LORAZO, P., LEWIS, L.J., MEUNIER, M., «Picosecond Pulsed Laser Ablation of Silicon: A Molecular-dynamics Study», *Applied Surface Science*, 168, 2000, pp. 276-279.
- [P-9] QUENNEVILLE, E., SMITS, J.P., MORIN, F., MEUNIER, M., YELON, A., «Electronic transport by Small Polarons in La_{0.5} Sr_{0.5} MnO₃», *J. Applied Physics* 90, 2001, pp. 1891-1896.
- [P-10] WU, X., SACHER, E., MEUNIER, M., «Thermophoresis: Applications for preventing particle recontamination», *J. Adhesion* 75, 2001, p. 341.
- [P-11] YANG, D.Q., MEUNIER, M., SACHER, E., «The Estimation of the Average Dimensions of Deposited Clusters from XPS Emission Intensity Ratios», *Applied Surface Science*, 173, 2001, pp. 134-139.

Articles de revues publiés de septembre 1999 à août 2000.

- [P- 12] BOSI, B., BOIS, G., SAVARIA, Y., «Reconfigurable Pipelined 2D Convolvers for Fast Digital Signal Processing», *IEEE VLSI Systems Transactions*, vol. 7, no. 3, septembre 1999.
- [P- 13] BOYER, N., OLIVER, B., HAGLEY, A., MASSON D.P., SIMARD-NORMANDIN, M., MEUNIER, M., «Temperature Distribution over a GaAs Heterojunction Bipolar Transistor Measured by Fluorescent Microthermal Imaging», *J. Vac. Sci. Technol., A*, 18, 754-756, 2000.
- [P- 14] CHAMPAGNE, A., MACIEJKO, R., ADAMS, D.M., PAKULSKI, G., TAKASAKI, B., MAKINO, T., «Global and Local Effects in Gain-Coupled Multiple-Quantum-Well DFB Lasers», *IEEE Jour. Quantum Electron.*, Vol. 35, no.10, octobre 1999, pp. 13900-1401.
- [P- 15] CHANG, Y., LEONELLI, R., MACIEJKO, R., SPRINGTHORPE, A., «Promising intracavity mode-locking device: a stranded GaInAs/AlInAs saturable Bragg reflector grown by molecular-beam epitaxy», *Applied Phys. Lett.*, vol. 76, no. 7, février 2000, pp. 921-923
- [P- 16] CRAMPON, M.A., SAWAN, M., BRAILOVSKI, V., TROCHU, F., «New easy to install nerve cuff electrode using SMA armature», *Artificial Organs Journal*, vol. 23, no. 5, 1999, pp. 392-395,
- [P- 17] DONFACK, C., SAWAN, M., SAVARIA, Y., «Efficient Monitoring of Electrodes Nerve Contacts During FNS of the Bladder», *Med & Bio. Eng. & Comput.*, vol. 38, 2000, pp. 465-468.
- [P- 18] GÜÇLÜ, A.D., REJEB, C., MACIEJKO, R., MORRIS, D., CHAMPAGNE, A., «Photoluminescence study of carrier dynamics and recombination in a strained InGaAsP/InP multiple-quantum-well structure», *Journal of Applied Physics*, Vol.86, no. 6, septembre 1999, pp. 3391-3397.
- [P- 19] WU, X., SACHER, E., MEUNIER, M., «The modeling of excimer laser particle removal from hydrophilic silicon surfaces», *J. Appl. Phys.* 87 2000, pp. 3618-3627.
- [P- 20] WU, X., SACHER, E., MEUNIER, M., «The effects of hydrogen bonds on the adhesion of inorganic oxide particles on hydrophilic Silicon surfaces», *J. Appl. Physics*, 86, 1999, pp.1744-1748.

Articles de conférences publiés de septembre 2000 à août 2001.

- [C- 1] AUDET, Y., CHAPMAN, G.H., «Design of a Self-Correcting Active Pixel Sensor», *Proceedings of the 2001 International Symposium on DFT in VLSI Systems*, San Francisco, CA, 2001 pp. 18-26.
- [C- 2] CANTIN, M. -A., SAVARIA, Y., PRODANNOS, D., LAVOIE, P., «An Automatic Word Length Determination Method», *ISCAS 2001*, mai 2001, Sydney, Australie, Vol. 5, pp. 53 - 56.
- [C- 3] CHABINI, N., ABOULHAMID, M., SAVARIA, Y., «Efficient Methods for Reducing Register and Phase Requirements for Synchronous Circuits Derived Using Software Pipelining Techniques», *Proceeding of the 15th European Conference on Circuit Theory and Design (ECCTD'2001)*, 28-31 août 2001, Espoo, Finlande, vol. 2 pp. 237-240.

Articles de conférences publiés de septembre 2000 à août 2001(suite).

- [C- 4] CHABINI, N., ABOULHAMID, M., SAVARIA, Y., «Fast Method for Determining an Efficient Bound on the Optimal Solution of the Cost-to-Time Ratio Problem», *Proceedings of the 5th World Multiconference on Systemics, Cybernetics and Informatics (SCI'2001) and ISAS'2001*, 22-25 juillet 2001, Orlando, Floride, Vol. VII, pp. 195-200.
- [C- 5] CHABINI, N., ABOULHAMID, M., SAVARIA, Y., «Reducing Register and Phase Requirements for Synchronous Circuits Derived Using Software Pipelining Techniques», *IEEE Computer Society Workshop on VLSI*, 19 – 20 avril 2001, Orlando, Floride, pp. 71 – 77.
- [C- 6] CHAREST, L., REID, M., ABOULHAMID, M., BOIS, G., «A Methodology for Interfacing Open Source SystemC with a Third Party Software», *Proc. of DATE 2001*, Munich, Allemagne, mars 2001.
- [C- 7] CYR, G., BOIS, G., ABOULHAMID, M., «Synthesis of communication interface for soc using VSIA recommendations» *Proc. of 17th Annual Intern. Conf. Mentor Graphics User's Group*, Portland Oregon, octobre 2000 et *Proc. Of DATE 2001*, Munich, Allemagne, mars 2001.
- [C- 8] DJEMOUAI, A., SAWAN, M., «Fast-Locking Low-Jitter Integrated CMOS Phase-Locked Loop», *Proc. Of the IEEE International symposium on Circuits and Systems*, Sydney, Australie, mai 2001
- [C- 9] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «New CMOS Integrated Pulse Width Modulator for Voltage Conversion Applications», *IEEE-ICECS*, Kaslik, décembre 2000.
- [C- 10] FAYOMI, C., ROBERTS, G., SAWAN, M., «A 1-V, 10 bit, Rail-to-Rail Successive Approximation ADC in Standard 0.18 μ m CMOS Technology», *Proc. Of the IEEE International symposium on Circuits and Systems*, Sydney, Australie, mai 2001.
- [C- 11] FAYOMI, C., SAWAN, M., ROBERTS, G.W., «A Design Strategy for a 1-V Rail-to-Rail Input/Output CMOS Opamp» *IEEE-ISCAS*, Sydney, mai 2001.
- [C- 12] FOUZAR, Y., SAVARIA, Y., SAWAN, M., «A New Controlled Loop Gain Phase-Locked Loop Technique», *IEEE-ISCAS*, Sydney, mai 2001, vol. 4, pp. 810-813.
- [C- 13] FOUZAR, Y., SAWAN, M., SAVARIA, Y., «Very Fast Integrated Phase-Locked Loop Based on Variable Controlled Gain Technique», *IEEE-ICECS*, Kaslik, décembre 2000.
- [C- 14] GRANGER, E., RUBIN, M.A., GROSSBERG, S., LAVOIE, P., «Radar ESM with a What-and Where Fusion Neural Network», D.J. Miller et al., eds., *Proc. 2000 Int'l Workshop on Neural Networks for Signal Processing XI*, IEEE Press, pp. 539-438, 2001.
- [C-15] HARB, A., SAWAN, M., «Low-Power CMOS Interface for Recording and Processing Very Low Amplitude Signal», *IEEE-ECECS*, Kaslik, décembre 2000, pp. 911-914.
- [C- 16] HU, Y., SAWAN, M., «Low Noise Front-End Amplifier Dedicated to Monitor Very Low Amplitude Signal from Implantable Sensors», *IFESS*, Cleveland, juin 2001.
- [C- 17] JECKLEN, E.G., GHANNOUCHI, M., SAWAN, M., BEAUREGARD, F., «Amplifier's Predistortion-Based Linearizers for (forward-channel link) (down-link) broadband applications», *IEEE-ICECS*, Kaslik, décembre 2000.
- [C- 18] MONTÉ, G., ANTAKI, B., PATENAUDE, S., SAVARIA, Y., THIBEAULT, C., TROUBOURST, P., «Tools for the Characterization of Bipolar CML Testability», *19th IEEE Proc. On VTS 2001, Naveena Nagee Award*, pp. 388-395.
- [C- 19] MEUNIER, M., GAGNON, Y., LACOURSE, A., SAVARIA, Y., CADOTTE, M., «A New Laser Trimming Process for Microelectronics» *Proceeding of the SPIE*, janvier 2001, volume 4274, pp. 385-392.
- [C- 20] NEKILI, M., SAVARIA, Y., BOIS, G., «Minimizing Process-Induced Skew Using Delay Tuning», *Proc. Of the IEEE International symposium on Circuits and Systems*, Sydney, Australie, mai 2001, vol. 4, pp. 426-429.
- [C- 21] NSAME, P., GROU-SZABO, R., SAVARIA, Y., «INTIME: A Multi-Tool Specification Environment for Ensuring Timing Constraints Integrity for SOC Design», *IP Based Design 2000*, décembre 2000, pp. 139-144.
- [C- 22] REID, M., CHAREST, L., ABOULHAMID, M., BOIS, G., «Implementing a Graphical User Interface for SystemC», *Proceedings of the International HDL Conference and Exhibition*, San José, Californie, mars 2001.
- [C- 23] THÉRIAULT, L., AUDET, D., SAVARIA, Y., «Performance estimators for hardware/software co-design», *Proc. Of the IEEE International symposium on Circuits and Systems*, Sydney, Australie, mai 2001, vol. 5, pp. 17-20.

Articles de conférences publiés de septembre 1999 à août 2000

- [C-24] CALBAZA, D.E., SAVARIA, Y., «Direct Digital Frequency Synthesis of Low-Jitter Clocks», *CICC'2000*, Orlando, mai 2000, pp. 31-34.
- [C-25] CAMPAGNA, I., BOIS, G., BAILLARGÉ, J., «A General Co-Simulation Model on Seamless for Teaching H/S Co-Design» *Proc. of 16th Annual Intern. Conf. Mentor Graphics User's Group*, Portland, Oregon, septembre 1999.
- [C-26] CANTIN, M.A., BLAQUIÈRE, Y., SAVARIA, Y., LAVOIE, P., GRANGER, É., «Analysis of Quantization Effects on a Digital Hardware Implementation of a Fuzzy ART Neural Network Algorithm», *ISCAS 2000*, Genève, mai 2000.
- [C-27] CHAPMAN, G.H., AUDET, Y., «Creating a 35 mm Camera Active Pixel Sensor» *Proceedings of the 1999 International Symposium on DFT in VLSI Systems*, Albuquerque, NM, 1999, pp. 22-30.
- [C-28] CORMIER, L., MA, F., BAH, S.T., GUÉTRÉ, S., MEUNIR, M., PALEOLOGOU, M., YELON, A., «Novel Nasion-Polymer Composite Membrane for Electrically Driven Processes. Effect of Ceramic thickness on Current Efficiency», *Electrochem Soc. Proc.*, 99-13, 1999, pp. 35-41.
- [C-29] COULOMBE, J., SAWAN, M., WANG, C., «Variable resolution CMOS current mode active pixel sensor», *IEEE-ISCAS*, Genève, mai 2000.
- [C-30] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «Short Locking Time FLL and PLL Based on a DLL Technique», *IEEE-MWSCAS*, Lansing, août 2000.
- [C-31] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «New Circuit Techniques Based on a High Performance Frequency to voltage Converter», *IEEE-ICECS*, Chypre, septembre 1999.
- [C-32] DONFACK, C., SAWAN, M., SAVARIA, Y., «Fully Integrated AC impedance measurement technique for implantable electrical stimulation applications», *IFESS*, Denmark, août 2000.
- [C-33] FAYOMI, C., ROBERTS, G., SAWAN, M., «Low Power/Low Voltage High Speed CMOS Differential Track and Latch Comparator with Rail-to-Rail Input», *IEEE-ESCAS*, Genève, 2000.
- [C-34] FAYOMI, C., ROBERTS, G., SAWAN, M., «Low-Voltage CMOS Analog Switch for High Precision Sample-and-Hold Circuit» *IEEE-MWSCAS*, Lansing, août 2000.
- [C-35] FOUZAR, Y., SAWAN, M., SAVARIA, Y., «CMOS Wide-Swing Differential VCO for Fully Integrated Fast PLL», *IEEE-MWSCAS* Lansing, août 2000.
- [C-36] FOUZAR, Y., SAWAN, M., SAVARIA, Y., «A New Fully Integrated CMOS Phase-Locked Loop With Low Jitter and Fast Lock Times», *ISCAS 2000*, Genève, mai 2000.
- [C-37] GRANGER, E., RUBIN, M.A., GROSSBERT, S., LAVOIE, P., «Classification of Incomplete Using the Fuzzy ARTMAP Neural Network», *Proc. Int'l Joint Conference on Neural Network (IJCNN'2000)* Como, Italie, vol. VI, pp. 35-40, juillet 2000.
- [C-38] HARB, A., HU, Y., SAWAN, M., «New CMOS Instrumentation Amplifier Dedicated to Very low-Amplitude Signal Applications» *IEEE-ECECS*, Chypre, septembre 1999.
- [C-39] HÉNEAULT, Y., BOIS, G., ABOULHAMID, M., BAILLARGÉ, J., YOUSEFPOUR P., «Picasso: A H/S Capture Tool Based on VSIA Recommendations» *Proc. of International Workshop On IP Based Synthesis and System Design*, Grenoble, décembre 1999.
- [C-40] HÉNEAULT, Y., BOIS, G., ABOULHAMID, M., BAILLARGÉ, J., YOUSEFPOUR, P., «Renoir Extensions to Support an H/S Co-Design Methodology», *Proc. of 16th Annual Intern. Conf. Mentor Graphics User's Group*, Portland, Oregon, septembre 1999.
- [C-41] HU, Y., SAWAN, M., «CMOS Front-end Amplifier Dedicated to Monitor Very Low Amplitude Signal from Implantable Sensors» *IEEE-MWSCAS*, Lansing, août 2000.
- [C-42] [KABASHIN, A.V., CHARBONNEAU-LEFORT, M., MEUNIER, M., LEONELLI, R., «Production of Photoluminescent Si-based Nanostructures by Laser Ablation: Effects of the Ablation and Post-deposition Conditions», *SPIE Proc.*, vol. 3933, 2000, pp 192-199.
- [C-43] LORAZO, P., LEWIS, L., MEUNIER, M., «Molecular Dynamics of picosecond Pulsed Laser Ablation and Desorption of Silicon» *SPIE Proc.*, vol. 3618, 2000, article invite, pp. 290-301.
- [C-44] MEUNIER, M., WU, X., BEAUDOIN, F., SACHER, E., «Excimer Laser Cleaning for Microelectronics: Modeling, Applications and Challenges», *SPIE Proc.*, vol. 3935, 2000, pp. 66 - 75.
- [C-45] QUENNEVILLE, E., DECORSE, P., MEUNEIR, M., MORIN, F., YELON, A., «Electrical Properties of Annealed La_{0,5}Sr_{0,5}MnO₃ Thin Films Prepared by Pulse Laser Deposition», *Electro Chem. Soc. Proc.* 99-13, 1999, pp. 218-227.
- [C-46] REJEB, C., MACIEJKO, R., MORRIS, D., «Optical Properties of InGaAsP MQW heterostructures», *2000 International Conference Applic. Photonic Technology*, Quebec City, juin 2000.

Articles de conférences publiés de septembre 1999 à août 2000(suite).

- [C-47] SCHNEIDER, E., SAWAN, M., ET AL., «Sphincter contraction inhibition and detrusor hyperreflexia prevention using selective stimulation: chronic experiments in dogs» *IFESS*, Denmark, août 2000.
- [C-48] VADO, P., SAVARIA, Y., ZOCCARATO, Y., ROBACH, C., «A Methodology for Validation Digital Circuits with Mutation Testing», *ISCAS 2000*, Genève, mai 2000, vol. 1 pp. 343 – 346.
- [C-49] VOGHELL, J.C., SAWAN, M., «Current tune able CMOS transconductor for filtering applications», *IEEE-ISCAS*, Genève, mai 2000.
- [C-50] WU, X., SACHER, E., MEUNIER, M., «Thermophoretic Control of Submicron-sized Particulate Recontamination», *Proc. 23rd Ann. Mtg. Adhesion Society*, Myrtle Beach, SC, 20-23 février 2000, 15510 1086-9506, pp. 360-362.

AUTRES PUBLICATIONS (invitation)

- [I- 1] BOIS, G., «Codesign/Cosimulation Environment and Standards» *Canadian Workshop On System-On-Chip Technology*, http://www.cmc.ca/Events/Conferences/bois_cwsoc2000.pdf, juin 2000.

Brevets

- [B- 1] ANTAKI, B., SAVARIA, Y., SAWAN, A., XIONG, N., «Design for Testability Method for CML Digital Circuits», brevet US # 6,100,716, accordé en 2000.
- [B- 2] BEAUCHAMP-PARENT, A., SAWAN, M., MENASSA, K., «Miniaturized Ultrasound Bladder Volume Monitor», *Application en cours*, 2000.
- [B- 3] CHAPMAN, G.H., AUDET, Y., KOREN, I., KOREN, Z., «Active Pixel Sensor with Built in Self-Repair and Redundancy», Brevet américain déposé en novembre 2000.
- [B- 4] GAGNON, Y., MEUNIER, M., SAVARIA, Y., «Method and Apparatus for Iteratiely Selectively Tuning the Impedance of Integrated Semiconductor Devices Using a Focussed Heating Source», brevet depose au Canada # 2,277,607, US # 6,329,272 accordé en décembre 2001.
- [B- 5] SAWAN, M., ELHILALI, M., «Electronic Stimulator Implant for Modulating and Synchronizing Bladder and Sphincter Functions» application en cours, 2000.
- [B- 6] SAWAN, M., HARVEY, J.F., ROY, M., COULOMBE, J., DONFACK, C., SAVARIA, Y., «Body Electronic Implant and Artificial Vision System Thereof», *Demande internationale*, No. 27293-0014, 2000.

RAPPORTS TECHNIQUES:

- [R-1] FORD, B., MICHEAL, GRANGER, E., «A Comparative Analysis of Selected ESM Deint» DREO Technical Report, TR 2000-097, Defence Research Establishment, Ottawa, 105 pages.
- [R-2] GRANGER, E., SAVARIA, Y., LAVOIE, P., «A Pattern Reordering Approach Based on Ambiguity Detection for On-Line Category Learning», Rapport technique EPM/RT -01/02, École Polytechnique de Montréal, 2001, 40 pages.

INDEX DES AUTEURS

A		HÉBERT, Olivier 51
ACHOUR Chokri..... 16		<i>HU, Yamu</i> 52
B		K
BA, Aguibou 17		KASSEM, Abdallah..... 53
BAILLARGÉ, Jacques 18		KUMAR, Padmapriya..... 54
BEAUDIN, Sylvain 19		L
BENDALI, Abdelhalim 20		LACOURSE, Alain 55
BERTOLA, Marc..... 21		LAFRANCE, Louis-Pierre..... 56
BOYER, François Raymond..... 22		LANGLOIS, Hughes 57
BOYER, Stéphane 23		LEMIRE, Jean-François..... 58
BOYOGUENO BENDÉ, André..... 24		LOISEAU, Ludovic 59
BRAIS, Louis-Philippe..... 25		LU, Meng..... 60
C		<i>LU, Zhijun</i> 61
CALBAZA, Dorin-Emil 26		M
CANTIN, Marc-André..... 27		<i>MARDARE, Diana-Liliana</i> 62
CARNIGUIAN, Sylvain..... 28		MBAYE, Mame Maria 63
CHABINI, Noureddine 29		MOKHTARI, El-Yamine..... 64
CHAIB, Gaby..... 30		<i>MONTÉ-GENEST, Ginette</i> 65
CHEBLI, Robert 31		<i>MOUJOU, Abderrafia</i> 66
CHEVALIER, Jérôme 32		N
COULOMBE, Jonathan..... 33		NSAME, Pascal 67
COUSINEAU, Cynthia..... 34		P
CYR, Geneviève 35		<i>PEPGA BISOU, Jean</i> 68
D		Q
DELAGE Jean-François 36		<i>QIU, Bing</i> 69
DIDO, Jérôme 37		R
DJEBBI, Moncef..... 38		RÉGIMBAL, Sébastien 70
DJEMOUAI, Abdelouhab..... 39		RENAUD, Mathieu..... 71
E		RICHARD, Jean-François 72
EL HALALI, Hicham 40		S
ELSANKARY, Kamal..... 41		SCHNEIDER, Éric..... 73
F		T
FAYOMI, Christian 42		TIZU, Marius Sorin..... 74
<i>FILION, Luc</i> 43		<i>TRABELSI, Abdelaziz</i> 75
FOUZAR, Youcef..... 44		TREMBLAY, Jean-Marc..... 76
G		<i>TRÉPANIÉ, Jean-Luc</i> 77
GERVAIS, Jean-François 45		W
GHATTAS, Hany 46		<i>WANG, Jiahong</i> 78
GRANGER, Éric..... 47		
H		
HARB, Adnan..... 48		
HARVEY, Jean-François 49		
HASHEMI, Saeid..... 50		

