

ÉCOLE POLYTECHNIQUE
DE MONTRÉAL

GROUPE DE RECHERCHE EN
MICROÉLECTRONIQUE

RAPPORT ANNUEL

2001 - 2002

DÉCEMBRE 2002

TABLE DES MATIÈRES

REMERCIEMENTS	1
INTRODUCTION	1
COLLABORATIONS EN 2001-2002.....	1
OBJECTIFS DU GRM	2
COMPOSITION DU GROUPE	2
LISTE DES MEMBRES RÉGULIERS	2
LISTE DES MEMBRES ASSOCIÉS	3
LISTE DES CHERCHEURS POST DOCTORAUX ET AUTRES PROFESSIONNELS	3
PROGRAMME DE RECHERCHE EN VLSI	3
DOMAINES	3
ACTIVITÉS DES MEMBRES RÉGULIERS	3
ACTIVITÉS DU PROFESSEUR SAVARIA	4
ACTIVITÉS DU PROFESSEUR AUDET	5
ACTIVITÉS DU PROFESSEUR BOIS	6
ACTIVITÉS DU PROFESSEUR BOYER	7
ACTIVITÉS DU PROFESSEUR BRAULT	8
ACTIVITÉS DU PROFESSEUR KHOUAS	9
ACTIVITÉS DU PROFESSEUR MACIEJKO	10
ACTIVITÉS DU PROFESSEUR MARTEL	11
ACTIVITÉS DU PROFESSEUR SAWAN	12
ÉTUDIANTS AUX CYCLES SUPÉRIEURS	13
ÉTUDIANTS RECEMMENT INSCRITS	14
TITRES DES PROJETS ET DIPLÔMES EN COURS DE CHAQUE ÉTUDIANT	15
DESCRIPTION DÉTAILLÉE DES PROJETS D'ÉTUDIANTS	18
SUBVENTIONS ET CONTRATS	98
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE INDIVIDUELLES	98
SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE DE GROUPE	99
ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA) AU GRM ET À LA POLYTECHNIQUE.	102
ÉQUIPEMENT APPARTENANT AU GROUPE (www.GRM.polymtl.ca).....	103
LOGICIELS	104
PUBLICATIONS ET RÉALISATIONS	106
ARTICLES DE REVUES ACCEPTÉS POUR PUBLICATION	106
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2001 À AOÛT 2002	106
ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 2000 À AOÛT 2001	107
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2001 À AOÛT 2002	108
ARTICLES DE CONFÉRENCE DE SEPTEMBRE 2000 À AOÛT 2001	110
AUTRES PUBLICATIONS (invitation)	112
CHAPITRE DE LIVRES	112
BREVETS	112
RAPPORTS TECHNIQUES	112
INDEX DES AUTEURS	113

REMERCIEMENTS

Nous désirons remercier tous les membres du GRM (Groupe de Recherche en Microélectronique) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à madame Ghyslaine Éthier Carrier pour son excellent travail de secrétariat afin de produire ce rapport et à Réjean Lepage pour sa collaboration à sa diffusion sur le WEB. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche.

INTRODUCTION

Le Groupe de Recherche en Microélectronique (GRM) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 2001 – 2002, 88 étudiants inscrits à la maîtrise ou au doctorat, professionnels et techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GRM et en collaboration avec des collègues des milieux universitaire et industriel. Les membres du groupe ont connu des succès importants aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) et auprès du Fonds Québécois de la recherche sur la nature et les technologies (NATEQ), ainsi qu'au programme de prêt d'équipement de la Société Canadienne de Microélectronique. Ils ont participé à trois projets réalisés dans le cadre de Micronet, le centre d'excellence en Microélectronique. Citons aussi les projets réalisés avec des partenaires industriels, Gennum, Hyperchip, LTRIM, PMC-Sierra. Victhom ainsi que ceux réalisés pour le Ministère de la Défense. Le groupe vise un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 2001-2002

L'année 2001 – 2002 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GRM et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple la collaboration entre les professeurs Savaria et Thibeault de l'École de Technologie Supérieure (Méthode de test et conception de systèmes WSI); Savaria, Bois et Aboulhamid de l'Université de Montréal (vérification); Savaria et Wang de Concordia (conception d'un circuit tolérant aux pannes et conception d'un convertisseur A/D virgule flottante), Savaria et Lakhsasi de l'UQAH (modélisation thermique); Savaria et Meunier (technologie de calibration par laser de circuits analogiques) Savaria, Badia, (Université de Montréal) Desjardins et Rochefort (nanoélectronique). Sawan et Boukadoum de l'UQAM (circuits à ultrasons), Sawan et Roberts de McGill (convertisseurs rapides), Sawan et El-Gamal (circuits à fréquences radio). De plus, R. Maciejko travaille sur la modélisation et la caractérisation des lasers à semi-conducteurs avec R. Leonelli, Université de Montréal, sur l'étude de la Photoluminescence de mono structures avec D. Morris, Université de Sherbrooke et de la Photoluminescence résolue en temps et échantillonnage électro-optique. Notons la collaboration avec plusieurs membres du centre PolyGrames, notamment les professeurs Savaria et Laurin (interconnexions de circuits VLSI à très haute vitesse), Sawan et Ghannouchi (Applications des circuits DSPs en micro-ondes), Sawan et Meunier (microélectrodes). Ajoutons que sur le plan de la mise en œuvre de dispositifs microélectroniques médicaux, le professeur Sawan collabore avec le Dr M. Elhilali de l'Université McGill (implant urinaire), le Dr F. Bellemare de l'Université de Montréal (cathéter ophagien), le Dr D. Guitton de l'Université McGill (implant visuel cortical) et le Dr J. Faubert de l'École d'optométrie de l'Université de Montréal (capteurs optiques).

OBJECTIFS DU GRM

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique a pour objectif général de «promouvoir et regrouper les activités de recherche en Microélectronique à l'École Polytechnique de Montréal».

Plus spécifiquement, le Groupe de Recherche en Microélectronique poursuit les objectifs suivants :

- Regrouper dans une entité visible et identifier les chercheurs qui œuvrent dans des secteurs reliés à la Microélectronique;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d'échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe;
- Assurer le bon fonctionnement des laboratoires du GRM;
- Faciliter l'accès à la technologie Microélectronique aux autres chercheurs de l'École et de l'extérieur de l'École susceptible d'en profiter.

Ces objectifs n'ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique relève du directeur du département de génie électrique et se compose des membres réguliers, membres associés et d'autres professionnels et chercheurs:

Liste des membres réguliers

- **Dr Yves Savaria:** professeur titulaire au département de génie électrique, titulaire d'une chaire de recherche du Canada en Conception de systèmes microélectroniques intégrés, directeur du Groupe de Recherche en Microélectronique, responsable administratif du laboratoire de VLSI. Il s'intéresse à la méthodologie du design des systèmes intégrés, aux problèmes de tolérance aux pannes et de testabilité, à la conception et la vérification des systèmes sur puce (SOC), à la conception des circuits numériques, analogiques et mixtes et aux applications de ces technologies.
- **Dr Yves Audet:** professeur adjoint au département de génie électrique, ses travaux de recherche portent sur les circuits intégrés analogiques, les capteurs d'images CMOS et les interconnexions photoniques pour système VLSI.
- **Dr Guy Bois:** professeur agrégé au département de génie informatique qui s'intéresse à la conception des systèmes embarqués, plus particulièrement à leurs spécification, modélisation, partitionnement logiciel/matériel, synthèse, vérification fonctionnelle et prototypage.
- **Dr Jean-Jules Brault :** professeur au département de génie électrique qui s'intéresse à
- **Dr François Raymond Boyer :** professeur adjoint au département de génie informatique qui s'intéresse aux architectures et méthodes de conception des circuits VLSI. Il s'intéresse notamment à l'optimisation des systèmes exploitant des horloges multiphase.
- **Dr Abdelhakim Khouas:** professeur adjoint au département de génie électrique dont les domaines de recherche portent sur le test et la conception en vue du test (chemin de SCAN, BIST, JTAG) des circuits intégrés numériques, analogiques et mixtes, le développement d'outils de CAO pour la microélectronique, le prototypage de systèmes numériques et la synthèse sur FPGA.
- **Dr Sylvain Martel :** professeur adjoint au département de génie informatique dont le domaine de recherche est principalement la conception de micro et nano systèmes électromécaniques incluant la nanorobotique pour les applications au niveau moléculaire et atomique en touchant plusieurs aspects comme l'instrumentation, l'électronique, les ordinateurs et ainsi que les systèmes reconfigurables. En nanorobotique, nous exploitons les découvertes fondamentales en nano sciences par la conception de nanorobots capable de travailler au niveau du nanomètre pour créer de nouveaux systèmes, produits et applications.
- **Dr Mohamad Sawan:** professeur titulaire au département de génie électrique et détenteur d'une chaire de recherche du Canada sur les dispositifs médicaux intelligents, qui s'intéresse à la conception et la réalisation de circuits mixtes (numériques, analogiques, optiques et RF) et à leurs applications dans les domaines industriel (communication sans fil) et biomédical, (stimulateurs et capteurs sensoriels)

Liste des membres associés

- **Dr David Haccoun:** professeur titulaire au département de génie électrique qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'impact de l'intégration en VLSI. Il collabore avec MM Savaria et Sawan sur l'implantation de codeurs-décodeurs.
- **Dr Romain Maciejko:** professeur titulaire au département de génie physique, dont le domaine de recherche porte sur l'étude et la réalisation de dispositifs optoélectroniques intégrés.
- **Dr Michel Meunier:** professeur titulaire au département de génie physique et titulaire d'une chaire de recherche du Canada en micro-ingénierie et nano-ingénierie des matériaux par laser. Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de lasers dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration et la calibration par laser pour la microélectronique et avec Mohamad Sawan sur les micro-électrodes.

Liste des chercheurs post doctoraux et autres professionnels

- M. Ali Awada postdoctoral
- M. Marc Belleau associé de recherche
- M. Aissa Boudjella associé de recherche
- M. Stéphane Boyer associé de recherche

De plus, les personnes suivantes collaborent aux travaux du groupe à divers titres:

- M. Jean Bouchard: technicien du laboratoire VLSI.
- M. Réjean Lepage: technicien du laboratoire GRM.
- M. Alexander Vesey technicien du laboratoire GRM

Ces personnes forment le Groupe de Recherche en Microélectronique de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la Microélectronique.

PROGRAMME DE RECHERCHE EN VLSI

Domaines

Les programmes de recherche et de formation de chercheurs en VLSI de l'École Polytechnique recouvrent les sous secteurs suivants;

- La technologie VLSI en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défauts;
- Les applications, surtout en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, et en biomédical par la réalisation de micro stimulateurs implantables;
- Les logiciels de synthèse, et de conception et de test assistés par ordinateur;
- Les dispositifs électroniques et électro-optiques, ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse par chaque membre de ses activités au sein du GRM.

Activités du professeur Savaria

Il conduit des recherches selon deux grands axes: l'élaboration de méthodes de conception et l'utilisation des technologies microélectroniques dans des applications spécifiques. Le premier axe englobe des travaux sur les méthodes de conception de circuits à haute vitesse, de circuits de synthèse d'horloge, la conception de circuits analogiques précis, les plate formes SOC et la vérification des systèmes électroniques. Il englobe aussi les techniques d'autotest et de tolérance aux pannes et aux défauts. Le second axe couvre des thèmes divers comme la conception d'un estimateur de fréquence, la conception de systèmes de radio configurable, la conception de décodeurs convolutionnels systèmes de vision 3D, la conception d'une plate-forme SOC pour la réalisation de processeurs réseau et de systèmes de traitement vidéo, la réalisation de circuits de synthèse d'horloge, la conception de circuits analogiques précis et la mise en œuvre de processeurs spécialisés. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception

Nos travaux sur les méthodes de conception explorent diverses architectures pour la synthèse d'horloge exploitant des accumulateurs de phase qui commandent la sélection de phases dérivées d'une horloge de référence à l'aide de lignes à délais. Ils portent aussi sur l'exploration d'une nouvelle architecture de PLL qui découple les caractéristiques de capture et de maintien. Du côté des circuits analogiques précis, nous explorons les architectures des références de tension, celles des comparateurs de phase précis et sans zone morte de même que nous explorons les architectures de convertisseurs A/D applicables aux systèmes vidéo de haute performance. Nos recherches portent notamment sur la possibilité de calibrer ces circuits par la création locale de résistances de valeurs programmables.

Nous explorons la notion de plate-forme SOC comme façon de développer efficacement des circuits dérivés pour une classe d'application. Une telle plate-forme est composée de modules paramétrables, réutilisables et compatibles entre eux qui forment la base d'une architecture flexible pour la classe d'application ciblée.

En ce qui a trait aux méthodes de vérification, nous explorons le potentiel des langages de vérification (HVL) et des méthodes qui y sont associées. Nous avons expérimenté la méthode de création de banc d'essai suivant une approche de programmation par aspect et nous explorons la possibilité d'assister la création d'aspects couverture et de vérificateur d'assertion qui consomment beaucoup de temps dans la phase de vérification.

En ce qui a trait aux techniques de tolérance aux pannes, nous les explorons dans le cadre d'un projet qui vise à supporter la faisabilité d'une architecture de routeur intégré à l'échelle de la tranche.

Applications

Dans le cadre de cet axe, nous explorons un ensemble d'applications. Une des applications étudiée est l'estimation en temps réel de la fréquence d'un signal radar. Cette application permet d'explorer les méthodes de dimensionnement automatique des chemins de données.

Nous explorons les architectures possibles pour la mise en œuvre des systèmes de traitement vidéo et des convertisseurs de protocoles flexibles. L'intérêt de la flexibilité découle de la grande diversité des applications. Ce projet est un cadre concret pour appliquer et raffiner les notions de plate-forme SOC. Le projet intéresse la société Gennum.

Enfin, nous travaillons à la mise en œuvre de réducteur de bruit vidéo. Ce projet est quant à lui un véhicule pour explorer les techniques de conception pour la réutilisation systématique. Ce projet est suivi de près par la société Miranda.

Activités du professeur Audet

Les activités du professeur Audet sont reliées aux capteurs photoniques, fabriqués en procédé CMOS, visant deux champs d'applications spécifiques soient : les capteur d'images intégrés et les détecteurs photoniques de haute performance pour système VLSI à interconnexions optiques.

1. Les capteurs d'images CMOS

Ce programme de recherche adresse la problématique de conception et de fabrication de capteurs d'images CMOS de grande surface, qui permettrait d'obtenir une caméra numérique de résolution spatiale comparable à celle d'une caméra avec pellicules chimiques photosensibles. On vise un capteur ayant une matrice de pixel de 36 x 24 mm de surface pour atteindre la compatibilité avec la gamme des lentilles développées pour la photographie SLR 35 mm.

Outre la réalisation d'un capteur d'images de grande surface, les techniques de conception de pixels redondants avec autocorrection développées sont aussi utiles à la réalisation de capteurs d'images employés dans des environnements hostiles comme l'espace, les mines, les réacteurs nucléaires, ...etc., là où une caméra peut-être exposée à des radiations, des températures et des pressions extrêmes pouvant endommager le capteur. Ainsi, les propriétés d'autocorrection de l'architecture redondante permettront à la caméra de transmettre des images plus longtemps dans ces milieux hostiles où le remplacement et la réparation sont difficiles, voire impossibles.

2. Les détecteurs photoniques

Ici on s'intéresse au développement de technique de propagation de signaux par modulation photonique, tant sur un même circuit intégré qu'entre puces d'un même système, de façon à éliminer les interconnexions métalliques critiques qui limitent la performance des systèmes. Des taux de propagation supérieurs à 1 Gb/s sont visés.

Bien que la recherche sur les interconnexions photoniques ait favorisé jusqu'à maintenant les dispositifs III-V pour la conversion de signaux électriques à signaux photoniques, la diminution constante de la taille des structures fabriquées sur technologie CMOS pourrait avantager les dispositifs photoniques au silicium notamment au niveau des photos détecteurs. Avec la diminution de la taille des structures, les capacités parasites des composants actifs diminuent également de sorte qu'un faisceau lumineux de moindre énergie est requis pour activer une cellule photo-déetectrice au silicium et une réponse plus rapide peut être obtenue. Les avantages d'un photo détecteur au silicium pouvant être intégrés à même une puce VLSI sont considérables, même si les performances sont moindres qu'un photo-détecteur en technologie III-V. Citons entre autre la simplicité du procédé de fabrication CMOS comparé aux technologies hybrides III-V – CMOS et l'élimination des circuits liés à l'intégrité des signaux d'horloge en amplitude et en phase, tels que les répéteurs et les circuits de verrouillage de phase (PLL). À l'heure actuelle, dû aux problèmes de délais associés aux interconnexions métalliques, il est de plus en plus difficile d'assurer la synchronisation entre les différents modules d'un système VLSI, de sorte que les techniques de propagation de signaux asynchrones sont maintenant envisagées pour relier des modules sur une même puce, ajoutant à la complexité du système. Les interconnexions photoniques assureront la performance des systèmes VLSI sans ajouter à leurs complexités.

Activités du professeur Bois

Le professeur Bois conduit des recherches dans le domaine de la Microélectronique, principalement dans le domaine du co-design et de la co-synthèse conjointe logiciel/matériel pour systèmes embarqués.

De nos jours, les systèmes embarqués sont de plus en plus présents dans les produits industriels et commerciaux : contrôleur d'injection d'une voiture, robot industriel, téléphone cellulaire, etc. Afin de concevoir ces systèmes de plus en plus complexes, l'ingénieur doit avoir recours à l'utilisation conjointe de processeurs d'usage général, dont les performances atteignent aujourd'hui des niveaux très élevés, et de circuits spécialisés chargés de la réalisation de fonctions spécifiques. De plus, la concurrence sur les produits et les services, impose à tous, la sévère loi du *time to market*, qui impose de réduire fortement le temps alloué au développement. La situation de ces défis impose donc une approche d'ingénierie simultanée du logiciel et du matériel, nommé co-design.

Le professeur Bois travaille au développement de méthodes modernes de conception et de vérification conjointe logiciel/matériel. Plus particulièrement, ses travaux visent à solutionner trois problèmes importants:

- La description de systèmes à un niveau d'abstraction très élevé, afin de mieux gérer la croissance exponentielle de ces systèmes (qui double à tous les 18 mois).
- La réutilisation des composants logiciel et matériels (*IP reusing*) afin de réduire le temps alloué au développement.
- La vérification fonctionnelle des systèmes embarqués.

Des outils de co-design offrant des solutions importantes aux trois points sont actuellement développés par l'équipe de recherche (www.grm.polymtl.ca/circus) du professeur Bois. Plus précisément:

En 1), des outils permettent la spécification et la modélisation d'un système embarqué avec des langages niveau système (e.g. Syslib ou SystemC). En particulier, nous sommes à développer une plate-forme à haut niveau décrite en SystemC. Cette dernière permet la simulation et l'estimation de performance au niveau transactionnel de la spécification, afin de faciliter l'exploration architecturale, en particulier le partitionnement logiciel/matériel. Finalement, ces mêmes outils permettent également le raffinement graduel de la spécification afin d'implémenter le système.

En 2), notre effort de réutilisation se fait principalement au niveau des standards de bus. Nous travaillons actuellement à la conception d'un bus sur puce générique, paramétrisable, permettant plusieurs maîtres et plusieurs esclaves. Le protocole utilisé pour ce premier effort est l'AHB et AMBA. Nous étudions également les standards OCP et CoreConnect.

En 3), nous nous intéressons aux méthodes pour faire la vérification fonctionnelle des systèmes embarqués. Pour l'instant, nous travaillons davantage sur la vérification de la partie matérielle, mais nous souhaitons pouvoir bientôt inclure la partie logicielle. Plus précisément, nous travaillons aux problèmes d'assertions et de couverture de code à partir d'une description de très haut niveau.

Les principaux partenaires industriels qui collaborent à ces différents projets sont STMicroélectronique et PMC Sierra, alors qu'au niveau universitaire les principaux collaborateurs sont les professeurs Aboulhamid (DIRO de l'Université de Montréal, ainsi que Boyer et Savaria de l'École Polytechnique.

Activités du professeur Boyer

Le professeur Boyer conduit des recherches incluant les domaines de la microélectronique, de la compilation et du traitement de signal. Plus spécifiquement, il s'intéresse au design, à synthèse et à l'optimisation des systèmes conjoints logiciel/matériel dédiés, ainsi qu'au développement d'architectures prenant partie d'un nouveau type d'horloge.

L'horloge à période variable est un concept nouveau, découlant de ses recherches au doctorat, qui pourrait avoir une grande influence sur notre manière de voir les circuits synchrones par rapport aux circuits asynchrones ainsi qu'avoir des nouvelles applications. L'idée est de permettre de moduler la longueur des cycles d'horloges pour pouvoir suivre précisément un ordonnancement. Cet ordonnancement peut être fait à l'avance mais aussi à l'exécution, pour pouvoir traiter de manière optimale les expressions conditionnelles et pour pouvoir tenir compte de d'autres facteurs qui ne sont pas connus lors de la compilation (ou synthèse). À l'exception des circuits asynchrones, les circuits ont présentement une horloge fixe qui limite la possibilité d'ordonnancement. Pour obtenir le meilleur ordonnancement possible, il faut relâcher les contraintes de l'horloge et ce nouveau type d'horloge permet beaucoup plus de flexibilité.

La conception de systèmes dédiés demande à la fois de déterminer la structure matérielle et le logiciel devant s'exécuter sur ce matériel. Une approche conjointe logicielle/matérielle est nécessaire pour la conception et l'optimisation d'un tel système. Pour des systèmes dédiés, les outils doivent permettre la spécialisation (paramétrisation) des composantes. Puis la partie logicielle doit être compilée pour une architecture parallèle possiblement hétérogène (avec des processeurs de plusieurs types différents) et comportant des instructions spéciales. Ses recherches se situent sur différents plans, dont l'automatisation de la séparation logiciel/matériel, la compilation parallélisante pour un système hétérogène configurable, une diminution du temps associé à l'assemblage et test du système, pour un temps de mise en marché minimum.

Application au traitement audio :

Traitement de signal et isolation de la voix dans des prothèses auditives numériques

Le domaine de la prothèse auditive numérique est en expansion, dû au fait que la miniaturisation des processeurs le permet mais aussi au fait que la demande en prothèses auditives augmente (la population vieillit) et que les gens recherchent une qualité supérieure. Des études montrent que l'utilisation de plusieurs microphones est présentement la méthode qui a le plus de succès pour augmenter la discrimination des sons et améliorer l'intelligibilité. Par contre, le traitement fait sur ces sources pourrait être amélioré. L'idée du traitement en étude est de faire une analyse de phase, en utilisant des FFT sur les différentes sources, pour réduire les bruits de l'environnement par rapport à la voix venant de l'avant. Le circuit complet de traitement, avec entrée analogique, traitement numérique et sortie analogique ainsi qu'une source électrique, doit être très petit et avoir une faible consommation d'énergie pour avoir une bonne autonomie. Pour ces raisons, un système sur puce («System on Chip» ou SoC) mixte numérique/analogique sera développé.

Les principaux partenaires qui collaborent sur ces recherches sont le professeur E.M. Aboulhamid (Diro, Université de Montréal), sur l'algorithme, la simulation et la vérification, le professeur Y. Savaria (génie électrique, École Polytechnique), sur le côté matériel, le professeur G. Bois (génie informatique, École Polytechnique), dont le domaine de recherche est la conception de systèmes embarqués (dédiés), le professeur A. Saucier (mathématiques, École Polytechnique), sur l'analyse et le traitement de signal.

Les partenaires industriels sont : STMicroelectronics (systèmes dédiés pour les traitements réseaux) et ACE (compilation recible).

Activités du professeur Brault

Le professeur Brault dirige le LRN (Laboratoire de Réseaux Neuronaux). Ses recherches visent plus spécifiquement à appliquer les algorithmes d'apprentissage (AA) à des problèmes d'inférence sur des données expérimentales (relations non-linéaires, non-gaussiennes et non-stationnaires) en utilisant des machines (virtuelles ou physiques) partageant le plus possible les paradigmes fonctionnels des réseaux neuronaux RN (artificiels ou réels). D'une part, ce sont des approximateurs universels (en classification, régression ou fonction de densité), et d'autre part, vu l'homogénéité des traitements, ils peuvent être intégrés relativement aisément sur circuits électroniques.

Les principales difficultés que l'on rencontre dans le design de ces machines proviennent du fait qu'elle sont habituellement adaptés itérativement et que l'information est massivement distribuées dans les interconnexions du RN. Parmi ces difficultés, notons, quel type de neurones utilisés (déterministes ou stochastiques, modèle de McCulloch-Pitts ou Hodgkin-Huxley), combien de neurones (capacité adaptée), quel type d'interconnexions (avec ou sans récurrence), quel type d'interconnexions (avec ou sans récurrence), quel paradigme/loi d'apprentissage (supervisé ou non-correction d'erreurs, minimisation d'entropie, etc.), quelle fonction de coût minimisé, etc. Tous ces «hyperparamètres» doivent évidemment conduire à la conception d'une machine capable de bien généraliser (intrapoler ou extrapoler) à partir de nouvelles données (inconnues).

Les RN qui retiennent particulièrement notre attention sont les RN stochastiques causales (réseaux baye siens). Ce type de système comporte habituellement un très grand nombre de variables stochastiques et les techniques d'optimisation dites « optimales », comme le recuit simulé, sont souvent jugées inutilisables à cause des temps de calcul ou de la mémoire requise pour leur mise en œuvre. En effet, pour valider un réseau baye sien, on doit générer un très grand nombre de cas (vecteurs de tests) en fonction d'une distribution de probabilité multi variables. On se frappe alors au problème de la «malédiction de la dimensionnalité». Une modification possible est l'ajout d'aspects déterministes dans le processus d'optimisation conduisant par exemple au recuit déterministe RD (Deterministic Annealing). Cette technique est basée sur le regroupement (clustering) automatique d'un ensemble de vecteurs en sous-ensembles aussi homogènes que possible.

Concernant les aspects électroniques de ces projets, nous étudions les différents aspects du recuit déterministe (RD) afin de les appliquer en temps réel à l'aide de circuits électroniques mixtes, de même que la conception de circuits échantillonneurs en fonction d'une distribution de probabilité d'un espace approximé par un ensemble fini de vecteurs obtenus préalablement par RD. Nous étudions la conception de circuits analogiques pouvant effectuer le plus efficacement possible les opérations mathématiques les plus fréquentes d'un RN classique. Nous modifions les circuits logiques traditionnels pour les rendre probabilistes.

Le professeur Brault collabore entre autres avec deux professeurs du GRM soit Mohamad Sawan (implant dans l'aire cortical de la vision : valider un modèle informatique de réseaux biologiquement réalistes) et Yvon Savaria (étudier une application possible de l'informatique quantique aux réseaux de neurones probabilistes).

Activités du professeur Khouas

Le professeur Khouas conduit des activités de recherche dans le domaine de la microélectronique, et principalement dans le domaine de la conception en vue du test « Design for Testability DFT » des circuits intégrés et des systèmes sur puce « System on Chip SOC » et dans le domaine des outils de CAO pour la conception, la vérification et le test des circuits intégrés.

La demande croissante de nouveaux produits électroniques de plus en plus petits, à bas prix et de faible consommation dans toutes les applications de l'électronique a stimulé la croissance rapide des systèmes intégrés sur puce « System on Chip Soc ». Les SOC intègrent des parties analogiques, numériques, mixtes (analogique-numérique), des mémoires et des microprocesseurs sur le même circuit intégré. Les technologies modernes de fabrication de circuits intégrés permettent cette intégration de plusieurs modules sur la même puce, ce qui permet d'avoir des circuits plus performants, plus rapides, plus petits et à faible coût. Par contre, à cause de cette intégration croissante, le test de ces SOC devient de plus en plus difficile et surtout de plus en plus coûteux, ce qui risque de ralentir leur croissance au cours des prochaines années.

L'objectif des travaux de recherche du professeur Khouas est de développer de nouvelles méthodes de test pour les SOC afin de maintenir un coût de test relativement faible par rapport au coût de fabrication. La voie la plus prometteuse pour réduire le coût de test est l'utilisation des méthodes de conception en vue du test. Le but principal de ces méthodes DFT est de rendre les circuits facilement testables en modifiant leur conception. Pour les SOC, l'augmentation de la surface due au matériel ajouté (cellules et routage) et l'augmentation du temps d'application des vecteurs de test sont les deux inconvénients majeurs des méthodes de conception en vue du test existant. Ses travaux de recherche visent à optimiser ces deux paramètres en explorant les trois axes de recherche suivants :

Optimisation de la surface engendrée par les mécanismes d'accès au test des modules internes «Test Access Mechanism TAM»; la norme IEEE P1500 qui est en cours de développement permettra de normaliser et donc de faciliter le test des SOC, mais elle engendrera des contraintes et des coûts additionnels. Cette norme laisse au concepteur du SOC le choix du mécanisme TAM et c'est précisément le TAM qui représente la plus grande partie de la surface additionnelle.

Développement des méthodes de compression/décompression de vecteurs de test : ces techniques permettent de réduire le temps d'application des vecteurs de test et d'assouplir les exigences en terme de mémoire, de nombre de canaux et de vitesse sur les testeurs.

Développement d'un outil d'aide au test pour les SOC: avec la complexité croissante des SOC qui intègrent de plus en plus de modules, le choix des techniques de DFT permettant d'optimiser la surface additionnelle et le temps d'application des vecteurs de test en tenant compte de toutes les contraintes sur les différents modules IP et sur le système est une tâche qui devient de plus en plus complexe et pour laquelle des outils automatiques sont nécessaires. Notre but est d'élaborer un outil d'aide à l'insertion et à l'optimisation des techniques de conception en vue du test pour les SOC.

Activités du professeur Maciejko

Le professeur Romain Maciejko dirige le laboratoire d'optoélectronique. Il est aussi de projet à l'Institut Canadien pour les Innovations en Photonique (Centre d'excellence). Il a à son actif une vingtaine d'années de recherche dans le domaine des fibres optiques et de l'optoélectronique, avec 6 années passées au Laboratoire de Technologie Avancée, BNR, Ottawa, dont 3 années comme manager au Département des Applications des Fibres Optiques. À l'École Polytechnique, il a mis sur pied le laboratoire d'Optoélectronique. Avec ses chercheurs et ses étudiants gradués, il poursuit ses recherches sur les lasers à semi-conducteurs, sur la modélisation numérique et la fabrication des dispositifs photoniques à semi-conducteurs, sur la modélisation numérique et la fabrication des dispositifs photoniques à semi-conducteurs, sur les phénomènes ultra-rapides en photonique, sur la photoluminescence résolue en temps en régime femto seconde, sur la modélisation du transport de la charge électrique dans les semi-conducteurs à l'aide de la méthode Monte Carlo et sur les commutateurs optoélectroniques à photoconduction. Sa recherche a deux volets: un côté théorique et un côté expérimental.

Le volet théorique comprend l'étude de la conception et de la performance de différents composants basés sur les hétéro structures à puits quantiques conventionnels ou contraints. Nous travaillons particulièrement à la simulation des lasers à puits quantiques multiples de type Fabry-Pérot et DFB ainsi que sur les amplificateurs optiques à semi-conducteurs. On a développé une banque de programmes: simulateurs laser pour l'industrie (NORTEL), un simulateur Monte Carlo à multi particules, la méthode de propagation des faisceaux (BPM), la simulation des guides optiques par la méthode des éléments finis, le calcul de bandes dans les semi-conducteurs à l'aide de l'hamiltonien de Kohn-Luttinger, la résolution de l'équation de Schrödinger pour les puits quantiques simultanément avec l'équation de Poisson et d'autres programmes de moindre importance.

Le volet expérimental comprend des activités de fabrication de composant et des activités de caractérisation. La fabrication se fait à partir de couches épitaxiées (nanostructures) obtenues d'autres laboratoires (NORTEL). La caractérisation comprend l'étude de la photoluminescence résolue en temps à l'aide d'un laser titane-saphir femto seconde construit par nous-mêmes. Nous avons étudié la réponse ultra-rapide des semi-conducteurs, notamment le transport de porteurs de charge. Nous avons fait des études à des températures cryogéniques et nous utilisons un système de comptage de photons ultrasensible pour la détection. Cette caractérisation nous permet d'étudier les processus sur des échelles de temps de l'ordre de 50 femto secondes. De plus, nous avons fabriqué un commutateur optoélectronique ultra-rapide utilisant la photoconduction activée par un laser d'impulsions ultra-brèves. Nous utilisons l'échantillonnage électro-optique pour caractériser des circuits in situ grâce à des effets photoréfractifs.

Depuis plusieurs années, nous avons eu des collaborations soutenues avec les laboratoires des Technologies Nortel à Ottawa, impliquant entre autre chose, l'embauche de plusieurs de nos étudiants de façon permanente et l'engagement d'un stagiaire pour 8 mois. On sait que ce laboratoire est un des chefs de file dans le domaine de la photonique au niveau mondial.

De plus, dans notre collaboration avec le Dr E Berolo du Centre de Recherche sur les Communications du Canada à Ottawa (CRC), nous avons identifié les amplificateurs optiques à semi-conducteurs (AOS) comme un dispositif-clé offrant beaucoup de possibilités pour les futurs systèmes, en particulier la conversion en longueur d'onde pour les systèmes DWDM; c'est ce dernier aspect qui a intéressé d'une façon toute particulière les laboratoires CRC.

Nous avons aussi eu un projet entre notre laboratoire et celui du professeur Claude Albert de Montpellier, subventionné par le programme France-Québec. Il y a eu plusieurs échanges de stages entre les deux laboratoires. De par le passé, nous avons eu des professeurs visiteurs, dont le professeur R. Chisleag de Bucarest et le professeur Pierre Tronc de L'ESPCI de Paris (là où les Currie ont découvert le radium). Ce dernier est venu nous visiter régulièrement, presque à chaque année, pour faire des études de luminescence sur des matériaux à puits quantiques. Une de ses étudiantes au doctorat est venue faire un stage de 3 mois au laboratoire d'optoélectronique. Ces travaux ont mené à 5 publications conjointes.

Activités du professeur Martel

Les activités du professeur Martel se situent principalement dans la recherche et le développement de systèmes miniatures intelligents et plus particulièrement dans le domaine de la nanorobotique. L'objectif actuel consiste à développer des nanorobots avec une infrastructure conçue pour supporter une flotte d'une centaine de ces nanorobots capables d'opérer très rapidement et de façon autonome au niveau moléculaire et jusqu'au niveau des atomes.

Pour ce genre de projets, nous devons développer plusieurs systèmes électroniques et microélectroniques spécialisés pour supporter, contrôler et implanter plusieurs tâches complexes incluant par exemple :

Système en temps réel et de très haute performance de positionnement, de navigation et communication à infrarouge pour plates-formes nanorobotique ;

Système de positionnement miniature de résolution atomique basé sur les techniques de microscopie à effet tunnel ;

Systèmes et instruments miniatures de manipulation, mesure, synthèse et fabrication au niveau moléculaire ;

Système de contrôle embarqué pour déplacement de nanorobots, etc.

Notre intérêt est donc le développement de divers circuits miniatures (analogue et numérique) de haute performance en utilisant diverses approches, techniques, outils de conception et systèmes de vérification/validation surtout niveau système sur puces (SoC).

La miniaturisation, précision, vitesse et le rendement en temps réel sont des aspects très importants et critiques dans la plupart des systèmes électroniques développés pour ce genre de projet. Les systèmes à concevoir sont aussi généralement très complexes et exigeants et font appel à plusieurs technologies qui doivent être intégrées dans des systèmes micro-mécatroniques avec instruments intégrés de très haute précision et opérant à de très grandes vitesses.

Activités du professeur Sawan

Le professeur Sawan dirige une équipe de recherche ayant des activités qui se diversifient selon les grandes priorités suivantes: la conception, la réalisation et le test des circuits intégrés numériques, analogiques, mixtes et à fréquences radio; la conception des systèmes pour l'acquisition et le traitement de signal et d'image; la mise en œuvre de divers appareillages médicaux et plus particulièrement des microstimulateurs et capteurs sensoriels implantables et non-implantables et des systèmes optiques et ultrasoniques portables; l'assemblage (PCB, SMT.) et l'encapsulation de dispositifs électroniques; le prototypage rapide se servant de circuits intégrés programmables (CPLD, FPGA, FPMA, ...) et de systèmes reconfigurables.

L'ensemble de ces priorités s'articule autour de deux objectifs essentiels soient la réalisation de modules et de systèmes complets servant à des applications industrielles variées tel que les télécommunications, et la mise en œuvre de dispositifs médicaux servant à la récupération des organes et/ou des fonctions chez les patients ayant perdu l'usage (ou n'ayant pas) de ces fonctions.

Pour répondre au besoin grandissant des applications en microélectronique nécessitant des systèmes miniatures, nos activités de recherche se trouvent orienter vers la conception et la réalisation des fonctions et systèmes analogiques, mixtes (analogique - numérique) et aux circuits et systèmes à fréquences radio. À titre d'exemple, nous nous intéressons aux trois catégories de convertisseurs analogique à numérique (ADC): rapide, à haute précision et à très basses alimentation et à consommation. Nous proposons des filtres reconfigurables et à bande passante élevée, des préamplificateurs à très faible niveau de bruit et à large bande passante, des amplificateurs variés programmables, des régulateurs de tension, des PLL (Phase-Locked Loop) à grande plage d'opération, des FLL (Frequency-Locked Loop) à réponse très rapide. Aussi, des nombreux autres circuits intégrés mixtes font l'objet de nos travaux de recherche dans le cadre des applications médicales : capteurs et microstimulateurs, conversion optique – électrique, ultrasons, microélectrodes techniques de mesures intégrés, etc. Ajoutons que nous menons des travaux dans le domaine de communications sans fil, plus spécifiquement nous travaillons à la mise au point de systèmes complets, soient des mélangeurs, des MODEM, des ADC des amplificateurs de puissance avec techniques de linéarisation dédiées, etc.

Les systèmes dédiés à des applications médicales doivent être performants, (dimensions réduites et à très basse consommation d'énergie) fiables et flexibles. La plupart de ces applications pluridisciplinaires regroupent l'ensemble des activités non seulement en microélectronique mais dans les différentes activités connexes en sciences et génie. Ceci implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, micromachinage, médecine, etc. Nous nous intéressons présentement à mettre en œuvre un bon nombre de ces systèmes soient: un implant urinaire composé d'un capteur et d'un stimulateur servant à contrôler les deux fonctions de la vessie (rétention et incontinence); un implant visuel dédié à la création d'une vision acceptable chez les non-voyants; un système de stimulation dédié à la récupération de mouvements simples de bras paralysés; un dispositif capteur de signaux neuronaux dans le but de mesurer le volume d'urine dans la vessie et de commander le mouvement des membres artificiels remplaçant des membres amputés. Nous prévoyons apporter des solutions aux dysfonctions dans le domaine de la respiration (apnée) chez les nourissants et chez les adultes, de l'énurésie nocturne, etc. À titre d'exemple, nous proposons un cathéter ayant une paire d'électrodes et une paire de capteurs piézo-électriques pour évaluer les pressions et l'EMG aux niveaux de l'estomac et des poumons. Nous poursuivons nos travaux sur les techniques de télémétrie pour le test et la surveillance des activités des neurostimulateurs implantables.

Titulaire d'une Chaire de recherche du Canada sur les dispositifs médicaux intelligents, le professeur Sawan est co-fondateur de l'IFESS (International Functional Electrical Stimulation Society), membre senior de l'IEEE, Fellow de l'Académie Canadienne du génie, membre de l'«Association for Urology and Engineering» et membre de plusieurs comités d'organisation et de programme de conférences nationales et internationales. À l'École Polytechnique, le professeur Sawan est fondateur du laboratoire de recherche PolySTIM (Laboratoire de neurotechnologies) et coordonnateur de l'enseignement de la microélectronique au département de génie électrique à l'École Polytechnique.

Pour plus de détails sur les différents travaux cités ci-dessus, le lecteur est invité à lire les descriptions des projets d'étudiants dans ce rapport et à consulter notre site web au <http://polystim.grm.polymtl.ca>

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Étudiants aux cycles supérieurs ont effectué des recherches associées au GRM durant la période couverte par ce rapport:

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Amezzane, Ilham	M.Sc.A.	M. Sawan	
André, Walder	M.Sc.A.	S. Martel	
Ba, Aguibou Hamady	M.Sc.A.	M. Sawan	
Baillargé, Jacques	M.Sc.A.	G. Bois	
Bendali, Abdelhalim	M.Sc.A.	Y. Savaria	
Benny, Olivier	M.Sc.A.	G. Bois	F. Boyer
Bertola, Marc	M.Sc.A.	G. Bois	
Boyer, Stéphane	M.Sc.A.	M. Sawan	
Boyogueno Bendé, André	Ph.D.	M. Sawan	
Buffoni, Louis -Xavier	M.Sc.A.	M. Sawan	
Bui, Hung Tien	Ph.D.	Y. Savaria	
Calbaza, Dorin-Emil	M.Sc.A.	Y. Savaria	
Cantin, Marc -André	M.Sc.A.	Y. Savaria	Y. Blaquière
Carniguan, Sylvain	M.Sc.A.	M. Sawan	
Chabini, Nourreddine	M.Sc.A.	M. Aboulhamid	Y. Savaria
Chebli, Robert	M.Sc.A.	M. Sawan	
Chevalier, Jérôme	M.Sc.A.	G. Bois	
Chouchane, Tahar	M.Sc.A.	M. Sawan	
Chureau, Alexandre	M.Sc.A.	Y. Savaria	M. Aboulhamid
Coudyser, Michael	M.Sc.A.	J.-J. Brault	
Coulombe, Jonathan	Ph.D.	M. Sawan	
De La Fosse, Jacques -André	M.Sc.A.	S. Martel	
Delage, Jean-François	M.Sc.A.	M. Sawan	
Deslauriers, François	M.Sc.A.	G. Bois	Y. Savaria
Dido, Jérôme	M.Sc.A.	M. Sawan	F. Bellemare
Djebbi, Moncef	M.Sc.A.	M. Sawan	
Djemouai, Abdelouahab	Ph.D.	M. Sawan	
Dubois, Martin	M.Sc.A.	Y. Savaria	D. Haccoun
Dubois, Mathieu	M.Sc.A.	Y. Savaria	G. Bois
Duval, Olivier	M.Sc.A.	Y. Savaria	
El Sankary, Kamal	Ph.D.	M. Sawan	
Fayomi, Christian	Ph.D.	M. Sawan	G. Roberts
Filion, Luc	M.Sc.A.	G. Bois	
Fortin, Marc-Antoine	M.Sc.A.	S. Martel	
Fouzar, Youcef	Ph.D.	M. Sawan	Y. Savaria
Gervais, Jean-François	M.Sc.A.	M. Sawan	
Ghattas, Hany	M.Sc.A.	Y. Savaria	
Gilson, Mathieu	M.Sc.A.	J.J. Brault	M. Sawan
Gosselin, Benoit	M.Sc.A.	M. Sawan	
Granger, Éric	Ph.D.	Y. Savaria	
Harb, Adnan	M.Sc.A.	M. Sawan	
Hashemi, Aghcheh Body	M. Sc.A.	M. Sawan	Y. Savaria
Hu, Yamu	Ph.D.	M. Sawan	
Izouggaghen, Badre	M.Sc.A.	Y. Savaria	A. Khouas
Jecklen, Ernesto	Ph.D.	F. Ghannouchi	M. Sawan
Kassem, Abdallah	Ph.D.	M. Sawan	M. Boukaddoum
Kumar, Padmapriya	M.Sc.A.	Y. Savaria	
Lafrance, Louis -Pierre	M.Sc.A.	Y. Savaria	

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Langlois, Hughes	M.Sc.A.	Y. Savaria	
Lavigueur, Bruno	M.Sc.A.	G. Bois	
Layachi, Mohamed	M.Sc.A.	Y. Savaria	A. Rochefort
Lemire, Jean-François	M.Sc.A.	G. Bois	M. Aboulhamid
Loiseau, Ludovic	M.Sc.A.	Y. Savaria	
Lu, Meng	M.Sc.A.	Y. Savaria	C. Wang
Lu, Zhijun	M.Sc.A.	M. Sawan	
Mardare, Diana	M.Sc.A.	Y. Savaria	
Mbaye, Mama Maria	M.Sc.A.	Y. Savaria	S. Pierre
Mc Fadden, David	M. Ing.	J.J. Brault	M. Chouteau
Monté-Genest, Ginette	M.Sc.A.	Y. Savaria	C. Thibeault
Morin, Dominic	M.Sc.A.	Y. Savaria	
Nsame, Pascal	Ph.D.	Y. Savaria	
Pepga Bisou, Jean	M.Sc.A.	Y. Savaria	
Pieraut, Francis	M.Sc.A.	J.-J. Brault	
Pigeon, Sébastien	M.Sc.A.	M. Sawan	M. Meunier
Py, Jean-Sébastien	M.Sc.A.	M. Sawan	
Qin, Lisheng	M.Sc.A.	M. Sawan	
Qiu, Bing	M.Sc.A.	Y. Savaria	C. Wang
Quinn, David	M.Sc.A.	G. Bois	
Regimbal, Sébastien	M.Sc.A.	Y. Savaria	G. Bois
Renaud, Mathieu	M.Sc.A.	Y. Savaria	A. Khouas
Richard, Jean-François	M.Sc.A.	Y. Savaria	
Rondonneau, Mathieu	M.Sc.A.	G. Bois	
Sammou, Redouane	M.Sc.A.	Y. Savaria	A. Rochefort
Schneider, Éric	M.Sc.A.	M. Sawan	A. Alkhalili
Tizu, Marius Sorin	M.Sc.A.	M. Sawan	
Tohio, Bertrand	M.Sc.A.	S. Pierre	Y. Savaria
Trabelsi, Abdelaziz	M.Sc.A.	Y. Savaria	Y. Audet
Tremblay, Jean-Marc	M.Sc.A.	Y. Savaria	
Trépanier, Jean-Luc	M.Sc.A.	M. Sawan	Y. Audet
Wang, Jiahong	M.Sc.A.	G. Bois	Y. Savaria
Wang, Junfeng	M.Sc.A.	M. Sawan	A. Khouas
Yang, Michael	Ph.D.	J.-J. Brault	Y. Savaria

Étudiants récemment inscrits

Chouia, Younes	M.Sc.A.	M. Sawan	
Nguyen, Anh Tuan	M.Sc.A.	G. Bois	F. Boyer
Normandin, Frédéric	M.Sc.A.	M. Sawan	
Trépanier, Annie	M.Sc.A.	M. Sawan	
Simard, Virginie	M.Sc.A.	M. Sawan	
Yazdani, Tooraj	M.Sc.A.	M. Sawan	

Titres des projets et diplômes en cours de chaque étudiant

Cette section contient une liste de projets avec le nom des personnes concernées. Plus de détails sur chacun des projets se trouvent dans les descriptions individuelles des étudiants chercheurs.

<i>Nom de l'étudiant</i>	<i>Diplôme en cours</i>	<i>Le titre de son projet</i>
<i>Amezzane, I. ,</i>	M.Sc.A.	Technique non invasive de détection d'apnée du nourrisson.
<i>André. W.</i>	M.Sc.A.	Utilisation de la méthodologie des systèmes intégrés sur puce (SoC) pour la conception d'un robot miniature opérant à l'échelle moléculaire.
<i>Ba, A.</i>	M.Sc.A.	Conception et réalisation d'un micro-stimulateur implantable dédié à la réhabilitation des fonctions vésicales.
<i>Baillargé, J.</i>	M.Sc.A.	Le codesign logiciel/matériel : méthodologie et utilisation.
<i>Bendali, A.</i>	M.Sc.A.	Conception de circuits analogiques de précision utilisant des résistances ajustables intégrées.
<i>Benny, O.,</i>	M.Sc.A.	Automatisation du processus de raffinement d'une plate-forme de codesign pour les systèmes sur puce.
<i>Bertola, M.</i>	M.Sc.A.	Conception, réalisation et étude d'une plate-forme générique basée sur le protocole AMBA AHB.
<i>Boyer, S.</i>	M.Sc.A.	Design et tests in vivo d'un microstimulateur urinaire sélectif implantable.
<i>Boyogueno Bendé, A.</i>	Ph.D.	Méthode de conception du module de réception pour les communications par fibres optiques.
<i>Buffoni, L.-X.,</i>	M.Sc.A.	Conception d'un système de traitement d'image dédié à un implant visuel cortical.
<i>Bui, H.T.,</i>	Ph.D.	Méthodologie de conception de plate-formes System-On-Chip pour les processeurs -réseau.
<i>Calbaza, D. -E.</i>	M.Sc.A.	Analyse et conception des circuits de synthèse numérique d'horloge.
<i>Cantin, M.-A.,</i>	Ph.D.	Conversion matérielle automatique d'algorithmes de traitement de signal du format virgule flottante au format virgule fixe.
<i>Carniguian, S.</i>	M.Sc.A.	Égalisation de la consommation de puissance de l'implant visuel cortical par l'implémentation d'un algorithme de balayage adapté.
<i>Chabini, N.-E.</i>	Ph.D.	Méthodes d'optimisation pour la conception de systèmes matériels/logiciels.
<i>Chebli, R.,</i>	M.Sc.A.	Interface de réception intégrée d'un échographe portable.
<i>Chevalier, J.</i>	M.Sc.A.	Aide au partitionnement de système co-design logiciel/matériel par la simulation à haut niveau en System C.
<i>Chouchane, T.</i>	M.Sc.A.	Conception d'un mélangeur RF en technologie CMOS 0.18 µm.
<i>Chureau, A.</i>	M.Sc.A.	Réalisation d'une plate-forme de développement rapide de systèmes sur puce.
<i>Coudyser, M.</i>	M.Sc.A.	Repérage de la direction d'arrivée d'un faisceau par rapport à un réseau d'antennes disposées sur deux axes et à l'aide d'un réseau de neurones.
<i>Coulombe, J.,</i>	Ph.D.	Simulateur visuel intra cortical implantable.
<i>De La Fosse, J.A.</i>	M.Sc.A.	Utilisation des MEMS comme base motrice dans la conception d'un nanorobot à autonomie étendue (Projet Walking-die.)
<i>Delage, J.-F.,</i>	M.Sc.A.	Synthèse et conception d'une interface UHF dédiée aux applications de «tagging».
<i>Deslauriers, F.,</i>	M.Sc.A.	Génération automatique d'interfaces de communication dans un environnement logiciel-matériel multiprocesseurs.
<i>Dido, J.</i>	M.Sc.A.	Système d'acquisition de la pression transdiaphragmatique et de l'électromyogramme du diaphragme.
<i>Djebbi, M.</i>	M.Sc.A.	Conception d'amplificateur mode courant (CFOA) à faible tension d'offset et réalisation d'un filtre passe bande programmable.
<i>Djemouai, A.</i>	Ph.D.	Transfert d'énergie et transmission bidirectionnelle de données par couplage inductif pour des systèmes électroniques implantables.

<i>Nom de l'étudiant</i>	<i>Diplôme en cours</i>	<i>Le titre de son projet</i>
<i>Dubois, M.</i>	M.Sc.A.	Analyse de la connexion entre une plate-forme digitale et interface réseau ou sans-fil.
<i>Dubois, M.</i>	M.Sc.A.	Modélisation et optimisation systématique des performances d'architectures de plate-forme.
<i>Duval, O.,</i>	M.Sc.A.	Conception d'un dispositif microélectronique de test pour des composants nanoélectroniques.
<i>Elsankary, K.</i>	M.Sc.A.	Circuits CMOS mixtes (analogique, numérique et RF) dédiées à des systèmes de communication sans fil à très large bande.
<i>Fayomi, C.</i>	Ph.D.	Techniques de conception de circuits CMOS à basse tension d'alimentation dédiés aux convertisseurs analogiques /numériques.
<i>Filion, L.</i>	M.Sc.A.	Analyse, implantation et intégration d'une bibliothèque pour la spécification des systèmes embarqués dans une méthodologie de codesign.
<i>Fortin, M.A.,</i>	M.Sc.A.	Positionnement à l'échelle atomique d'un nanorobot.
<i>Fouzar, Y.</i>	Ph.D.	Étude et réalisation d'un récepteur à 2.5Gb/S en technologie CMOS dédié pour les liaisons série.
<i>Gervais, J.-F.</i>	M.Sc.A.	Conception et réalisation d'un système à haut rendement de transmission d'énergie et de données dédiées à un stimulateur implantable.
<i>Ghattas, H.</i>	M.Sc.A.	Conception d'un processeur embarqué de faible complexité dédié à une plate-forme SOC de processeurs réseaux applicables aux traitements de paquets de type signaux vidéo.
<i>Gilson, M.,</i>	M.Sc.A.	Simulation d'un réseau de neurones biologiques stimulés par une matrice d'électrodes.
<i>Gosselin, B.,</i>	M.Sc.A.	Système d'acquisition multicanaux de signaux neuronaux intracorticaux.
<i>Granger, É.</i>	Ph.D.	Étude des réseaux de neurones artificiels pour la reconnaissance rapide d'impulsions radars.
<i>Harb, A.</i>	Ph.D.	Système intégré CMOS implantable pour l'acquisition des activités vésicales par le biais de leurs voies neuronales.
<i>Hashemi, S.</i>	M.Sc.A.	Module de conversion de puissance basé sur un multiplicateur de tension et un redresseur actif dédié aux implants électroniques.
<i>Hu, Y.,</i>	Ph.D.	Techniques CMOS sans-fil dédiées aux liens électromagnétiques de dispositifs médicaux implantables.
<i>Izougghen, B.</i>	M.Sc.A.	Caractérisation et modélisation des sources de gigue et de «spurs» dans un circuit de synthèse numérique directe de phase «DDPS».
<i>Jecklen, E.,</i>	Ph.D.	Technique de linéarisation numérique des amplificateurs de puissance.
<i>Kassem, A.</i>	Ph.D.	Technique de conception SOC dédiée à l'imagerie par ultrasons.
<i>Kumar, P.,</i>	M.Sc.A.	Méthodes de conception pour la testabilité des circuits CML bipolaires.
<i>Lafrance, L.-P.,</i>	M.Sc.A.	Implantation, comparaison et analyse des performances de l'estimateur fréquentiel Crozier sur différentes plates-formes.
<i>Langlois, H.,</i>	M.Sc.A.	Optimisation paramétrique de circuits analogiques par l'intermédiaire des algorithmes génétiques.
<i>Lavigueur, B.</i>	M.Sc.A.	Exploration architecturale de processeurs réseaux à l'aide d'une plate-forme générique.
<i>Layachi, M.</i>	M.Sc.A.	Modélisation et simulation du transport électrique à travers des molécules organiques.
<i>Lemire, J.-F.,</i>	M.Sc.A..	Implantation automatique de moniteurs d'assertion en langage <i>e</i> à partir d'une méthodologie d'encapsulation dans une spécification SDL.
<i>Loiseau, L.,</i>	M.Sc.A.	Conception de modules matériels réutilisables pour un réducteur de bruit vidéo.
<i>Lu, M.</i>	M.Sc.A.	Conception d'un démonstrateur WSI (Wafer Scale Integration).
<i>Lu, Z.</i>	M.Sc.A.	Conception d'un convertisseur A/N Sigma Delta CMOS à faible alimentation et faible consommation de puissance.

<i>Nom de l'étudiant</i>	<i>Diplôme en cours</i>	<i>Le titre de son projet</i>
<i>Mardare, D.L.</i>	M.Sc.A.	Une analyse des invalides dans un flot vidéo et conception d'une interface SDRAM.
<i>Mbaye, M.M.</i>	M.Sc.A.	Conception et implémentation d'une famille de convertisseurs de protocoles (Firewire/Ethernet).
<i>Mc Fadden, D.,</i>	M. Ing.	Reconnaissance de formes hyperboliques dans les applications radar par transformée en ondelettes, recuit simulé et réseaux de neurones.
<i>Monté Genest, G.,</i>	M.Sc.A.	Caractérisation d'une méthode de test pour les circuits bipolaires CML basée sur l'injection de biais contrôlés.
<i>Morin, D.</i>	M.Sc.A.	Convertisseur analogique à numérique haute performance.
<i>Nsame, P.</i>	Ph.D.	Techniques et méthodes de conception des systèmes intégrés de type SOC.
<i>Pepga Bisou, J.</i>	M.Sc.A.	Implémentation sur une plate-forme ARM-FPGA d'un convertisseur de protocoles pour transmission de vidéo.
<i>Pieraut, F.</i>	M.Sc.A.	Optimisation des réseaux de neurones de grande capacité : étude de leur inefficacité et exploration de solutions.
<i>Pigeon, S.</i>	M.Sc.A.	Design et réalisation de microélectrodes matérielles dédiées à la stimulation corticale.
<i>Py, J.S.</i>	M.Sc.A.	Modélisation et simulation d'un milieu neuronal portant une matrice d'électrodes.
<i>Qin, L.</i>	M.Sc.A.	Conception et réalisation d'un ADC Delta-Sigma passe bande pour des applications en haute fréquence.
<i>Qiu, B.</i>	M.Sc.A.	Le diagnostic et l'analyse du rendement dans l'architecture complexe d'interconnexion.
<i>Quinn, D.</i>	M.Sc.A.	Distribution d'une application de traitement de paquets pour une architecture multiprocesseur sur puce.
<i>Régimbal, S.</i>	M.Sc.A.	Automatisation de la couverture fonctionnelle des circuits numériques.
<i>Renaud, M.</i>	M.Sc.A.	Détecteurs de phase linéaires de précision à usage multiple.
<i>Richard, J. -F.</i>	M. Ing.	Implémentation pour l'extraction en temps réel des caractéristiques de la modulation intentionnelle sur les impulsions radars.
<i>Rondonneau, M.,</i>	M.Sc.A.	Modélisation et conception d'un système d'exploitation d'une plate-forme co-design en SystemC destiné au partitionnement des systèmes sur puces (SOC).
<i>Sammou, R.</i>	Ph.D.	Élaboration d'une méthode de calcul pour déterminer la conductance moléculaire d'un système : molécule entre deux contacts métalliques d'or.
<i>Tizu, M.-S.,</i>	M.Sc.A.	Conception et réalisation d'un module de démultiplexage analogique dédié à un stimulateur visuel implantable.
<i>Trabelsi, A.</i>	M.Sc.A.	Conception et implémentation de circuits analogiques et mixtes de haute précision.
<i>Tremblay, J.-M.,</i>	M.Sc.A.	Conception d'un circuit de conversion de protocoles pour la transmission de vidéo sur des réseaux haute vitesse.
<i>Trépanier, L.</i>	M.Sc.A.	Capteur d'image CMOS à large bande dynamique pour stimulateur cortical.
<i>Wang, J.</i>	M.Sc.A.	Conception et implantation de la génération automatique de bancs d'essai réutilisables basés sur des règles.
<i>Wang, J.</i>	M.Sc.A.	Design et implémentation d'un module de synchronisation et de traitement des échos ultrasoniques.
<i>Yang, M.</i>	Ph.D.	Développer une méthode de design systématique d'un circuit logique quantique pour résoudre des problèmes complexes.

Description détaillée des projets d'étudiants

AMEZZANE, Ilham

DIPLÔME : M.Sc.A.

TITRE :

Technique non invasive de détection d'apnée du nourrisson.

RÉSUMÉ :

L'objectif de ce projet est la réalisation d'un système non invasif de surveillance à domicile des apnées du nourrisson qui surviennent souvent durant le sommeil et qui peuvent entraîner le décès si l'entourage (parents ou infirmière) n'y est pas prévenu par des alarmes. Une apnée correspond à une interruption de la respiration de plus de 10 secondes. Celle-ci peut être obstructive, ce qui correspond à une poursuite des mouvements respiratoires, centrale avec une interruption complète des mouvements thoraciques et abdominaux ou mixtes (centrale puis obstructive). La survenue de plus de 5 apnées par heure de sommeil définit le Syndrome d'Apnées du Sommeil (SAS).

PROBLÉMATIQUE :

L'un des principaux problèmes associés à la surveillance des apnées du sommeil est dû au fait que toutes les techniques existantes et qui sont relativement fiables sont malheureusement invasives (masque naso-facial, électrodes d'impédance thoracique, plethysmographie inductive ...) ce qui par conséquent entraîne d'une part un inconfort et une limitation du mouvement pendant le sommeil et d'autre part une sensibilité aux artefacts de mouvement qui se traduisent souvent par de fausses alarmes (positives ou négatives). Nous nous proposons donc de réaliser un système de surveillance sans contact avec le bébé et qui est basé sur la détection du volume respiratoire, qui est le paramètre significatif de la mécanique ventilatoire, au lieu du mouvement thoracique.

MÉTHODOLOGIE :

Pour répondre aux objectifs fixés, nous envisageons de concevoir un dispositif constitué de deux parties principales :

- La première partie comprend une enceinte, où sera placé le bébé, dont le volume doit être déterminé de façon à ce que le capteur qui sera utilisé pour la détection des variations de pression soit suffisamment sensible, et dont les conditions : air, température et humidité sont contrôlables.
- La deuxième partie comprend tout le traitement électronique :
 - L'acquisition des signaux : le capteur de pression, placé dans l'ouverture de la boîte, permet de mesurer les variations de la pression dans la boîte dues aux variations du volume respiratoire pendant la respiration corrigée au BTPS;
 - Le pré-traitement des signaux : les signaux biomédicaux étant de faible amplitude, une amplification permet de ramener leur amplitude au niveau requis par leur utilisation ultérieure;
 - L'analyse des variations de la pression, l'annulation des bruits, la détermination du seuil au-delà duquel une apnée est considérée critique et de la signaler le cas échéant.

RÉSULTATS :

Les quatre premiers mois de notre étude ont permis de mettre au point une synthèse critique des différentes méthodes de plethysmographie totale du corps existant, suivi par une recherche de littérature scientifique, et une étude de la pertinence de l'utilisation du même principe de base avec une certaine modification qui rendrait la technique plus conviviale et moins compliquée.

TITRE :

Utilisation de la méthodologie des systèmes intégrés sur puce (SoC) pour la conception d'un robot miniature opérant à l'échelle moléculaire.

RÉSUMÉ :

Notre but est de créer un robot miniature et autonome capable de travailler à l'échelle atomique. La grandeur du robot est estimée à 8 mm x 8 mm. Nous avons appelé le design un WALING-DIE. Ce robot est capable de travailler et communiquer à la fois et exécute les commandes reçues en provenance de l'ordinateur principal.

PROBLÉMATIQUE :

Nous allons concevoir un robot miniature dont les dimensions sont estimées à 3mm x a3 mm en utilisant la méthodologie des «System on Chip. Ce robot est un ordinateur en soi capable de travailler de manière autonome et d'effectuer de l'assemblage moléculaire et du sans au niveau atomique basé sur le microscope à effet tunnel (STM- scanning tunnelier microscope). Ce robot doit aussi être en mesure d'échanger les données avec un ordinateur central pour le traitement. Pour le système d'actuation, nous avons choisi d'utiliser les MEMS. Les MEMS sont des senseurs électromécaniques miniatures et des actuateurs développés à partir du procédé de fabrication des technologies VLSI. Nous avons appelé ce robot : « Walking-die.

MÉTHODOLOGIE :

Le circuit final du robot est réparti sur trois dies. Les composants numériques, les composants analogiques sont sur deux dies différents, Le troisième die est un convertisseur analogique-numérique que nous allons interfacer avec la pointe du microscope à effet tunnel. Les pattes des dies seront connectées par wire-bonding ou encore en utilisant la technologie des «flip-chip» pour un meilleur routage au niveau de la connexion des fils. Pour le contrôle des opérations, nous utilisons le microcontrôleur DW8051 de Synopsys. Ceci est un core, il ne contient ni de mémoire RAM ni ROM interne. L'électronique sera vérifiée avec un FPGA ou un CPLD avant de l'envoyer à la fabrication.

RÉSULTATS :

Le design doit être expédié à la CMC pour la fabrication. Par la suite, nous pourrions procéder aux vérifications finales.

TITRE :

Conception et réalisation d'un micro-stimulateur implantable dédié à la réhabilitation des fonctions vésicales.

RÉSUMÉ :

Le projet vise à concevoir un microstimulateur implantable intégré permettant un contrôle permanent et volontaire de la miction ainsi qu'une réduction voire une suppression de l'incontinence.

PROBLÉMATIQUE :

Chez des patients qui ont subi une lésion de la moelle épinière, souvent apparaissent des dysfonctions vésicales, où le patient n'est plus en mesure de provoquer une miction volontaire lorsque sa vessie est pleine et souffre de complications vésicales liées à une hyperactivité réflexe du muscle de la vessie. Nous voulions concevoir un dispositif électronique implantable qui par la stimulation électrique neurale permettra de retrouver les fonctions vésicales de remplissage de la vessie. Le système devrait être implanté à l'intérieur du corps sous la peau du patient et un contrôleur externe permet de communiquer avec le stimulateur sous-cutané et de l'alimenter en énergie via un lien inductif opérant à haute fréquence.

MÉTHODOLOGIE :

La première partie des travaux a consisté à réaliser des prototypes sur PCB avec des composants programmables disponibles commercialement (FPGA et micro-contrôleur) afin de pouvoir les implanter et ensuite valider les méthodes de stimulations utilisées. Une version intégrée de ce système a été conçue et est en cours de fabrication.

RÉSULTATS :

Un prototype implantable (4cm de diamètre) nous a permis de valider les fonctionnalités du stimulateur à travers des expérimentations chroniques sur des animaux.

La version intégrée a été soumise à des simulations exhaustives et sera testée matériellement après réception pour déterminer les limites de l'application.

TITRE:

Le codesign logiciel/matériel: méthodologie et utilisation.

RÉSUMÉ:

Le temps de mise en marché devenant de plus en plus court, les entreprises recherchent de nouvelles façons de concevoir des produits qui répondront aux demandes du marché. L'utilisation de plus en plus répandue de logiciel, permet cette flexibilité mais brime les performances des systèmes. Par conséquent, l'utilisation conjointe de processeurs d'usage général, dont les performances atteignent aujourd'hui des niveaux très élevés et de circuits spécialisés chargés de la réalisation de fonctions très spécifiques représente la voie à suivre. L'utilisation de nouvelles méthodes et de nouveaux outils logiciels pour accentuer cette conception mixte, tout en diminuant la durée de conception et en augmentant la qualité, est reconnue par tous les chercheurs, comme essentielle pour l'avenir. Le codesign logiciel/matériel dans lequel on recherche le compromis le mieux adapté aux performances visées est une de ces méthodes.

PROBLÉMATIQUE:

Comme mentionné, tous les chercheurs s'entendent pour dire que le codesign logiciel/matériel est une méthode prometteuse pour la conception de systèmes tels que les systèmes embarqués. Cependant, du côté industriel, elle ne semble pas avoir l'attention des concepteurs. Cette recherche a donc pour but de faire la lumière sur cette problématique.

MÉTHODOLOGIE:

Après avoir bien défini le codesign et ses cinq étapes de conception, nous ferons la revue des méthodologies existantes. Ensuite, nous ferons la revue des outils existants. Ces derniers se regroupent sous un sous-groupe de méthodologie. Le but de l'exercice sera de catégoriser chaque approche à une méthodologie distincte, d'en faire les rapprochements et les différences. Ensuite, nous estimerons les gains potentiels quant à la qualité de la conception ainsi que du temps de développement. Plusieurs facteurs devront être considérés, entre autres: les impacts sur les processus de conception, le temps d'apprentissage et le développement des mécanismes de codesign (bibliothèques, interrelation, etc...). L'étape suivante fera l'évaluation des outils commercialement disponibles à l'aide d'une grille d'évaluation. Ensuite, nous procéderons à l'analyse des facteurs contraires à l'utilisation générale de la méthodologie. Nous élaborerons un protocole d'analyses et concevrons un questionnaire incluant le profil du répondant avec une combinaison de Myers-Briggs et Moore. Également, nous tenterons de catégoriser le type et profil de l'entreprise. Il est important ici de mentionner que la longue expérience industrielle du candidat, ainsi que ces nombreux contacts faciliteront grandement cette étape analyse. Finalement, la dernière étape consistera à tirer les conclusions et à proposer des solutions afin de mieux adapter le codesign aux besoins industriels.

RÉSULTATS:

Aucun résultat n'a encore été obtenu.

TITRE:

Conception de circuits analogiques de précision utilisant des résistances ajustables intégrées.

RÉSUMÉ:

Le projet consiste à étudier et à proposer des architectures flexibles de circuits analogiques dont l'ajustement des grandeurs de sortie est basé sur la variation d'éléments résistifs intégrés. Le but est d'améliorer la précision de ces circuits, en tenant compte du meilleur compromis entre la complexité du circuit et ses performances.

Nous allons proposer et réaliser quelques circuits importants pour les systèmes analogiques tels que les régulateurs de tension.

PROBLÉMATIQUE:

Dans les systèmes analogiques, on a souvent besoin des circuits de grande précision qui peuvent influencer grandement les performances de ces systèmes. L'une des approches utilisées est le recours à un réglage des résistances ajustables.

Parmi les contraintes au réglage des résistances intégrées, on retrouve le coût du procédé de fabrication, qui peut être élevé, la grande dimension de la résistance et l'erreur relative sur la valeur ajustée elle-même.

Des recherches récentes sur des éléments résistifs ajustables de haute précision, de la taille d'un transistor CMOS, ont ouvert de nouveaux horizons à leur utilisation.

Le but du projet est de tirer avantage de ces éléments précis et de proposer des méthodes de compensation et de réglage pour des circuits analogiques.

MÉTHODOLOGIE:

Notre objectif premier consiste à définir les architectures et les parties de la fonctionnalité du circuit nécessitant un ajustement précis et qui, par ce fait, améliorent les performances du système. L'approche est la suivante :

- Identification des parties sensibles à l'ajustement de résistances;
- Optimisation des circuits choisis.

RÉSULTATS:

Une topologie de référence de tension CMOS a été proposée. Elle est basée sur l'utilisation d'un noyau *bandgap* et elle réalise une compensation en température du premier ordre. Le travail a été publié en mai 2002 pour la conférence ISCAS 2002 sous le titre : « Low-voltage bandgap reference with temperature compensation based on a threshold voltage technique »

TITRE:

Automatisation du processus de raffinement d'une plate-forme de codesign pour les systèmes sur puce.

RÉSUMÉ :

Le projet consiste à améliorer un modèle de plate-forme en SystemC de façon à la rendre configurable, pour pouvoir utiliser plusieurs processeurs différents, ou pouvoir choisir plusieurs types de bus, par exemple. Un des objectifs est aussi de réfléchir à une méthodologie qui pourrait nous permettre d'étendre l'architecture de la plate-forme en multi-clusters, c'est-à-dire en un réseau de noyaux de calcul. Pour affecter les modules d'une application aux bonnes ressources dans une architecture multi-clusters, nous allons tenter de créer un outil qui automatise la génération de code. Finalement, nous allons explorer plusieurs paradigmes existants dans le but de concevoir un outil qui pourra nous permettre d'intégrer automatiquement les modules de l'application dans la plate-forme, à partir d'un choix de partitionnement des modules en matériel et en logiciel.

PROBLÉMATIQUE :

Au niveau système, la conception d'une application embarquée peut être amorcée en premier lieu par l'élaboration d'un modèle purement fonctionnel, où l'on exprime la fonctionnalité désirée d'une application en termes de modules, de ports, d'interfaces, de processus et de canaux. L'étape subséquente consiste à partitionner les modules; c'est-à-dire de décider de la nature matérielle ou logicielle que prendra ces différents modules lors de la synthèse. L'objectif primordial de notre méthodologie est de permettre aux concepteurs de profiter pleinement de la plate-forme pour pouvoir développer leurs applications, sans avoir à modifier le système d'exploitation ou les composants généraux de la plate-forme. Pour ce faire, nous devons garantir que les modules écrits en SystemC pourront être implémentés en logiciel ou en matériel, et qu'à tout moment il sera possible de changer la nature d'un module facilement.

MÉTHODOLOGIE :

SystemC est un langage basé sur le C++ qui permet de modéliser à haut niveau et de simuler des systèmes matériels et logiciels. La réalisation d'une plate-forme en SystemC s'inscrit dans un vaste projet développé par le groupe de recherche CIRCUS (www.grm.polymtl.ca/circus). La réalisation d'un outil permettant la conception bout en bout de systèmes embarqués. À son niveau, la plate-forme en SystemC permettra d'effectuer efficacement la partition entre les modules logiciels et les modules matériels. Pour cela, un utilisateur pourra tester différentes configurations logicielles/matérielles et ce, sans avoir à faire de changements dans le code de ses modules. Ces configurations seront simulées par SystemC et une série d'estimateurs renseignera le concepteur sur le rendement de sa configuration, comme les délais, la puissance, et la surface. Parallèlement à la simulation, des outils de vérification l'assureront de la validité du système. Une fois sa configuration choisie et validée, l'utilisateur pourra raffiner son système en diminuant le niveau d'abstraction, pour se rapprocher graduellement de la plate-forme réelle.

RÉSULTATS :

La phase de conception de la plate-forme est terminée et l'implémentation se poursuit. Aucun résultat n'est disponible jusqu'à présent.

TITRE :

Conception, réalisation et étude d'une plate-forme générique basée sur le protocole AMBA AHB.

RÉSUMÉ :

Ce projet consiste à concevoir et implanter une architecture matérielle générique et configurable, basée sur le protocole AMBA AHB, afin de faciliter la conception de systèmes sur puce nécessitant un ou plusieurs microprocesseurs. Développer trois applications pour cette architecture afin d'évaluer ses forces et ses faiblesses.

PROBLÉMATIQUE :

Plus il y a de modules maîtres reliés à un bus, plus la bande passante de ce bus doit être partagée parmi eux. L'idée ici est d'agencer et de découpler les maîtres pour réduire la bande passante qu'ils doivent se partager. L'architecture résultante doit cependant demeurer suffisamment flexible pour supporter des applications à usage général et pour accepter des modules matériels spécifiques à une application qui serait implantée sur elle. Le but de cette exploration est de développer une plate-forme configurable qui sera intégrable aux outils de conception du groupe de recherche CIRCUS (www.grm.polymtl.ca/circus), en particulier, Syslib et Picasso.

MÉTHODOLOGIE :

La réalisation du projet de maîtrise s'effectuera d'abord par l'apprentissage du protocole AMBA. Le candidat apprendra les interactions entre les signaux et les entités qui jouent un rôle au sein du protocole. Selon les structures proposées par le protocole, le candidat proposera par la suite une architecture de base pour la conception de systèmes sur puce. Cette architecture sera extensible et flexible. Le candidat codera alors un modèle de l'architecture en VHDL, tout en respectant la modularité et en fournissant des outils pour automatiser la génération des modules configurables. Cette plate-forme servira de noyau de base pour trois applications qui permettront d'évaluer sa pertinence dans diverses situations. Le travail se conclura par la rédaction d'un ensemble de propositions pour améliorer et étendre l'utilité de la plate-forme.

RÉSULTATS :

La conception plate-forme est presque terminée. Le développement des applications se fera à la fin de l'automne 2002, dès que le fonctionnement de la plate-forme aura été validé.

TITRE:

Design et test in vivo d'un microstimulateur urinaire sélectif implantable.

RÉSUMÉ:

Au Québec seulement, des milliers de personnes souffrent de défaillance du système urinaire. Le problème sur lequel nous travaillons est celui de la rétention urinaire des personnes ayant subi des lésions au niveau de la colonne vertébrale (paralysie). Notre but est de remplacer les systèmes actuels (les sacs par exemple) et de restaurer les fonctions vitales du système urinaire de façon à améliorer la qualité de vie.

PROBLÉMATIQUE:

En utilisant un stimulateur neuromusculaire miniaturisé implantable et un contrôleur externe, on excite le nerf S2 partant de la colonne et allant jusqu'au muscle de la vessie et du sphincter pour évacuer l'urine. Une nouvelle technique de stimulation sélective est proposée pour provoquer l'écoulement tout en évitant la contraction simultanée du muscle de la vessie et du sphincter, qui entraîne une pression excessive indésirable.

MÉTHODOLOGIE:

Le système de stimulation que nous proposons est composé de deux parties principales soient l'implant et le contrôleur externe. Il s'agit d'un système versatile et fonctionnel qui répond au problème complexe de la neurostimulation tout en étant simple d'utilisation pour l'utilisateur. C'est l'unité externe qui contrôle la stimulation tout en assurant l'alimentation en énergie de l'implant via une interface à couplage magnétique à haute fréquence. Lors de chaque stimulation, les paramètres sont transmis par le contrôleur à l'implant qui s'assure de leur validité par des algorithmes de détection d'erreurs. Le contrôleur externe est portatif et très simple d'utilisation. Un écran à cristaux liquides permet de sélectionner les paramètres désirés.

L'implant est constitué d'un circuit imprimé circulaire d'environ 3,5 centimètres de diamètre. L'implant est composé de trois blocs soient : l'entrée, le traitement et la sortie. Un circuit intégré programmable non volatile (FPGA) est utilisé pour contenir toute la partie numérique de traitement. Le circuit est moulé dans une substance dure pour assurer sa rigidité et ensuite isolé dans un produit bio-compatible. Une électrode spéciale est utilisée pour relier l'électrode à l'implant.

RÉSULTATS:

Le système réalisé avec des composants commercialement disponibles est totalement fonctionnel et il est à l'essai en ce moment au département d'urologie de l'Université McGill. La partie de contrôle et de génération des stimuli ainsi que la source de courant commandée ont été réalisés et testés. Ces modules ont été fabriqués sur un circuit intégré en CMOS 0.35micron par l'entremise de la Société canadienne de Microélectronique. La partie radio fréquence (RF) est actuellement en phase de design.

TITRE:

Méthode de conception du module de réception pour les communications par fibres optiques.

RÉSUMÉ:

Dans le domaine des transmissions en général et celui des transmissions par fibres optiques en particulier, les circuits électroniques sont conçus pour satisfaire un ensemble de critères et de performances spécifiques. Le but de notre recherche est d'analyser et de proposer des méthodes de conception du module de réception pour les systèmes de communication par fibre optique mettant en jeu des hautes fréquences d'opération..

PROBLÉMATIQUE:

Avec l'explosion des communications par fibres optiques et des communications sans fil, de même que la popularité de l'internet, la demande en bande passante devient de plus en plus forte. Les équipements de transmission et de réception sont de nos jours appelés à fonctionner à des débits de transmission de plus en plus élevés. Leur conception et leur fabrication deviennent de plus en plus complexes, car mettant en jeu des hautes fréquences d'opération.

Grâce à sa grande bande passante, la fibre optique est utilisée comme lien par excellence pour les communications à longues distances. Les fibres optiques mono modes à grande capacité de transmission ont déjà été développées mais leur bande passante demeure encore sous exploitée. Les principales limitations des systèmes de transmission par fibre optique sont l'atténuation et la dispersion dans la fibre optique, la gamme dynamique du module de réception, la bande passante et le bruit des circuits électroniques, les pertes de couplage dans les interfaces optoélectroniques de transmission et de réception. La mise en œuvre des amplificateurs optiques à fibre permet de réaliser de nos jours des systèmes de transmission dont la performance n'est plus que limitée par l'électronique aux interfaces optoélectroniques.

D'où la nécessité de développer des dispositifs optoélectroniques à haute performance répondant à la forte demande du marché des télécommunications. Ce développement repose d'une part sur l'amélioration des procédés de fabrication avec une modélisation plus accrue et d'autre part, sur la mise en œuvre de nouvelles méthodes de conception répondant aux nouvelles exigences permettant de tirer le maximum de performance dont dispose ces nouvelles technologies.

MÉTHODOLOGIE:

Nous présentons la conception du module de réception basée sur l'amplificateur à transimpédance; nous proposons deux méthodes de conception permettant d'étendre sa bande passante et d'améliorer son adaptation à un environnement 50Ohms. Un effort particulier est accordé à la protection contre les décharges électrostatiques, au partitionnement des sous circuits, à la sensibilité au bruit des alimentations et aux variations du procédé de fabrication. Grâce à la modélisation, nous proposons une méthodologie de simulation permettant de prédire le comportement du module dans un environnement réel de fonctionnement.

RÉSULTATS:

Trois types de configuration à transimpédance ont été proposés et publiés. Une modélisation permettant de mettre en exergue les effets parasites dus aux imperfections des différents couplages a été faite. Une méthode d'évaluation de la stabilité dans la bande passante d'intérêt a également été proposée. La rédaction de la thèse est en cours.

TITRE:

Conception d'un système de traitement d'image dédié à un implant visuel cortical.

RÉSUMÉ:

Ce projet s'inscrit dans le système visuel cortical, système dont le but est de rendre la vue à des aveugles par la stimulation électrique du cortex visuel cérébral. Il tente de faire le lien entre le capteur d'images et le stimulateur cortical, en envoyant à ce dernier que les informations visuelles pertinentes, extraites des images provenant du monde réel.

PROBLÉMATIQUE :

Depuis plusieurs années, il a été démontré qu'il était possible de créer la sensation de vision en stimulant électriquement le cortex visuel. Ces percepts sont communément appelés « phosphènes ». Le but d'un implant visuel cortical est de recréer des images compréhensibles en stimulant plusieurs phosphènes simultanément. Il n'existe cependant aucune étude qui se soit penchée sur la question, à savoir le contenu d'image qu'il est envisageable de générer par un implant visuel afin de rendre une vue fonctionnelle à un aveugle. Car il est évident qu'une image ne peut être entièrement reproduite sur le cortex : la résolution, le nombre de pixels, le nombre de niveaux de gris, et d'autres contraintes biomédicales rendent cela impossible. Le présent projet tente donc de répondre à cette question, et par la même occasion, fournir un premier lien entre un capteur d'images et l'implant.

MÉTHODOLOGIE :

La première chose à faire a été de rechercher dans la littérature existante, essentiellement dans le domaine du biomédical, les résultats d'études permettant de comprendre l'organisation des phosphènes dans le champ visuel (carte visuotopique), et de mieux saisir la nature des percepts générés par stimulation électrique dans le cortex. Ensuite, en fixant certaines hypothèses, il faut construire un banc pour la visualisation approximative de ce que verrait un patient soumis à des stimulations. À partir de ce banc, il sera possible d'évaluer plus exactement ce qui sera pertinent d'offrir comme contenu d'image, problématique principale de ce projet. À partir de ces résultats, nous pourrons sélectionner plus adéquatement des méthodes connues de traitement d'image, adaptées à nos besoins. Parallèlement à cela, il s'agit de s'instruire sur la conception de systèmes de traitement d'image selon l'état de l'art. À la fin, on plantera efficacement le traitement d'image dans un système qui fera le lien entre le capteur d'image et l'implant.

RÉSULTATS :

Un logiciel permettant la génération de cartes visuotopiques aléatoires selon diverses approches a été conçu et implanté. Il sert également de plate-forme pour le développement d'algorithmes de traitement d'image. L'observation qualitative des résultats démontre qu'il faut poser un nombre beaucoup trop grand d'hypothèses afin de répondre aisément à la problématique du contenu d'image pertinent à apporter à l'implant. Pour restreindre ces hypothèses, un système complet est en train d'être implanté en matériel. Il permettra l'observation en temps réel des performances qualitatives (effet désiré) et quantitatives (vitesse) des algorithmes de traitement d'image implantés. Des résultats viendront sous peu, et aideront à orienter la recherche de traitement d'image appropriée.

TITRE:

Méthodologie de conception de plate-formes System-On-Chip pour les processeurs-réseau.

RÉSUMÉ :

Le but du projet est de créer une méthodologie de conception de plate-formes. Le projet cible les processeurs-réseau. Il est donc question de développer une bibliothèque de composants matériels, des logiciels, des structures de communication et des outils qui aident à la conception de design dérivés.

PROBLÉMATIQUE :

Avec l'espérance de vie de produits qui est à la baisse, il devient nécessaire de pouvoir créer un système à partir d'une spécification en un temps limité. C'est alors que les gens parlent de plate-formes; une base, composée de blocs matériels, logiciels, structure de communications, et outils de conception. Ces plate-formes, qui sont associées à un domaine spécifique, ont une bibliothèque de composants qui sont propres à l'application ciblée. Elles permettent de créer ce qu'on appelle des design-dérivés en un temps restreint.

D'autre part, l'augmentation grandissante des débits des réseaux enlève la possibilité d'utiliser des logiciels pour gérer les tâches telles que le routage et le maintien d'un niveau de qualité de service (QoS). Pour combler à cette lacune, plusieurs solutions entièrement matérielles ont été utilisées au cours des dernières années. Cependant, ces solutions manquent de flexibilité et ont un grand coût non-récurrent de fabrication. La solution proposée durant ces dernières années a été l'usage de processeurs réseaux.

Il sera donc question, dans le projet, de combiner l'aspect conception de plate-formes avec les processeurs-réseau.

MÉTHODOLOGIE :

- Revue de littérature (plate-formes, processeurs -réseau et co-design);
- Étude d'outils de conception existants;
- Adapter le flot de design actuel aux plate-formes;
- Construire une bibliothèque de blocs en matériel;
- Construire un logiciel embarqué;
- Proposer une structure de communication et d'interface (matériel-matériel, matériel-logiciel et logiciel-logiciel)
- Construire un outil qui facilite la conception de design dérivés

RÉSULTATS :

Construction de plusieurs blocs en matériel qui peuvent être utilisés dans la bibliothèque.

TITRE:

Analyse et conception des circuits de synthèse numérique d'horloge.

RÉSUMÉ:

Le projet consiste à la réalisation pratique des circuits de synthèse numérique de fréquence pour les systèmes de communication et en particulier, pour des applications de télévision numérique.

PROBLÉMATIQUE:

La prolifération des circuits synchrones a entraîné un besoin grandissant de circuits capables de fournir une horloge précise. Parmi ces circuits, les circuits de synthèse numérique de fréquence sont de plus en plus utilisés.

Cette thèse vise à explorer des méthodes efficaces pour la synthèse directe d'une horloge, avec une gigue réduite, à partir d'une autre horloge.

MÉTHODOLOGIE:

Le développement de l'industrie électronique et surtout de la microélectronique, permet d'intégrer toutes les fonctions d'un circuit de synthèse d'horloge dans une seule puce. Les compagnies Miranda et Gennum, qui parrainent le projet, ont clairement exprimé leurs besoins d'intégration d'un tel circuit dans leurs produits. Cependant, la complexité du problème rend l'intégration difficile. La résolution des problèmes rencontrés demande le développement de techniques nouvelles, d'où le besoin de méthodes efficaces pour réaliser des circuits de synthèse d'horloge qui ont la précision désirée avec les technologies disponibles. Pour concevoir les circuits, on a utilisé les outils CAO disponibles au Groupe de recherche en microélectronique. Le design a été suivi d'une réalisation pratique à l'aide de la Société Canadienne de Microélectronique.

RÉSULTATS:

Deux circuits de synthèse numérique de fréquence ont été réalisés à l'aide de la SMC. Les résultats des tests sont convaincants et ils sont publiés ou soumis à la publication. Une thèse de doctorat a été rédigée et soutenue.

TITRE:

Conversion matérielle automatique d'algorithmes de traitement de signal du format virgule flottante au format virgule fixe.

RÉSUMÉ:

La conversion d'un algorithme du format virgule flottante au format virgule fixe est une tâche fastidieuse et complexe. Un outil de conversion automatique d'un format à l'autre permettrait au concepteur d'accélérer le processus d'implantation matérielle d'un algorithme de traitement de signal.

PROBLÉMATIQUE:

Tandis que la majorité des algorithmes d'analyse et de traitement des signaux radars sont développés en virgule flottante, leur implantation requiert fréquemment des opérateurs à virgule fixe, afin de rencontrer les contraintes de coût et de performance. Dans le but de conserver les propriétés de l'algorithme original, d'éviter les erreurs de débordement ou de perte de précision, chaque opérande doit être représentée par un nombre de bits adéquat.

MÉTHODOLOGIE:

La tâche consiste à présenter un banc d'essai adéquat aux entrées du programme de traitement de signal. Ce banc d'essai doit refléter l'environnement d'application dans lequel l'implantation de l'algorithme va être opérée. Sur la base de la tolérance d'erreur des sorties définie par l'utilisateur, un outil automatique convertit un programme à virgule flottante en un programme à virgule fixe. Cet outil, qui considère les contraintes matérielles, pourrait être étendu aux outils de conception VLSI, ce qui permettrait d'accélérer le processus d'analyse et d'implantation d'un algorithme.

RÉSULTATS:

Une méthode qui détermine automatiquement la résolution en bits des opérandes a été proposée. La méthode utilise un outil de simulation à virgule fixe qui permet de simuler à la fois en précision finie et infinie. La méthode obtient une solution en calculant l'écart entre le modèle à virgule fixe et le modèle à virgule flottant. Une procédure sélectionnée sur la base d'expérimentation, minimise cet écart entre les deux modèles, et obtient une solution optimale qui respecte les spécifications de l'utilisateur. Quatre procédures ont été élaborées et analysées, puis comparées avec cinq procédures existantes dans la littérature scientifique. Afin de comparer ces neuf procédures d'optimisation sur la base du nombre d'itérations et de la qualité de la solution finale obtenue, la méthode a été appliquée sur douze algorithmes DSP. L'ensemble des algorithmes DSP considérés inclut des opérations arithmétiques élémentaires, des filtres à réponse impulsionnelle finie et infinie, un filtre adaptatif, l'algorithme de CORDIC, la transformée en cosinus discrète inverse, un algorithme d'estimation de fréquence et un algorithme de réseau de neurones. Les résultats obtenus par la méthode montrent que certaines procédures obtiennent une solution optimisée pour les douze bancs, et montrent que la méthode peut être utilisée pour déterminer la résolution en bits des opérandes de l'algorithme IMOP.

TITRE :

Égalisation de la consommation de puissance de l'implant visuel cortical par l'implémentation d'un algorithme de balayage adapté.

RÉSUMÉ :

Ce mémoire s'inscrit dans le projet d'implant visuel cortical. Cette partie traite de la recherche d'un algorithme visant à faire le balayage des images à traiter de manière à éviter un trop grand nombre de stimulations simultanées de grande intensité. De sa validation par simulation, de son implémentation par une architecture dédiée et de sa vérification à l'aide d'outils de co-simulation.

PROBLÉMATIQUE :

Avec l'apparition de la vidéo dans de nouveaux systèmes intégrés tels que les téléphones 3G ou d'autres applications spécifiques, de nouveaux problèmes sont apparus et le bloc d'affichage est devenu, dans un système, une source importante de consommation d'énergie. Beaucoup de directions furent étudiées pour contrôler ou réduire la puissance d'énergie de la présente partie. Cependant, la plupart d'entre elles font appel à de nouvelles sortes d'affichage, comme les écrans OLED, ou à une réduction de l'alimentation. Une des applications qui est confrontée à ce problème est l'implant visuel cortical. En effet, lorsque se produisent plusieurs stimulations simultanées d'électrodes, un fort courant est exigé. Ceci implique des pics de consommation de courant qui ne peuvent être fournis par l'alimentation. Une solution à ce problème est de lisser en temps réel la consommation de puissance de l'affichage. Pour faire une telle chose, il est nécessaire de traiter l'image par la partie externe de l'implant pour éviter une consommation de puissance dans la partie interne. L'approche qui a été adoptée pour résoudre ce problème était la création d'un algorithme basé sur un balayage d'image adapté.

MÉTHODOLOGIE :

La première étape était la recherche dans la littérature existante des algorithmes de balayage d'image adapté et des techniques de traitement de l'image. La deuxième étape fut la recherche d'un algorithme ainsi que sa validation. Après avoir décomposé le problème, l'approche qui a été choisie fut de partir de solutions envisageables puis de définir à partir de recherches empiriques un premier algorithme. Pour valider partiellement cet algorithme, des étapes de simulation grâce à l'outil MATLAB furent choisies. Puis une recherche des fondements mathématiques de cet heuristique a été trouvée. Cette manière de procéder fut répétée jusqu'à arriver au meilleur algorithme. La validation finale de cet heuristique fut sa démonstration mathématique. L'étape suivante fut la recherche de l'architecture équivalente à cet algorithme et sa validation à l'aide d'outils de co-simulation tels que Specman e-lite et Modelsim.

RÉSULTATS :

Les simulations des algorithmes trouvés nous ont permis de dégager plusieurs résultats importants. Un de ces résultats est l'écart type en fonction de différentes tailles de matrices, qui nous permet de voir la dispersion des valeurs par rapport à la moyenne. L'efficacité des algorithmes OSS et SOSOS trouvés, est importante et ceci quel que soit la taille N de la matrice. En effet, l'algorithme SOSOS permet de réduire au maximum l'écart type. L'architecture a été codée en VHDL puis elle a été co-simulée à l'aide d'outils et testée avec Specman e-lite et Modelsim. Ces outils permettant de rendre possible une couverture fonctionnelle optimum de ce design. La prochaine étape sera l'intégration sur une plate-forme FPGA puis sa validation par différents tests.

TITRE:

Méthodes d'optimisation pour la conception de systèmes matériels/logiciels.

RÉSUMÉ:

Ce projet de recherche se concentre sur le développement de méthodes pour l'amélioration de la performance, la réduction de la surface et la réduction de la consommation de la puissance pour des systèmes informatiques. Quant à l'avancement de ce projet de recherche, nous avons développé un algorithme pour déterminer une borne sur le débit maximal pour des systèmes de type pipeline. Pour le design de systèmes matériels opérant à débit maximal, nous avons développé des méthodes pour réduire le nombre de registres requis ainsi que pour réduire le nombre de phases du circuit final. Des méthodes pour réduire la consommation de puissance sont en cours de développement.

PROBLÉMATIQUE:

La qualité d'un système informatique se mesure généralement par sa performance, sa surface et sa consommation de puissance en cas de systèmes matériels. Concevoir un système ayant une certaine qualité, c'est résoudre un ensemble de problèmes d'optimisation très complexes. Ces problèmes sont prouvés NP-complets en général. Pour les résoudre d'une façon efficace, le développement d'heuristiques est nécessaire. Dans ce projet de recherche, nous nous concentrons sur le développement d'heuristiques pour l'amélioration de la performance et pour la réduction de la surface et la consommation de la puissance pour des systèmes informatiques.

MÉTHODOLOGIE:

Les méthodes que nous avons développées et les méthodes que nous sommes en train de développer sont destinées à la résolution de problèmes NP-complets. Pour tester l'efficacité de ces méthodes, leur expérimentation sur des cas de test est nécessaire. Pour cette fin, nous avons planifié le développement d'un outil en langage C++ que nous avons appelé Circuit Optimizer. Les méthodes que nous avons déjà développées ont été incorporées dans Circuit Optimizer. Les méthodes en cours de développement y seront intégrées aussi. Nous espérons aboutir à un outil d'aide à la conception de systèmes informatiques de haute qualité.

RÉSULTATS:

Nous avons développé une méthode pour déterminer une borne sur le débit maximal pour des systèmes de type pipeline. Aussi, pour des systèmes matériels fonctionnant à débit maximal, nous avons développé des méthodes pour réduire le nombre de registres requis ainsi que pour réduire le nombre de phases du circuit.

TITRE:

Interface de réception intégré d'un échographe portable.

RÉSUMÉ:

L'objectif de ce projet consiste en la conception d'un étage d'entrée d'un échographe miniaturisé. Ce dernier est constitué des étages d'amplification et de numérisation. Dans cette application, il est nécessaire d'amplifier largement les signaux (écho) de très faible amplitude (quelques microvolts) qui proviennent du profond que ceux de forte amplitude qui proviennent de la surface de la peau du corps humain. Une technique d'amplification consiste à utiliser un véritable amplificateur logarithmique basé sur des étages cascades à gain modérés. Pour compenser l'atténuation des signaux reçus par la réflexion sur les interfaces de tissus humains, un amplificateur à gain programmable est utilisé. Il sert à compenser l'atténuation en décibel pour chaque centimètre de profondeur. La programmation de cet amplificateur est fait par un convertisseur analogique à numérique «pipeline» ayant 10 bits de résolution et une fréquence d'échantillonnage supérieure à 25MHz.

PROBLÉMATIQUE:

Généralement, l'étage d'entrée d'un échographe est constitué entre autre d'un préamplificateur qui sert à amplifier les échos reçus sans affecter leurs amplitudes. L'utilisation d'un amplificateur logarithmique permet de compresser les échos de forte amplitude ce qui provoque la création des artéfacts sur l'écran du moniteur.

MÉTHODOLOGIE:

En s'inspirant des travaux de recherche qui ont été faits dans le domaine de l'imagerie médicale, nous proposons une architecture rigoureuse de l'étage d'entrée d'un échographe.

Notre architecture comporte les modules suivants :

- Un amplificateur logarithmique formé des étages à faible gain cascades avec un étage de compensation qui est connecté à un convertisseur analogique-numérique;
- Dans ce travail, on vise à intégrer dans une seule puce (ASIC) ces trois étages et à implanter le contrôleur en FPGA

RÉSULTATS:

Un circuit intégré CMOS intégrant les deux premiers étages d'amplification a été fabriqué et testé avec succès. Le design d'une deuxième puce comportant les trois étages est en cours pour améliorer les résultats obtenus de la première et compléter la deuxième puce.

TITRE :

Aide au partitionnement de système co-design logiciel/matériel par la simulation a haut niveau en System C

RÉSUMÉ :

Le projet consiste à concevoir une méthodologie pour le partitionnement et à construire une plate-forme à haut niveau en SystemC. Cette plate-forme permet la simulation et l'estimation au niveau transactionnel des systèmes co-design logiciel/matériel sur puce.

PROBLÉMATIQUE :

Pour la réalisation de nombreux systèmes, l'utilisation combinée de processeur d'usage général et de circuits spécialisés est en voie de se répandre rapidement. Cette approche mixte nécessite des méthodologies de conception nouvelles. Ces méthodes et techniques doivent notamment permettre au concepteur du système d'en effectuer la spécification et la modélisation sans se soucier du découpage logiciel/matériel, tout en l'aidant à effectuer ce partitionnement par la suite. Actuellement, il existe peu d'outils et de méthodologies complètement satisfaisantes et permettant d'effectuer toutes les étapes du processus de conception et de partitionnement.

MÉTHODOLOGIE :

La démarche consiste d'abord à effectuer une revue des méthodologies de spécification et de partitionnement existantes pour le niveau transactionnel. La majorité de ces méthodes sont dédiées exclusivement au matériel, mais elles constituent une bonne approche pour construire une méthodologie pour le co-design. La méthodologie conçue doit permettre le passage des blocs du logiciel au matériel et vice-versa sans avoir à y effectuer de changement. Par la suite, elle sera implémentée par une plate-forme haut niveau en SystemC, utilisant un ISS pour la partie logiciel et un bus pour le côté matériel.

RÉSULTATS :

La méthodologie de conception a été élaborée, les choix et problèmes d'implémentation ont été résolus. Actuellement, il reste à bâtir la plate-forme de simulation en SystemC, puis à procéder aux tests.

CHOUCHANE, Tahar

DIPLÔME : M.Sc.A.

TITRE :

Conception d'un mélangeur RF en technologie CMOS 0.18 μ m.

RÉSUMÉ :

Le développement rapide des systèmes de communication sans fil a conduit à la prolifération de différentes normes et applications. Cette croissance a poussé à l'émergence d'autres axes dans la conception, en particulier l'intégration à grande échelle qui exige de nouveaux défis avec des solutions et des architectures à moindre coût et à faible consommation. Ce travail consiste en la conception d'un mélangeur intégré en technologie CMOS 0.18 μ m. Sa fonction consiste à convertir des fréquences à travers un processus non linéaire de mélange de signaux. Cependant, cette non-linéarité associée aux interférences génèrent des distorsions et des effets parasites indésirables qui limitent les performances du système et dégradent le signal désiré.

PROBLÉMATIQUE :

Les dispositifs et les circuits RF sont souvent réalisés avec des technologies coûteuses tels que le GaAs ou la technologie bipolaire. Cependant, de nombreux efforts cherchent à substituer ces circuits RF par des circuits intégrés CMOS qui est motivé par son niveau d'intégration, son bas coût et sa compatibilité avec les circuits numériques. Or, avec cette évolution, les critères de conception changent et imposent de nouvelles approches dans la conception et les architectures. Le mélangeur constitue un module fondamental dans un système de communication sur lequel est reporté la plus grande contrainte de linéarité et de distorsion. Ainsi, un ensemble de difficultés découle du caractère des interactions de ses signaux et de sa non-linéarité. Comme le mélangeur est destiné à opérer à haute fréquence, ces effets sont beaucoup plus nuisibles et prononcés et ont un impact direct sur la performance de l'ensemble du système. Sa réalisation implique souvent de faire des compromis entre ses performances tels que le gain de conversion, la linéarité, le bruit ou la consommation. En outre, la tendance dans la conception des systèmes de communication demande des topologies opérant à faible tension ce qui est moins évident en haute fréquence. Donc, la conception de ce module RF représente une étape cruciale qui pousse la recherche de techniques de circuits et des architectures qui peuvent réduire ces limitations pour atteindre des performances raisonnables.

MÉTHODOLOGIE :

La méthodologie prévue pour réaliser ce travail est la suivante :

- Étude bibliographique et documentation sur les systèmes de communication;
- Étude théorique sur la conception en RF;
- Choix et justification de l'architecture à développer;
- Analyse et évaluation de la proposition;
- Extension et développement des circuits additionnels pour la fonctionnalité en RF;
- Proposition d'amélioration des performances;
- Conception et évaluation de l'ensemble du module.

RÉSULTATS :

Plusieurs circuits ont été simulés sous Spectre RF. Il reste à améliorer leurs caractéristiques, à assembler le module et procéder à sa caractérisation.

TITRE :

Réalisation d'une plate-forme de développement rapide de systèmes sur puce.

RÉSUMÉ :

Les technologies de fabrication microélectronique offrent aux concepteurs de systèmes sur puce presque toute la liberté qu'ils désirent. Mais quels bénéfices tire-t-on de ces millions de transistors si on ne dispose pas d'outils de conception de haut niveau pour les orchestrer rapidement et précisément? Ce projet vise à mettre en valeur une méthode de conception basée sur une plate-forme dédiée à une famille d'application, les processeurs réseau. Cette plate-forme, dont la réutilisation du design constitue l'élément clé, repose sur un langage de modélisation de haut niveau, le UML (Unified Modeling Language).

PROBLÉMATIQUE :

La grande variété des traitements d'information fait qu'il est difficile de développer un processeur réseau universel. Plusieurs traitements nécessitent un certain niveau de reconfiguration sans toutefois faire appel aux nombreuses ressources des processeurs réseau complexes (surface + énergie gaspillée, programmation difficile). Ainsi, le compromis entre la flexibilité d'un processeur programmable et la performance d'un ASIC est plus difficile à optimiser.

MÉTHODOLOGIE :

Il s'agit dans un premier temps de construire un modèle exécutable d'un processeur réseau dont la définition et le raffinement se font par une méthode de type EDA (Electronic Design Automation) basée sur le UML. Le processeur générique est entièrement prédéfini en UML, et constitue une plate-forme de développement. Le designer se concentre sur les séquences de message, les interconnexions, les algorithmes, etc. en ayant à sa disposition cette boîte à outil UML spécialisée. Dans un deuxième temps, une méthode formelle de dérivation de design menant à l'implantation est établie. Une grande variété de processeurs réseau peut alors prendre forme, répondant au besoin de performance/configuration précis de l'application visée.

RÉSULTATS :

L'infrastructure de la plate-forme a été établie et la première version exécutable du modèle est en développement. Par la modélisation des spécifications, les membres de l'équipe de développement peuvent maintenant communiquer sans ambiguïté leurs décisions de design.

TITRE:

Repérage de la direction d'arrivée d'un faisceau par rapport à un réseau d'antennes disposées sur deux axes et à l'aide d'un réseau de neurones.

RÉSUMÉ:

L'étude propose un système de repérage de la direction d'arrivée d'un faisceau avec une précision angulaire de moins de un degré. Le système est composé d'un réseau d'antennes, qui reçoit un faisceau, et d'un réseau de neurones qui détermine l'angle d'incidence de ce faisceau par rapport au réseau d'antennes. La précision est mesurée pour un rapport signal bruit (RSD) de 10 db, comme celui que l'on rencontrerait sur un dispositif embarqué dans un satellite. L'objectif de la recherche est donc d'élaborer et d'optimiser un réseau de neurones et différents systèmes de filtrage afin d'obtenir la meilleure résolution angulaire compte tenu du bruit. L'optimisation portera aussi bien sur la forme des entrées à fournir au réseau de neurones que sur l'architecture et sur l'entraînement du réseau de neurones.

PROBLÉMATIQUE:

Pour maximiser le transfert de puissance dans des applications sans fils, une solution consiste à utiliser des antennes très directives. Mais cela impose en contrepartie de pouvoir assurer un alignement suffisamment précis des antennes émettrice et réceptrice. Lorsque l'une des antennes est mobile, on doit avoir recours à un système de détection d'angle d'incidence qui, comme son nom l'indique, permet de déterminer l'angle d'incidence du signal source. De nombreux systèmes réalisant cette fonction ont été proposés où l'information sur l'angle d'incidence peut être extraite par comparaison d'amplitude ou de phase, voire les deux simultanément. Seul inconvénient, le calibrage de tels systèmes est souvent laborieux. Une méthode offrant davantage de souplesse pour le calibrage consiste à utiliser un réseau de neurones.

MÉTHODOLOGIE:

La méthode consiste à étudier les systèmes déjà existants pour analyser les performances et les particularités des solutions disponibles dans la littérature. Puis une étude théorique des réseaux de neurones permettra de choisir quelle structure nous allons développer. Le système complet sera développé et simulé à partir de Matlab en modélisant le plus fidèlement possible les problèmes de bruit et les disparités sur le gain des antennes. Le réseau d'antennes sera élaboré par une équipe du laboratoire PolyGrames, ce qui permettra de valider la forme des signaux provenant des antennes.

RÉSULTATS:

Le système élaboré se compose d'un réseau de 4 antennes relié à un réseau de neurones. La précision sur l'angle d'arrivée est de 1 degré pour un cône d'incidence d'une ouverture de 90 degrés par rapport à la verticale.

TITRE:

Simulateur visuel intra-cortical implantable.

RÉSUMÉ:

Le projet consiste à concevoir et réaliser un système intégré implantable visant à stimuler le cortex cérébral de patients aveugles. Après avoir réalisé un tel dispositif de dimension et de complexité réduites, une attention particulière sera apportée à la consommation en puissance ainsi qu'à la sécurité du dispositif par l'intégration de modules de surveillance et de contrôle de la stimulation. Différents prototypes de fonctionnalité et de complexité croissantes seront conçus, réalisés et testés in-vitro et in-vivo.

PROBLÉMATIQUE:

La réalisation d'un implant cortical au nombre de canaux de stimulation élevé demandera de relever un bon nombre de défis. Entre autres, mentionnons l'intégration de différents modules de circuits intégrés analogiques et numériques, l'interface entre les circuits et une matrice d'électrodes de grande densité, ainsi que l'encapsulation compacte et biocompatible de l'ensemble.

Une fois ces éléments développés adéquatement, une emphase importante doit être mise sur l'optimisation des modules électroniques. En effet, afin de réaliser un système possédant un grand nombre de canaux de stimulation parallèles, la consommation en puissance doit être minimisée de façon substantiellement, par rapport à ce qui est généralement fait pour les neurostimulateurs actuels. Cependant, les techniques conventionnelles visant à réduire la consommation peuvent facilement entraîner des dommages permanents sur les tissus stimulés. Un système de monitoring des charges et tensions de sortie, de contrôle et de compensation devra donc être conçu afin d'assurer l'efficacité et la sécurité de la stimulation. Des techniques novatrices permettant d'effectuer ses tâches de façon énergétiquement efficace devront être développées.

MÉTHODOLOGIE:

En un premier temps, l'objectif est de faire un implant comportant un nombre de sites de stimulation réduit, et ce de manière à maîtriser les techniques élémentaires qui seront nécessaires à la réalisation d'un système complexe (fabrication, assemblage, encapsulation, etc.). L'implant comporte une multitude de modules de stimulation indépendants, contrôlés par un module central d'interface, assurant l'alimentation du système au niveau électronique dans le but d'assurer l'efficacité et la sécurité du dispositif. Finalement, l'intégration des éléments développés sera réalisée. Le système électronique optimisé, de pleine dimension, devra être fabriqué et encapsulé avec le savoir-faire développé dans la première phase du projet.

RÉSULTATS:

Un prototype intégré de taille réduite du module de stimulation a été réalisé et testé avec succès. Une première version du substrat permettant d'assembler le stimulateur avec sa matrice d'électrodes a aussi été réalisée. Un prototype, dans ce cas réalisé en composants discrets, du module d'interface a été réalisé et aussi testé avec succès. Celui-ci inclut un démodulateur novateur et performant. En parallèle, un stimulateur non implantable a été réalisé pour des tests in-vivo variés dans des délais plus brefs que ce qui est envisageable avec une version implantable.

TITRE:

Utilisation des MEMS comme base motrice dans la conception d'un nanorobot à autonomie étendue (Projet Walking-die)

RÉSUMÉ:

Le projet Walking-die vise la création d'un nano-robot dont les dimensions finales se situeraient en dessous des 5mm et les capacités seraient les suivantes : déplacement de précision nanométrique, équipements d'exploration et de manipulations atomiques, contrôle à distance, etc. À cette liste, nous prévoyons ajouter tout élément allant dans le sens de l'accroissement de l'autonomie du robot.

Ma principale tâche à l'heure actuelle consiste à concevoir et tester un micromoteur électrostatique en parallèle avec la définition d'un ensemble de requis en terme de puissance disponible et dissipée.

PROBLÉMATIQUE:

Partant de la génération actuelle de robot en développement au laboratoire de nanorobotique de l'École, j'ai décidé de concentrer mes efforts à éliminer les principaux points de dissipation de chaleur : les convertisseurs de tension utilisés pour alimenter les différents tubes piézo-électriques composant le robot. Pour ce faire, j'ai décidé d'opter pour un autre mode de déplacement : l'usage de roues. Cette approche demande une bonne estimation des requis en terme de friction et de puissance disponible (surtout le couple.) De plus, l'échelle d'opération demandera peut-être un environnement contrôlé dont les paramètres doivent être déterminés et respectés à volonté.

MÉTHODOLOGIE:

Sur suggestion de mon directeur de maîtrise, j'ai exploré l'avenue des MEMS pendant un à deux mois afin de déterminer ce que nous pourrions en tirer. Parallèlement à cela, j'ai schématisé les différents modes de déplacement que je connaissais et j'ai essayé d'en découvrir d'autres afin de les confronter les uns aux autres, mais aussi à mes requis en terme de capacité de déplacement du nouveau robot. Une fois notre choix arrêté, nous avons poursuivi notre survol de la littérature en l'axant plus précisément sur les micromoteurs électriques.

RÉSULTATS:

Un premier design de micromoteur électrostatique a été envoyé à la CMC pour être usiné au cours de la *run* 0103MU. Je me suis inspiré des designs croisés dans la littérature et des outils à ma disposition (MEMS Pro 3 de MEMScap). La CMC expédie les premiers éléments usinés prochainement. Dès réception, je commencerai les tests de caractérisation et je serai en mesure de fournir plus de résultats.

TITRE:

Synthèse et conception d'une interface UHF dédiée aux applications de tagging.

RÉSUMÉ:

Le travail consiste à concevoir une interface de radiocommunication capable d'émettre et de recevoir des signaux dans la bande ISM 915MGz. Quelques circuits intégrés à la réception sont réalisés et fabriqués et des stratégies pour la réalisation du module d'émission sont proposées.

PROBLÉMATIQUE:

Plusieurs applications peuvent tirer profit d'un lien RF, dont le *tagging* (aussi connu sous l'appellation RF ID). Un tag est une étiquette électronique que l'on appose à un produit par exemple. Ainsi, cette étiquette intelligente, une fois interrogée, peut retourner de l'information sur le produit qu'elle identifie (tel sa catégorie, son prix), un peu à la manière d'un code à barre. Cependant, la lecture d'une étiquette électronique s'avère beaucoup plus rapide puisqu'il n'y a pas de recensement physique à mener: seule une interrogation par champ électromagnétique s'avère nécessaire. On peut ainsi mener un inventaire d'un entrepôt en temps réel, ou encore établir instantanément la facture d'un panier d'épicerie.

MÉTHODOLOGIE:

Pour développer le lien RF, nous procédons en deux étapes. D'une part, un étage initial sert à ramener les signaux RF à haute fréquence en bande intermédiaire, puis en bande de base. Par la suite, la démodulation des signaux PSK se fait de façon numérique.

RÉSULTATS:

Nous avons réalisé un amplificateur à faible bruit (AFB) de même qu'un mélangeur pouvant opérer dans la bande ISM à 915 MHz. Ces deux éléments, qui font partie de l'étage d'entrée du démodulateur proposé, ont été fabriqués en technologie CMOS 0.35 μ . Les tests physiques et la caractérisation de tous ces composants ont été achevés. Ces résultats, de même que ceux obtenus lors de la fabrication d'amplificateurs opérationnels constituent la pierre assise sur laquelle repose une bonne partie de l'analyse détaillée à rapporter dans le mémoire de maîtrise.

TITRE :

Génération automatique d'interfaces de communication dans un environnement logiciel-matériel multiprocesseurs.

RÉSUMÉ :

À partir d'un système logiciel-matériel conçu en SystemC, il est possible d'explorer les différentes possibilités de communication entre les différents modules (tant logiciels que matériels). De la sorte, il sera possible, lors du raffinement du système vers une plate-forme existante, de générer automatiquement les interfaces de communication qui rendront le système optimal et cohérent.

PROBLÉMATIQUE :

Les systèmes embarqués sont issus d'une méthodologie dite de co-design, qui consiste à concevoir un système comportant à la fois des modules logiciels et matériels. La conception se fait d'abord à haut niveau (dans un langage comme SystemC, par exemple) dans le but de décrire le système à un niveau uniquement fonctionnel. Par la suite, un partitionnement est effectué pour séparer les modules matériels des modules logiciels et les cibler sur une plate-forme. La communication inter-module représente un certain problème étant donné les différentes interfaces des modules ainsi que leur nature différente.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Concevoir et réaliser un système de base en SystemC, système comprenant des modules à la fois logiciels et matériels;
- Explorer les différents cas de communication (HW-HW, SW-SW, SW-HW);
- Examiner les plate-formes TarP et SC_TarP dans le but d'effectuer une liaison entre ces deux plate-formes;
- Raffiner le système vers Seamless-Cbridge;
- Permettre la génération automatique orientée AMBA des interfaces;
- Étendre la méthodologie à un niveau multiprocesseur.

RÉSULTATS :

La recherche venant de débiter, aucun résultat n'est disponible.

TITRE :

Système d'acquisition de la pression transdiaphragmatique et de l'électromyogramme du diaphragme.

RÉSUMÉ:

Ce projet traite de la conception et de la réalisation d'un système d'acquisition simultanée de la pression transdiaphragmatique (P_{di}) et de l'électromyogramme du diaphragme (EMG_{di}) utilisant des capteurs de pression microélectroniques et un nouveau type d'électrode oesophagienne.

PROBLÉMATIQUE:

La mesure de paramètres respiratoires importants comme la P_{di} et l' EMG_{di} se fait encore à l'heure actuelle par deux systèmes distincts qui utilisent des dispositifs encombrants : ballonnets de latex à insérer par voie nasale, éventuellement des colonnes d'eau, capteurs de pressions extérieurs, amplificateurs, etc. La miniaturisation de tous ces dispositifs engendrerait une moindre gêne pour le patient et pour le médecin. En outre, il faut recourir à des algorithmes complexes pour atténuer les effets du positionnement vertical des électrodes oesophagiennes et de la contamination cardiaque. Une géométrie d'électrode adaptée permettrait à terme de se passer de tels algorithmes en filtrant à la source.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes :

- Conception et réalisation de deux puces électroniques permettant l'acquisition, le traitement et le transfert vers l'extérieur de signaux de pression acquis par des membranes déformables;
- Micro fabrication des membranes et étude de leur comportement aussi bien du point de vue électrique (gain, sensibilité) que mécanique (solidité, gamme de pression détectable);
- Validation d'un nouveau type d'électrodes oesophagienne par simulation électrostatique. Cette étude devrait permettre de caractériser l'influence de certains paramètres de l'électrode sur les effets de positionnement vertical et sur la contamination cardiaque.

RÉSULTATS :

Les puces électroniques ont été réalisées et testées avec succès. Les résultats obtenus à l'issue de simulations des électrodes paraissent encourageants puisqu'une forte réduction de la contamination cardiaque a pu être observée en comparaison avec des électrodes traditionnelles. Il reste néanmoins à poursuivre les simulations pour caractériser le dispositif plus précisément.

TITRE:

Conception d'amplificateur mode courant (CFOA) à faible tension d'offset et réalisation d'un filtre passe bande programmable.

RÉSUMÉ :

Ce projet traite d'une des techniques de compensation de la tension de décalage (offset) dans les amplificateurs mode courant et l'utilisation d'un CFOA en technologie CMOS pour réaliser un filtre passe bande à haute performance.

PROBLÉMATIQUE :

Dans le domaine analogique, la tension de décalage due à la variation du procédé de fabrication (transconductance, seuil de conduction), l'irrégularité des dimensions des masques et la difficulté de jumeler des transistors de type NMOS et PMOS. Elle réduit les performances des amplificateurs utilisés dans les filtres intégrés et les convertisseurs analogiques/numériques et bien d'autres applications. La tension de décalage provoque des erreurs d'information sur le signal traité par un système utilisant des amplificateurs.

MÉTHODOLOGIE :

- Journal des travaux traitant du problème de la tension de décalage;
- Choix d'une solution qui répond aux besoins du problème sans dégradation des performances de l'amplificateur;
- Analyse et simulation du circuit de compensation;
- Proposition et simulation d'une nouvelle architecture (CFOA) pour différentes valeurs de tension DC;
- Vérification et analyse des effets du circuit de compensation sur les performances de l'amplificateur tels que la distorsion harmonique, le produit gain bande passante et le bruit;
- Conception et simulation d'un filtre passe bande utilisant des CFOA.

RÉSULTATS :

Design, implémentation et fabrication d'une puce intégrant un CFOA et un module de réduction de la tension de décalage. Une comparaison des résultats obtenus par simulation et par mesure est en cours.

TITRE:

Transfert d'énergie et transmission bidirectionnelle de données par couplage inductif pour des systèmes électroniques implantables.

RÉSUMÉ:

Nous proposons une nouvelle technique destinée à améliorer les performances d'un système transcutané de transfert d'énergie pour des systèmes électroniques implantables (SEI). La technique utilisée est basée sur un lien à couplage inductif est aussi exploitée pour le transfert de l'énergie que pour la transmission bidirectionnelle de données. La technique proposée consiste en l'utilisation d'un circuit de contrôle permettant d'ajuster automatiquement les niveaux de tensions d'entrée et de sortie du lien inductif. Ce contrôle permet de maintenir l'énergie à transférer à l'implant à un niveau déterminé et de réaliser la modulation des signaux nécessaires à la transmission des données. Le circuit de contrôle permet de minimiser la sensibilité du lien aux fluctuations de la tension d'alimentation de l'amplificateur de puissance et de réduire les pertes d'énergie résultant de l'opération de la modulation des signaux à transmettre.

PROBLÉMATIQUE:

Le recours aux implants biomédicaux (stimulateurs) intégrés a été depuis longtemps considéré comme une solution alternative pour la récupération de la fonctionnalité des organes humains paralysés. Cependant, l'alimentation de ces systèmes représente un handicap majeur dans leur design. Comme ces stimulateurs sont destinés pour un fonctionnement à long terme, leur alimentation devrait être effectuée à distance. Ceci est indispensable afin d'éviter le recours aux batteries et aux opérations chirurgicales nécessaires pour les recharger. Souvent le même lien (interface) d'alimentation est aussi utilisé comme moyen de communication avec l'implant. Donc, le développement d'une telle interface représente une étape cruciale dans la conception des implants biomédicaux. C'est dans cet axe que nous menons des recherches pour développer et concevoir des interfaces d'alimentation et de communication pour permettre un fonctionnement correct et de longue durée pour des stimulateurs intégrés.

MÉTHODOLOGIE:

La méthode prévue pour compléter le présent projet comprendra les étapes suivantes:

- Étude bibliographique détaillée des systèmes existants de transfert d'énergie;
- Étude théorique détaillée, simulation et caractérisation d'un lien à couplage inductif;
- Proposition d'une méthode pour améliorer les performances d'un système de transfert d'énergie et de transmission de données à base d'un lien à couplage inductif;
- Conception et évaluation de l'ensemble du système proposé.

RÉSULTATS:

Nous avons proposé une boucle à verrouillage de fréquence (FLL) basée sur une nouvelle technique de conversion fréquence/tension. Nous travaillons à la mise en œuvre d'un modulateur CMOS intégré pour le contrôle de l'amplificateur de puissance du lien à couplage inductif et nous prévoyons intégrer ces techniques pour compléter un système dédié pour transférer l'énergie efficacement.

TITRE:

Analyse de la connexion entre une plate-forme digitale et interface réseau ou sans-fil.

RÉSUMÉ:

Analyse des plates -formes réseaux existantes pour les chaînes de traitement et sans fil.

PROBLÉMATIQUE:

De plus en plus les débits de transmission augmentent. Or, les plates-formes qui doivent traiter ces données doivent être performantes et efficaces. Comment fait-on pour traiter ce débit de données tout en étant économique et efficace.

MÉTHODOLOGIE:

- Élaboration et définition d'une interface physique
- Faire une synthèse des interfaces physiques dans l'optique d'une plate-forme réseau
- Faire l'expérimentation des MACS (Media Access Control).
- Voir les chaînes de traitement pour la conception de radio configurable (SDR).

RÉSULTATS:

Aucun résultat n'est disponible pour le moment.

TITRE :

Modélisation et optimisation systématique des performances d'architecture de plate-forme.

RÉSUMÉ:

Modélisation de performance de processeur réseau à l'aide d'outils de haut niveau tels que VCC et Seamless. Ceci permet de caractériser la complexité et l'efficacité de modèles précis et efficaces visant à optimiser une plate-forme avec une méthode systématique.

PROBLÉMATIQUE:

Évaluation du temps requis et des paramètres extraits par les outils de haut niveau pour la réalisation de plate-formes par des exemples concrets.

MÉTHODOLOGIE:

Développer une méthode systématique pour l'optimisation qu'il faudra caractériser en complexité et efficacité par des modèles précis de haut niveau.

RÉSULTATS:

Aucun résultat n'est disponible pour l'instant.

TITRE :

Conception d'un dispositif microélectronique de test pour des composants nanoélectroniques.

RÉSUMÉ :

Ce projet se veut une approche hybride entre la microélectronique et la nanoélectronique. Le dispositif ainsi créé pourra aussi servir au test de futurs composants.

PROBLÉMATIQUE :

- Modéliser tous les paramètres à tester;
- Choisir quel composant tester parmi tous les composants nanoélectroniques actuellement disponibles;
- Déterminer une structure analogique de contact entre les deux composants;
- Rendre la structure de test portable à plusieurs types de composants;
- Implanter les composants nanoélectroniques dans des circuits électroniques simples.

MÉTHODOLOGIE :

- Revue de littérature sur des dispositifs nanoélectroniques;
- Modélisation de circuits analogiques simples incluant ces dispositifs;
- Modélisation de la structure de test;
- Conception du circuit VLSI servant comme base de la plate-forme de test;
- Réalisation du circuit VLSI à la CMC
- Inclusion des composants nanoélectroniques à la plate-forme de test au département de génie physique;
- Test de différents paramètres de ces dispositifs;
- Application de circuits électroniques simples avec ces dispositifs nanoélectroniques.

RÉSULTATS :

Lors de la revue de littérature:

- Choix préliminaire de nanotubes de carbone et de fullerènes comme composant nanoélectronique à tester;
- Choix préliminaire de dispositifs présentement au stade d'étude de faisabilité;
- La structure analogique est aussi présentement à l'étude.

TITRE:

Circuits CMOS mixtes (analogique, numérique et RF) dédiées à des systèmes de communications sans fil à très large bande.

RÉSUMÉ :

Le présent projet est orienté vers la mise en œuvre d'une nouvelle architecture d'un système de communication sans fil à très large bande passante. Étant dédiée à une future génération de systèmes, l'architecture en question, sera validée par des circuits et fonctions mixtes (analogique, numérique et RF) en technologies CMOS (0.18 ou 0.13 μm). Un intérêt particulier est accordé aux convertisseurs A/N rapides dédiés aux systèmes de communication modernes.

PROBLÉMATIQUE :

La demande croissante des dispositifs portatifs sans fil dans les différentes applications (voix, médicales, capteurs, divertissement, etc.) a attisé le besoin d'un système de télécommunication (émetteur/récepteur) intégrable dans une seule puce sans aucune autre composante externe. Ce système présente un défi concernant de prolonger la vie de la batterie pour des applications portatives, soutenir des voix et des images sur de courte et longue distance et enfin il doit avoir une augmentation dramatique de la fiabilité et une diminution du coût. L'ouverture au public des bandes ISM (industriel, scientifique et médical) et UNII (Unlicensed national information infrastructure) aux différents utilisateurs du monde avec des différents types de modulations (OFDM, FHSS et DSSS) a révélé une autre contrainte à l'émetteur récepteur concernant le sujet de minimiser le bruit contribué par les applications accordées à ces bandes. Le semi-conducteur complémentaire d'oxyde de métal (CMOS) est le choix convenable pour permettre un mixage libre des fonctions analogiques et numériques à cause de son faible coût de fabrication et de sa supériorité pour les applications numériques. Cependant, pour la technologie submicronique profonde telle que 0.18 μm et moins, le design des blocs analogiques CMOS révèle beaucoup de faiblesse au sujet de modulation de canal, dégradation de mobilité de porteurs et divers bruits provenant de son substrat fortement dopé. Ces contraintes nécessitent d'analyser de nouvelles techniques pour la réalisation des blocs mixtes (analogique et numérique combinés) dédiés au système de communication sans fil moderne. Nous souhaitons proposer des techniques de conception afin d'atténuer les effets du comportement non idéal des circuits analogiques cohabités avec les circuits numériques.

MÉTHODOLOGIE :

- Maîtriser les différentes architectures des systèmes de télécommunication modernes;
- Étudier les circuits intégrés à faible consommation de puissance;
- Proposer de nouvelles techniques qui surmontent les contraintes précitées dans la problématique;
- Simulation, design et implémentation de ces circuits afin de les valider en créant un environnement de test convenable.

RÉSULTATS :

Design et réalisation d'un convertisseur analogique numérique (CAN) intégré à architecture pipelinée du 10 bits 50M échantillons/sec en technologie CMOS 0.18 μm . Proposition d'une nouvelle architecture pour les convertisseurs analogiques numériques entrelacés.

TITRE:

Techniques de conception de circuits CMOS à basse tension d'alimentation dédiés aux convertisseurs analogiques/numériques.

RÉSUMÉ:

Ce projet consiste à proposer des techniques de conception de circuits CMOS dédiés aux convertisseurs analogiques/ numériques (CAN). L'emphase est mise sur les méthodes de réduction de tension d'alimentation afin de permettre un fonctionnement adéquat pour des tensions avoisinant le seuil des transistors.

PROBLÉMATIQUE:

Les CAN et CNA assurent le lien entre les milieux analogique et numérique. Les applications utilisant ces convertisseurs sont diverses et variées. En télécommunication par exemple, les nouvelles applications exigent de très grandes résolutions à de très haute vitesse mais avec comme contraintes principales une très faible dissipation de puissance. En instrumentation, la résolution reste toujours un facteur clé, la plupart des applications se limitent à une résolution de l'ordre de 12 bits et plus. La demande grandissante des applications portatives exige une alimentation de l'ordre de 1.8 V ou moins avec une faible consommation de courant. De plus, la réduction rapide de l'échelle des nouveaux procédés de fabrication en technologie CMOS requiert une réduction de l'alimentation afin de garantir la fiabilité à long terme des circuits. Il en découle donc que les circuits électroniques contemporains destinés aux CAN et CNA doivent opérer à très basse alimentation afin de répondre aux applications portatives. Le but du présent projet est d'investiguer la faisabilité des circuits électroniques viables fonctionnant à très bas voltage et dédiés aux convertisseurs A/N.

MÉTHODOLOGIE:

Les différentes étapes du projet seront donc:

- Une revue de littérature pertinente au niveau des techniques de conception de circuits à bas voltage destinés aux convertisseurs A/N;
- Une étude de la fiabilité des circuits avec la réduction de l'échelle;
- Le développement des techniques de conception circuits CMOS à bas voltage;
- La conception d'un convertisseur A/N à approximation successive de 10 bits fonctionnant avec une alimentation de 1V
- Des tests expérimentaux afin de valider les performances pré dictées.

RÉSULTATS:

Les résultats obtenus à ce jour ont fait l'objet de quatre articles de conférence. Des prototypes ont été conçus dans le procédé 0.18 μ m et soumis pour fabrication. Les tests expérimentaux débiteront très bientôt. Le but de ces tests est de démontrer la faisabilité des circuits CMOS analogiques à basse alimentation.

TITRE :

Analyse, implantation et intégration d'une bibliothèque pour la spécification des systèmes embarqués dans une méthodologie de codesign.

RÉSUMÉ :

Ce projet consiste au développement d'une bibliothèque nommée Syslib pour la spécification des systèmes embarqués. On intègre également Syslib dans une méthodologie complète de codesign pour mieux orienter son utilisation. Des résultats seront obtenus en programmant plusieurs systèmes utilisant la bibliothèque Syslib.

PROBLÉMATIQUE :

Les méthodes utilisées aujourd'hui pour la conception de systèmes embarqués sont de plus en plus difficiles à cause de la complexité grandissante des circuits. Un mouvement vers les langages à haut niveau et orientés objets (par exemple le C++) est requis pour éviter une diminution de la productivité. Plusieurs groupes de recherche et compagnies ont optés pour cette voie, mais les bibliothèques disponibles ne répondent pas à tous les problèmes.

MÉTHODOLOGIE :

Le premier but de ce projet est de proposer une méthodologie de conception des systèmes embarqués qui utilise pour spécifications une bibliothèque système. Il s'agira d'étudier puis de rassembler les besoins pour cette bibliothèque. Puis, cette bibliothèque sera programmée en C++ orientée objet pour faciliter le raffinement progressif vers une solution finale d'implantation vers le matériel (en Cynlib) ou logiciel (en C/C++).

Il s'agit d'abord d'analyser l'étape de l'entrée des spécifications dans les méthodologies existantes et d'examiner les bibliothèques disponibles et d'établir une liste de lacunes qu'elle possèdent. Il faudra ensuite passer au développement de Syslib au niveau fonctionnel. Comme certains autres groupes de recherche tentent de combler ce vide (SystemC, SpecC, etc.), une étude comparative devra être complétée. Enfin, il faudra valider la bibliothèque en trouvant des applications à développer, puis analyser les résultats obtenus en comparant, de façon quantitative et qualitative, ces applications programmées avec différentes bibliothèques.

RÉSULTATS :

Une fois la bibliothèque Syslib terminée, nous avons procédé à l'implantation de différents exemples de design, dont un exemple producteur-consommateur, un contrôleur mémoire, un *BlockMatcher* puis un décodeur JPEG. Tous ces exemples ont été codés avec Syslib et SystemC. Les conclusions montrent que la bibliothèque Syslib est plus performante au niveau des échanges de données et les fichiers produits sont beaucoup plus petits, plus adaptés pour l'embarquement des spécifications au niveau architectural. Syslib est tout aussi simple à utiliser que System C (ou d'autres). Nous concluons que si nous nous dirigeons vers le développement d'un système en utilisant une méthodologie à raffinement progressif, Syslib (ou SystemC) apparaît comme un choix qui diminuera le temps de conception.

TITRE :

Ce projet consiste à fournir tout le soutien électronique nécessaire pour adapter, utiliser et intégrer la technologie de la microscopie à effet tunnel dans une plateforme mobile miniature de sorte à positionner celle-ci à l'échelle atomique à l'aide d'un système de positionnement global.

PROBLÉMATIQUE :

Déjà à ce stade, nous anticipons des complications au niveau du positionnement. En effet, notre système de positionnement global ne permet qu'une résolution de plus ou moins 20 micromètres (20×10^{-6} m). Parallèlement, le positionnement atomique se fait à l'aide d'un microscope à effet tunnel (qui consiste, dans le cas du nanorobot «NanoWalker», en un piézoélectrique monté avec une pointe conductrice) permet un balayage de plus ou moins 2 micromètres et ce avec une précision allant au nanomètre (1×10^{-9} m), ce qui permet de distinguer les atomes. Il y a donc un grand gap à couvrir avant de pouvoir jumeler ces deux technologies et d'atteindre, de façon efficace, le positionnement atomique.

De surcroît, le bruit électronique, accru par une densité de circuits hors du commun et l'effet d'hystérésis risquent fort bien de compromettre les résultats en ajoutant de l'imprécision aux mesures effectuées.

MÉTHODOLOGIE :

Pour combler le gap de résolution entre les deux systèmes de positionnement nommés plus haut (positionnement global et positionnement atomique), le NanoWalker se servira d'une grille atomique composée de motifs atomiques gravés sur la surface de travail pour parvenir au positionnement atomique. Ces symboles permettront au NanoWalker de déterminer sa propre position de façon autonome à même la région indiquée par le positionnement global. Il lui sera ensuite possible de compter les atomes jusqu'à cerner l'atome voulu selon un algorithme mathématique optimisé pour la précision et la description du parcours suivi.

En parallèle, une optimisation des circuits électroniques et mécaniques pourront offrir la possibilité d'atteindre des résultats plus précis avec, notamment, une meilleure isolation des circuits et un asservissement adéquat des commandes mécaniques.

RÉSULTATS :

Nous nous préparons à vérifier l'ensemble du circuit de contrôle du positionnement atomique indépendamment de la plate-forme du NanoWalker. Nous pourrions ainsi valider son bon fonctionnement avant de l'intégrer au circuit.

TITRE:

Étude et réalisation d'un récepteur à 2.5Gb/S en technologie CMOS dédié pour les liaisons série.

RÉSUMÉ:

Le sujet de la thèse est relié à la conception et la réalisation d'un récepteur à 2.5 Gb/s complètement en technologie CMOS pour les liaisons séries. Le but de ce travail est le recouvrement des données et des horloges et la réalisation de boucles à verrouillage de phase très rapide (PLL) ayant des paramètres adaptés. La PLL qui fait l'objet de nos recherches combine deux paramètres opposés : le temps de verrouillage et le bruit de phase.

PROBLÉMATIQUE:

Le problème de transmission de données entre divers circuits intégrés pose un défi véritable avec l'augmentation du débit de transmission de ces derniers. Pour cela, il faut avoir un système fiable et stable pour transmettre correctement les données et de les récupérer d'une façon fiable en minimisant le bruit introduit et les erreurs qui peuvent affecter le bon fonctionnement du système.

Dans le cadre de ce projet, nous allons concevoir des circuits CMOS très rapides ayant une consommation d'énergie relativement faible, dédiés à des systèmes de communication. Ainsi, nous visons à transmettre des données à 2.5 Gb/s à travers une ligne de transmission complètement en CMOS, tout en minimisant la puissance dissipée.

Le but de la thèse est de concevoir un récepteur à 2.5 Gb/s en technologie CMOS. L'application d'un algorithme de recouvrement de données et d'horloge élastique nous permet de réduire les erreurs de réception.

MÉTHODOLOGIE:

La méthodologie de conception adaptée pour notre travail est la suivante:

- Concevoir une boucle à verrouillage de phase (PLL) avec faible gigue de phase;
- Concevoir des circuits CMOS très rapides et ayant une faible consommation d'énergie;
- Traitement de la gigue introduite dû aux différences de fréquences entre le transmetteur et le récepteur.

RÉSULTATS:

Une PLL basée sur la technique de gain adapté a été proposée. Cette PLL offre une acquisition de fréquence et de phase rapide tout en ayant une faible gigue de phase. La technologie CMOS 0.18 micron servira à la fabrication de cette puce.

TITRE:

Conception et réalisation d'un système à haut rendement de transmission d'énergie et de données dédiées à un stimulateur implantable.

RÉSUMÉ :

De nos jours, il existe plusieurs dispositifs électroniques médicaux qui sont implantés dans le corps humain pour palier à une défaillance. Ces circuits ont besoin d'alimentation électrique et d'une façon de communiquer de l'information avec le monde extérieur. Pour éviter de multiples chirurgies, nous visons à transmettre énergie et données à distance. Le travail s'effectue selon les spécifications précises de l'application.

PROBLÉMATIQUE :

Les dispositifs implantés doivent pouvoir fonctionner en tout temps et sans restreindre la mobilité du sujet. C'est pourquoi l'efficacité de transmission est très importante : elle permettra de réduire la quantité de batteries externes nécessaires. De même manière, le circuit de réception de données doit être très modeste dans sa consommation de puissance. De plus, la transmission de données partant de l'implant doit se faire sans perturber l'arrivée de puissance.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Conception et réalisation d'un amplificateur à haut rendement pour l'émission;
- Conception et réalisation d'un prototype contrôleur/implant permettant de valider l'alimentation à distance ainsi que le transfert de données bidirectionnel;
- Caractérisation des limites de performance de la transmission utilisant des méthodes conventionnelles;
- Étude des encodages de données alternatifs;
- Élaboration d'un système utilisant une modulation/démodulation alternative (par phase);
- Réalisation et caractérisation d'un système intégré effectuant la démodulation de phase.

RÉSULTATS :

Un amplificateur à haut rendement a été réalisé et testé. Ce dernier est beaucoup plus simple que les versions précédentes et l'efficacité est meilleure. Un prototype a été conçu et les fonctionnalités critiques ont été rencontrées, à savoir l'alimentation de l'implant par lien inductif et la transmission de données dans les deux directions. Le taux d'erreur a été observé et il est inférieur à 10 par million lors d'une communication demi-duplex. Aussi, un modèle de système de modulation/démodulation de phase a été élaboré et simulé. Les résultats montrent la nécessité d'avoir un index de modulation très faible, laissant la place uniquement à une modulation de type PSK avec deux niveaux de phase rapprochés.

TITRE:

Conception d'un processeur embarqué de faible complexité dédié à une plate-forme SOC de processeurs réseaux applicables aux traitements de paquets de type signaux vidéo.

RÉSUMÉ :

Ce projet traite d'une implémentation d'un processeur embarqué qui sera intégré au sein d'une architecture plate-forme SOC en vue de la conception d'un convertisseur de protocoles le plus générique, flexible et réutilisable possible pour pouvoir le faire évoluer en fonction de la course effrénée de la technologie propre aux réseaux.

PROBLÉMATIQUE :

Le monde des télécommunications a connu ces dernières années de nombreuses mutations, dues à la course effrénée vers des débits de transmission toujours plus élevés. Ainsi, de nombreuses recherches ont été réalisées dans le but de créer de nouveaux protocoles de communication capables de supporter des vitesses de transmission de données de plus en plus grandes. Cette constante innovation dans le domaine de la communication a entraîné une diminution de la durée de vie des produits qui deviennent dépassés au fur et à mesure qu'ils ne sont plus capables de traiter de nouveaux protocoles. Pour résoudre ce problème, l'industrie a fait appel à des interfaces réseaux spécialisées : les convertisseurs de protocoles.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Réalisation d'une architecture du processeur embarqué avec un jeu d'instructions dédié à la manipulation de données de paquets à haut débit;
- Réalisation d'un modèle exécutable et synthétisable du processeur embarqué dont le jeu d'instructions pourrait démontrer la conversion d'un protocole A (Firewire) en un protocole B (Gigabit Ethernet);
- Implantation du processeur réseau sur la plate-forme ARM-FPGA. Ceci a pour but de faire une simulation post-synthèse;
- Implantation du processeur embarqué sur un circuit intégré ASIC;
- Dresser une comparaison entre le processeur embarqué et le processeur embarqué ARM7 en vue de justifier son existence au sein de la plate-forme SOC;
- Sortir des conclusions et des recommandations pour une nouvelle version du processeur embarqué qui sera reconfigurable et améliorée pour répondre aux besoins d'une éventuelle nouvelle architecture d'une plate-forme SOC.

RÉSULTATS:

- Une version fonctionnelle et synthétisable d'un processeur embarqué, le «*General Formater*», est maintenant disponible;
- Le modèle synthétisable a été optimisé pour une fréquence d'horloge de 90 MHz;
- La simulation post-synthèse sur la plate-forme ARM-FPGA nous a permis de corriger quelques erreurs;
- Le développement d'un assembleur qui utilise le jeu d'instruction du processeur embarqué pour produire le microcode a été finalisé;
- Une conversion du protocole Firewire au protocole Gigabit Ethernet avec le jeu d'instructions est disponible. Ceci nous a permis de réviser le jeu d'instructions pour accommoder le processus de conversion;
- L'implantation du processeur embarqué sur un circuit dédié est toujours en cours.

GILSON, Mathieu

DIPLÔME : M.Sc.A.

TITRE :

Simulation d'un réseau de neurones biologiques stimulés par une matrice d'électrodes.

RÉSUMÉ :

Dans le cadre du projet de l'implant cortical dédié à rétablir une vision partielle aux personnes non-voyantes, il est nécessaire de pouvoir prédire le comportement de la couche IV de l'aire primaire visuelle lorsqu'elle est stimulée électriquement. Ceci devra permettre par exemple de trouver les paramètres de stimulation (amplitude et fréquence des injections de courant) efficaces pour créer des phosphènes et d'améliorer le dispositif (limiter la consommation électrique). Par ailleurs, peu de littérature se trouve sur la stimulation à multiples électrodes d'un grand réseau neuronal. Les travaux de ce projet sont complémentaires à ceux de l'étudiant Jean-Sébastien Py.

PROBLÉMATIQUE :

Il s'agit d'abord de créer des neurones réalistes au niveau de leur géométrie et de leurs propriétés physiologico-électriques, puis de les raccorder ensemble par des synapses pour former un réseau. Il faut ensuite construire des modèles d'électrodes en stimulation et en lecture. Enfin, il faut déterminer un algorithme d'apprentissage qui soit capable de régler les paramètres du réseau afin d'obtenir une réponse du réseau qui soit conforme à des tests cliniques (les tests peuvent concerner d'autres réseaux de neurones que ceux de la couche considérée, il s'agit avant tout de roder les méthodes).

La problématique consiste à définir comment une réponse est réaliste de manière quantifiable et jusqu'à quel point on peut se limiter dans la finesse de la description individuelle des neurones, en conservant une bonne modélisation du réseau global.

MÉTHODOLOGIE :

Les cellules gliales sont ignorées : seuls les éléments actifs du cortex visuel sont pris en compte pour l'instant. Nous nous servons de l'outil NEURON, un programme de simulation de neurones développé par les universités de Yale (New Haven, CT) et Duke (Durham, NC). Il repose sur la modélisation de neurones par des sections de câbles connectées entre elles; leurs propriétés électriques, géométriques et physiologiques (modèles passifs et de Hodgkin-Huxley) sont configurables et observables. Les électrodes extracellulaires de stimulation sont représentées par des microélectrodes intracellulaires sur chaque neurone dans un volume environnant le site de stimulation. De la même manière, les électrodes de lecture enregistrent l'activité électrique des neurones avoisinant son site d'enregistrement. La prochaine étape sera l'ajustement des paramètres de chaque type de neurone à partir d'expériences concrètes, la définition d'une mesure sur les pulses générées par les neurones (pour comparer les résultats des simulations du réseau avec des données expérimentales) et la recherche d'algorithmes d'apprentissage adéquats pour régler les paramètres du réseau (poids et délais synaptiques). À terme, on espère effectuer des prévisions sur le comportement de la couche IV stimulée par l'implant.

RÉSULTATS :

Pour l'instant, l'essentiel du travail a consisté à se familiariser avec l'outil NEURON et à construire des réseaux neuronaux aux caractéristiques trouvées dans la littérature afin de comprendre les rôles des différents paramètres définissant les neurones et les synapses, ainsi qu'à évaluer les temps de calcul requis pour une simulation en fonction de la précision de la description du tissu neuronal.

TITRE :

Système d'acquisition multicanaux de signaux neuronaux intracorticaux.

RÉSUMÉ :

Le présent projet vise à développer un système d'acquisition multicanaux de signaux neuronaux intégré et implantable pour l'utilisation éventuelle in vivo chez l'être humain. Un tel dispositif médical permettra entre autre d'acquérir chez des patients paraplégiques l'activité cérébrale destinée à des fonctions motrices pour les reproduire grâce à d'autres dispositifs médicaux intelligents (DMI).

PROBLÉMATIQUE :

Depuis quelques temps déjà, il a été démontré que l'activité des neurones du cortex cérébral peut être associée à certaines fonctions physiologiques comme la vue, le mouvement ou la mémoire. L'unité révélatrice dans l'étude des représentations corticales des fonctions physiologiques est la population de cellules. C'est dans ce contexte, qu'il est important de pouvoir enregistrer simultanément l'activité d'un grand nombre de cellules. L'objectif principal de ce projet est de concevoir un système d'acquisition programmable pouvant être jumelé à une matrice d'électrode et implanté pour effectuer des mesures in vivo chez l'être humain. L'information neuronale pourra ensuite être traitée, étudiée et utilisée pour poser un diagnostic ou pour actionner un autre implant électronique.

MÉTHODOLOGIE :

Étant donné l'extrême sensibilité au bruit que représente la mesure de signaux neurologiques, le projet a débuté par l'étude des méthodes de réduction du bruit inhérent aux composants électroniques. Des simulations ont été effectuées pour comparer les diverses méthodes et identifier la plus appropriée. Les étapes subséquentes du projet sont les suivantes :

- Développer la méthode de réduction du bruit adoptée en circuiterie mixte dans le cadre d'une interface multicanaux devant consommer peu de puissance et fonctionner à faible alimentation;
- Développer une méthode de multiplexage efficace des canaux;
- Implémenter l'aspect programmable de cet interface;
- Réaliser l'architecture globale du système d'acquisition multicanaux au niveau intégré grâce au procédé de fabrication CMOS.

RÉSULTATS :

La première étape du projet a été complétée. Les étapes subséquentes sont présentement en cours.

TITRE:

Étude des réseaux de neurones artificiels pour la reconnaissance rapide d'impulsions radars.

RÉSUMÉ:

Un système de Mesures de Soutien Électroniques (MSE) est un senseur passif qui a pour but de caractériser (localiser et identifier) les émetteurs dans son environnement électromagnétique d'après les signaux radars qu'il intercepte. Son traitement consiste essentiellement à regrouper les impulsions captées qui sont similaires, pour ensuite identifier les sources associées aux groupes (i.e. les modèles d'émetteurs). La réponse de ces systèmes est critique pour la prévention de menaces. Toutefois, l'identification d'émetteurs en temps réel devient de plus en plus ardue dû à la complexité et à la densité des environnements modernes. Ce projet vise l'étude du potentiel des réseaux de neurones artificiels (RNA) pour les MSE radar en temps réel. Plus spécifiquement, ce projet explore l'application de techniques de RNA pour effectuer le regroupement de séquences d'impulsions et l'identité de sources émettrices.

PROBLÉMATIQUE:

Ce projet comporte deux volets: l'application de RNA auto-organiseurs pour effectuer le regroupement d'impulsions radars, et l'application de RNA classificateurs pour l'identification de sources émettrices. En ce qui concerne le premier volet, une comparaison antérieure (voir la partie résultats) a révélé que le Fuzzy ART est très prometteur pour le regroupement d'impulsions à haute vitesse. Malgré l'efficacité de ses traitements, Fuzzy ART donne des résultats qui sont moins précis que d'autres RNA. De plus, la qualité des résultats varie selon l'ordre de présentation des séquences d'entrées. En ce qui concerne le deuxième volet, un RNA classificateur est proposé pour l'identification directe des impulsions, sans passer par l'étape de regroupement. En plus du besoin pour un traitement très rapide, le classificateur doit se fier sur des connaissances a priori (i.e. une bibliothèque de MSE) incomplètes

MÉTHODOLOGIE:

Pour le premier volet, il s'agit de déterminer une mesure qui permet de détecter les entrées qui mènent à des décisions incertaines. Ensuite, pour réduire les effets associés aux décisions incertaines, on modifie la façon par laquelle Fuzzy ART apprend ou décide pour des cas incertains. Pour le deuxième volet, un RNA classificateur est combiné avec un RNA auto organisateur. Le classificateur apprend a priori une bibliothèque de MSE, tandis que l'auto organisateur apprend l'état des émetteurs actifs dans un environnement. L'idée est de permettre aux RNA de coopérer afin de prédire l'identité la plus probable d'un émetteur actif.

RÉSULTATS:

Une comparaison de quatre RNA auto-organiseurs qui ont du potentiel pour des applications de catégorisation à débit élevé a été effectuée. Les résultats ont permis de conclure que le RNA Fuzzy ART ainsi que le Self-Organizing Feature Mapping sont d'excellents candidats pour des applications en MSE radar.

La mise en œuvre VLSI numérique du RNA Fuzzy ART a été étudiée. Les performances du RNA ont été quantifiées par simulation avec un ensemble de données constituées d'impulsions radars réelles. Afin d'obtenir des solutions efficaces pour la mise en œuvre du RNA avec un circuit dédié VLSI, son algorithme a été reformulé. Ensuite, une architecture de système Fuzzy ART qui réalise cet algorithme pour des applications à débit élevé a été proposée. Un modèle destination surface-temps permet de choisir les configurations d'architecture et d'évaluer la vitesse de traitement, ainsi que la surface qui leur est associée, étant donné l'ensemble des contraintes de l'application.

Enfin, le traitement par réordonnement a été proposé pour gérer la manière dont les patrons sont appris par un système de catégorisation. L'approche offre une alternative intéressante au traitement séquentiel et *batch* en terme de qualité des catégorisations et du temps de traitement. Pour la deuxième partie, un réseau *what-and-where* a été proposé pour l'identification rapide des types de radar associés aux impulsions interceptées.

TITRE:

Système intégré CMOS implantable pour l'acquisition des activités vésicales par le biais de leurs voies neuronales.

RÉSUMÉ:

Ce travail consiste à proposer une méthode d'évaluation du volume urinaire et de concevoir et réaliser un circuit électronique intégré implantable destiné à corriger les dysfonctions urinaires. Les performances visées pour ce système découlent de la qualité du signal acquis (amplitude, interférence, etc.). De plus, étant approvisionné par de l'énergie transmise de l'extérieur et une petite pile implantée, ce système ne devrait pas consommer beaucoup d'énergie. En résumé, le circuit d'acquisition devrait jouir d'un niveau de bruit faible pour minimiser la taille du dispositif implanté.

PROBLÉMATIQUE:

Nous prévoyons capter des signaux neuronaux différentiels de très faible amplitude et à basse fréquence. Le signal sera ensuite traité pour en extraire de l'information. Pour l'implant électronique destiné à la restauration des fonctions urinaires, le circuit informerait le patient de l'état de son volume vésical et joue le rôle d'une boucle de retour pour le contrôle de la stimulation. Cette partie réaliserait les fonctions suivantes : la détection du volume vésical; la communication de l'information détectée au contrôleur principal de l'implant; et l'estimation du temps nécessaire pour le remplissage de la vessie.

MÉTHODOLOGIE:

Nous avons procédé à l'examen des techniques de surveillance des activités neuronales et nous avons opté au prélèvement de l'électroneurogramme (ENG) relié à la vessie. L'incertitude dans cette approche est que nous ignorons l'allure des signaux qui innervent la vessie et la difficulté reliée à leur mesure car ils sont, en général, de très faible amplitude, de basse fréquence et sont contaminés par de l'interférence (l'électromyogramme « EMG, 60Hz, etc.) Pour atteindre nos objectifs, nous avons divisé le travail en deux étapes : Concevoir et réaliser un système d'acquisition de signal par ordinateur pour déterminer le comportement du signal nerveux en fonction du volume de la vessie, concevoir et réaliser un circuit intégré CMOS qui est en mesure d'accomplir les fonctions du système d'acquisition ainsi que les fonctions de traitement du signal pour pouvoir générer l'information sur l'état du volume de la vessie. Le système intégré proposé englobe un amplificateur d'instrumentation (amplificateur différentiel) à faible bruit, un circuit de traitement du signal analogique composé d'un redresseur, deux intégrateurs en série avec une remise à zéro; cette partie réalise la fonction RBI (Redressement et Bin-Intégration), un convertisseur analogique-numérique, et un bloc de contrôle de l'ensemble. La fonction RBI sera complétée après la conversion avec un additionneur. Le circuit sera ensuite implémenté et fabriqué en technologie CMOS. Des tests au laboratoire et in vivo suivent pour déterminer ses performances.

RÉSULTATS:

La première composante du circuit intégré a été conçue, réalisée et testée avec de bons résultats. Nous avons conçu le circuit de traitement. La conception des autres parties avec la technique des capacités commutées est complétée. L'architecture différentielle est adoptée pour améliorer le rapport signal sur bruit. Nous sommes dans la phase du test de puces fabriquées en parallèle à la rédaction de la thèse.

TITRE:

Module de conversion de puissance basé sur un multiplicateur de tension et un redresseur actif dédié aux implants électroniques.

RÉSUMÉ :

Obtenir l'énergie requise pour alimenter un implant électronique est un défi significatif d'implémentation. Les tendances récentes favorisent des liens inductifs RF pour une telle application. Cependant, pour des considérations biologiques, une chaîne efficace de conversion de puissance est fortement souhaitable. Ceci implique de présenter de nouveaux dispositifs et de construire de nouvelles architectures ainsi que l'étude de la fiabilité pour les éléments de circuit.

PROBLÉMATIQUE :

Les nouvelles technologies CMOS sous-microniques souffrent de la basse tension nominale tandis qu'une certaine tension plus élevée est encore exigée pour la stimulation d'un nerf. Par conséquent, le nouvel arrangement pour des éléments d'une chaîne de conversion de puissance est exigée afin d'empêcher d'excéder la chute de tension et la perte de puissance à travers les diodes conventionnelles. Il exige également une étude profonde de la fiabilité des dispositifs. La nouvelle architecture possède l'avantage d'employer un redresseur actif intelligent qui remplace la diode conventionnelle. Ceci annule la chute de tension inhérente et constante d'une diode et améliore donc l'efficacité de puissance de l'architecture de manière significative. Le système requiert également un étage adaptatif de multiplication de tension afin de fournir assez de charge par phase de stimulation pour différents emplacements de stimulation d'une manière efficace. La fiabilité à long terme des dispositifs MOS en terme de performance et d'efficacité en condition d'effort conditionnel (courant et tension) serait d'un autre intérêt.

MÉTHODOLOGIE :

Nous avons rassemblé un nombre significatif de paramètres impliqués dans la conception appropriée de l'étape de multiplicateur de tension. Par la suite, nous avons étudié les limitations et les contraintes existantes et avons proposé une nouvelle architecture améliorant l'efficacité globale de puissance et éliminant le besoin de diode discrète. Une étude de fiabilité a été visée sur des dispositifs de CMOS. Une tentative énorme est également visée pour réaliser un redressement actif qui remplace le besoin de diode conventionnelle et élimine ses inconvénients.

RÉSULTATS :

Une nouvelle architecture pour la chaîne de conversion de puissance comprenant un redresseur actif a été présentée et le bloc de multiplication de tension à haut rendement a été également réalisé et le travail de réalisation d'un redresseur actif est en cours. Une puce électronique se composant de différents types et tailles de transistors MOS a été conçue afin d'explorer la fiabilité d'un tel dispositif soumis aux spécifications de notre application

TITRE:

Techniques CMOS sans-fil dédiées aux liens électromagnétiques de dispositifs médicaux implantables.

RÉSUMÉ:

De nos jours, il existe plusieurs dispositifs électroniques médicaux qui sont implantés dans le corps humain pour palier à une défaillance. Ces circuits ont besoin d'alimentation électrique et d'une façon d'échanger de l'information avec le monde extérieur. Pour éviter de multiples chirurgies, nous visons à transmettre énergie et données à distance. Le travail s'effectue selon les spécifications précises d'un implant redonnant la vue aux aveugles.

PROBLÉMATIQUE:

Les dispositifs implantés doivent pouvoir fonctionner en tout temps et sans restreindre la mobilité du sujet. C'est pourquoi l'efficacité de transmission d'énergie est très importante : elle permettra de réduire la quantité de batteries externes nécessaires. De même manière, le circuit implantable de réception de données doit être très modeste dans sa consommation de puissance. De plus, la transmission de données partant de l'implant doit se faire sans perturber l'arrivée de puissance.

MÉTHODOLOGIE:

Dans le but de transmettre de l'énergie à un implant avec une bonne efficacité, le système proposé ajuste la quantité de puissance envoyée selon les besoins. Ainsi, il faut que l'implant retourne de l'information sur l'état de sa tension d'alimentation. Celle-ci sera maintenue constante à l'aide d'un régulateur du côté du circuit externe. Ce dernier doit aussi être optimisé. Les différents types d'amplificateurs haute performance sont donc à l'étude. Du côté des données, la bidirectionnalité simultanée est nécessaire pour permettre une bonne régulation de puissance tout en gardant un bon débit de données entrantes (dans l'implant). Les normes et régulation étant limitantes, nous nous proposons d'effectuer la communication bidirectionnelle sur la même onde porteuse, à une fréquence permise. Au niveau de l'implant, ceci implique une modulation passive (modulation de charge), ainsi que la démodulation en phase. L'inverse doit se faire du côté du circuit externe. Les circuits qui se trouveront sur un implant doivent être simples et avoir une très basse consommation de puissance.

RÉSULTATS:

Pour l'instant, nous avons réalisé la référence de tension et le circuit régulateur de tension en CMOS18 et les résultats de simulation ont montré sa bonne fonctionnalité. Le circuit proposé a été implémenté et fabriqué par TSMC et nous sommes en phase de test de cette puce.

TITRE :

Caractérisation et modélisation des sources de gigue et d'étalement spectral dans un circuit de synthèse numérique directe de phase « DDPS ».

RÉSUMÉ :

Le développement croissant que connaît le domaine des télécommunications requiert de plus en plus la synthèse d'horloges très précises et de haute performance. L'horloge produite doit ainsi avoir une très faible gigue et atteindre des fréquences élevées. Les circuits de synthèse d'horloges existants ne rencontrent pas encore entièrement ces exigences. Le but de ce travail est de proposer des solutions pour améliorer les performances du circuit de synthèse numérique directe de phase «DDPS».

PROBLÉMATIQUE :

Dans les systèmes vidéo HDTV nous devons être capables de produire des horloges à haute fréquence qui sont des fractions exactes d'une horloge de référence et ayant une gigue en bas de 200ps. Le circuit de synthèse numérique directe de phase «DDPS» vient répondre à ce besoin. Cependant, l'analyse fréquentielle de l'horloge produite par ce circuit nous donne un spectre qui n'est pas pur. En effet, de l'étalement spectral apparaît aux alentours de la fréquence fondamentale et la gigue produite par ce circuit reste aussi à améliorer.

MÉTHODOLOGIE :

Présentement, nous identifions les sources de gigue et d'étalement spectral dans le circuit «DDPS». Par la suite, nous réaliserons un premier modèle MATLAB de ce circuit afin de simuler ses sources d'erreurs et d'en déduire les effets sur la gigue et le spectre de l'horloge produite. Nous devons par la suite proposer et valider des solutions pour atténuer les effets de ces sources d'erreurs.

RÉSULTATS :

Réalisation d'un modèle MATLAB du circuit « DDPS ».

TITRE:

Technique de linéarisation numérique des amplificateurs de puissance.

RÉSUMÉ :

Ce projet traite d'une technique de linéarisation des amplificateurs de puissance micro-ondes par la méthode de prédistorsion numérique adaptative et de développement des algorithmes exécutés par un circuit de traitement de signal numérique « DSP.

PROBLÉMATIQUE :

Pour une meilleure efficacité ou afin d'obtenir le maximum de puissance à la sortie, les amplificateurs de puissance sont généralement conditionnés à travailler dans la région non linéaire. Selon la méthode de modulation utilisée, les inconvénients de ces conditions ont pour effet de générer des distorsions (AM-AM ; AM-FM) qui dégradent la performance du système. Par conséquent, minimiser ces distorsions nous amènent à l'utilisation des techniques de linéarisation analogique et numérique.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Calcul des intervalles de variation des paramètres selon les spécifications d'un amplificateur de puissance ; ceux-ci permettront de connaître les paramètres du signal d'excitation, l'échantillonnage et la quantification de la puissance.
- Simulation du système composé des parties analogiques (radio fréquence) et numérique «DSP», en utilisant un logiciel de traitement numérique de signaux « SPW » (Signal Processing Work System). Cette simulation permettra de connaître des résultats en fonction de différents algorithmes.
- Analyse des résultats à travers des valeurs des paramètres et graphiques obtenus, ce qui nous permettra d'évaluer les avantages et les inconvénients par rapport aux différentes techniques de linéarisation.
- Validation de l'ensemble du système sur une machine Pentium ayant une carte de développement DSP C40 et les modules de conversion N/A et A/N nécessaires.

RÉSULTATS :

Des résultats des simulations sur SPW et une validation préliminaire sur un processeur TMS320C40 ont été obtenus et on peut noter que la technique offre une bonne réduction des bruits d'inter modulation (AM-AM, AM-PM).

TITRE:

Techniques de conception SOC dédiée à l'imagerie par ultrasons.

RÉSUMÉ:

Depuis quelques décennies, l'imagerie médicale est employée pour estimer le volume des organes du corps humain et afficher leur image sur un moniteur. La technique d'estimation employée est basée sur la physique de base des ultrasons et notamment sur la propagation du faisceau ultrasonore et la détection des échos pour l'estimation de volume et l'affichage de l'image. Les grandes dimensions des systèmes ultrasoniques utilisées, les basses performances que ces systèmes offrent, ainsi que les progrès soutenus en microélectronique nous motivent à miniaturiser de tels systèmes. La miniaturisation consiste en un défi de taille qui fait l'objet principal de plusieurs blocs de circuits mixtes (analogique/numérique) pour apporter une contribution de taille dans ce nouveau domaine d'application en microélectronique.

PROBLÉMATIQUE :

Nous proposons dans ce projet, une architecture d'un système ultrasonique qui devrait opérer en temps réel et qui peut être miniaturisé sur un nombre réduit de puces. Cette architecture englobe cinq blocs principaux.

- Section analogique qui sert à préamplifier les signaux d'entrée à faible amplitude, suivi d'un ADC;
- Processus de Beamforming qui sert à déterminer l'image;
- Processus de filtrage et de compression d'image;
- Processus de Scan Conversion qui sert à préparer l'image pour l'affichage vidéo;
- Affichage, l'image examinée est visualisée sur un écran LCD.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Conception d'un convertisseur analogique/numérique fonctionnant à grand débit pour permettre un échantillonnage adéquat;
- Simulation de blocs critiques par le logiciel MATLAB pour valider le bon fonctionnement;
- Conception des blocs numériques en utilisant VHDL;
- Analyse des résultats en comparant entre les simulations MATLAB et ceux du VHDL;
- Implémentation et validation de l'ensemble du système.

RÉSULTATS :

La conception du convertisseur ADC et la modélisation du Beamforming ont été réalisées avec succès.

TITRE:

Méthodes de conception pour la testabilité des circuits CML bipolaires.

RÉSUMÉ:

Les technologies de type bipolaire, et en particulier, la technologie CML, sont peu étudiées et documentées. En ce qui concerne les méthodes de test pour les circuits conçus avec ces technologies, rien de spécifique n'existe et les méthodes conventionnelles, employées par exemple avec des circuits CMOS, ne sont pas suffisantes pour garantir une couverture de faute adéquate. À partir de propositions découlant de travaux antérieurs, quelques méthodes spécifiques à la technologie CML seront étudiées.

PROBLÉMATIQUE:

La majorité des techniques de détection de fautes reposent sur le fait qu'un défaut de fabrication se traduit souvent par un collage. Les collages dans un circuit CML représentent seulement une portion des fautes que l'on peut détecter. En effet, parmi les caractéristiques de la technologie CML, on note la capacité de régénération du signal d'un niveau de circuit à l'autre: Une porte avec un défaut voit son signal de sortie altéré, mais après un ou quelques niveaux suivants, le signal aura retrouvé sa valeur nominale; il y aura donc masquage de la faute. Donc toute technique reposant sur l'évaluation du niveau des signaux aux ports de sortie est insuffisante.

Une technique de test pour les circuits CML doit, soit viser une détection plus fine, soit annuler l'effet du masquage.

MÉTHODOLOGIE:

Les méthodes envisagées reposent principalement sur deux mesures des signaux de sortie: l'amplitude du signal et la marge de bruit. Ces méthodes n'ont pas été caractérisées dans un contexte global et la procédure d'application pour le test n'a pas encore été élaborée. Les différentes étapes proposées pour atteindre l'objectif d'une méthode de test adaptée aux circuits CML sont:

- Caractérisation des méthodes proposées;
- Analyse de leur effet sur la couverture de fautes;
- Étude d'une proposition d'amélioration de certaines de ces méthodes;
- Proposition d'implantation au niveau masque;
- Évaluation des possibilités de modification après conception.

RÉSULTATS:

La première phase du projet consiste en l'étude du BAS (Bias Alteration Stressing). La deuxième phase consiste en l'étude de l'ITT (Imbalance Testing Technique). Nous explorerons les problèmes posés par l'ITT ainsi que leurs solutions. L'implémentation de ces méthodes de test a été analysée pour déterminer leur efficacité.

TITRE:

Implantation, comparaison et analyse des performances de l'estimateur fréquentiel Crozier sur différentes plates-formes.

RÉSUMÉ:

Pour beaucoup d'applications de communication en temps réel et particulièrement pour les systèmes de détection et surveillance radar, l'estimation fréquentielle représente une fonction importante et souvent déterminante pour l'efficacité de traitement. Pour un algorithme comme IMOP (Intentional Modulation On Pulse), qui effectue la caractérisation de signaux radars, l'estimation fréquentielle peut consommer jusqu'à 80% du temps de calcul global. La performance d'un estimateur fréquentiel ne dépend pas seulement de son efficacité de calcul mais également de son habileté à produire une estimation précise à partir d'un court segment de signal, et ce pour des fréquences allant jusqu'aux taux de Nyquist. L'algorithme de Crozier est un de ces estimateurs fréquentiels qui répondent particulièrement bien à ces critères de performance. En plus d'avoir une complexité proportionnellement linéaire aux nombres d'échantillons, Crozier se distingue des autres estimateurs par un seuil SNR (Signal Noise Ratio) inférieur et un rendement adéquat pour des fréquences proches de Nyquist. L'objectif du projet consiste à explorer les technologies modernes afin de générer des implantations de Crozier qui satisfassent les exigences imposées par les différentes applications.

PROBLÉMATIQUE:

L'importance des estimateurs fréquentiels tel que Crozier au sein de certaines applications nécessite un traitement très rapide de ce dernier. À titre de référence, on estime que le délai de calcul de l'estimateur doit être inférieure à 5 μ s. Dû à la complexité de l'algorithme Crozier et à la nature séquentielle des processeurs commerciaux le traitement de l'algorithme, en mode logiciel standard, peut s'avérer insuffisant. De plus, certaines applications ne disposent pas des ressources en terme d'espace et de consommation de puissances requises par les processeurs commerciaux. L'intégration de l'estimateur doit ainsi viser des supports allant du processeur de haute performance aux plates-formes de type système sur puce tout en considérant des formes d'implantations aussi diverses que matérielles, logicielles/matérielles et logicielles.

MÉTHODOLOGIE:

La démarche consiste d'abord à cibler des technologies ou plates-formes d'intégration propices aux implantations de l'estimateur Crozier. Une analyse algorithmique de l'estimateur doit ensuite être produite afin de déterminer des architectures optimisées pour chaque type d'implantation. La dernière étape consiste à faire une analyse de coût et performance pour chaque type d'implantation.

RÉSULTATS:

Deux approches ont été ciblées pour l'implantation de l'estimateur Crozier: La première approche vise une plate-forme système sur puce telle que l'Integrator de ARM. Cette plate-forme dispose, en plus, d'un FPGA Vixtex 1000 de Xilinx, deux processeurs : les ARM7TDMI et ARM940T. Une architecture matérielle de Crozier a été développée pour le FPGA. Une implantation préliminaire de cette architecture a démontré que l'algorithme de Crozier pouvait produire une estimation de fréquence en moins de 4 μ s pour des signaux de 100 échantillons et moins. Des travaux sont en cours pour élaborer l'interface permettant la communication entre les processeur et le module Crozier. La seconde approche vise une plate-forme logicielle-logicielle constituée des processeurs de haute performance tels que les Pentium III et IV. Ces processeurs disposent d'extension de jeu d'instructions (MMX, SSE1 et SSE2) qui offrent une efficacité de calcul intéressante. Plusieurs implantations ont été produites et les résultats montrent un délai de 5 à 10 μ s pour l'estimateur Crozier

La suite des travaux consiste à finaliser l'implantation et l'intégration de l'estimateur sur le ARM Integrator et produire une analyse de coût et performance pour chacune des approches.

TITRE:

Optimisation paramétrique de circuits analogiques par l'intermédiaire des algorithmes génétiques.

RÉSUMÉ:

Le projet consiste à concevoir un logiciel permettant d'optimiser une large gamme de circuits analogiques tels que :

- Amplificateurs opérationnels de grande précision;
- Références de tension de grande stabilité;
- Oscillateurs.

PROBLÉMATIQUE:

L'électronique analogique est un domaine relativement complexe en ce qui concerne le dimensionnement des composants d'un circuit analogique afin de réaliser une fonction spécifique. Le problème du dimensionnement est normalement de type NP-complet.

La démarche analytique permet régulièrement de résoudre les tailles des composantes afin d'obtenir un circuit fonctionnel. Cependant, comme il est souvent le cas, l'analyse théorique doit se limiter à des relations et des modélisations des composants microélectroniques restreintes au premier ordre. En tenant compte des effets d'ordre supérieur, on obtient rapidement des équations transcendantes résolubles seulement par analyse numérique. À ce point, il devient préférable d'utiliser un simulateur de circuit qui est spécialisé dans cette tâche.

Le but est de trouver pour un circuit de moyenne complexité (20-50 transistors), à topologie fixée, les tailles (paramétriques) des composants (résistance, condensateur, transistor,...) afin de rencontrer les spécifications désirées ainsi que d'autres fonctionnalités supplémentaires dictées par le concepteur. Pour ce faire, nous utilisons une démarche d'optimisation basée sur une méthode d'essai et erreur utilisant la grande précision d'un simulateur de circuits microélectronique.

Plus spécifiquement, nous utilisons ici un algorithme évolutif de type génétique jumelé au simulateur de circuit HSpice. Le but étant d'optimiser un circuit de manière à rencontrer les spécifications de fonctionnement dictées par le concepteur à travers une interface graphique.

MÉTHODOLOGIE:

Le projet sera réalisé en couvrant les étapes suivantes:

- Recherche bibliographique sur les méthodes d'optimisation;
- Recherche bibliographique sur les topologies de circuit;
- Programmation du logiciel et de son interface graphique;
- Réalisation matérielle des circuits optimisés.

RÉSULTATS:

Le logiciel est terminé et en cours d'utilisation. Une gamme de circuits de référence de tension de bonne performance ont été obtenus. Plusieurs de ces circuits seront proposés à la fabrication sous forme de ASIC.

TITRE :

Exploration architecturale de processeurs réseaux à l'aide d'une plate-forme générique.

RÉSUMÉ :

Ce projet traite de l'élaboration d'une plate-forme modulaire axée vers la création de processeurs réseaux. À partir de modèles décrits en SystemC représentant différents modules (tels des mémoires, des processeurs génériques ou encore des processeurs spécialisés) une plate-forme peut rapidement être construite. Ce prototypage rapide permet de vérifier les avantages et les inconvénients d'une architecture donnée.

PROBLÉMATIQUE :

Les dernières années ont vu une explosion de la bande passante requise pour de nombreuses applications réseaux. Cette augmentation continuera au cours des prochaines années pour répondre aux besoins d'application telles la téléphonie IP ou la vidéo numérique. Afin de pouvoir facilement répondre aux besoins de ces applications ainsi qu'aux besoins d'applications futures, les équipements réseaux ont aussi besoin d'être flexibles et configurables. Les processeurs réseaux constituent une bonne approche pour satisfaire à ces deux exigences.

MÉTHODOLOGIE :

Nous prévoyons compléter les étapes suivantes :

- Réaliser des modules de base en SystemC nécessaires pour l'élaboration des plates-formes, tel un simulateur ISS pour les processeurs Xtensio de Tensilica;
- Utiliser une interface standard pour faciliter la connexion entre différents modules;
- Développer des outils et tests pour vérifier l'efficacité d'une architecture pour une application donnée.

RÉSULTATS :

La recherche venant de débuter, aucun résultat n'est disponible pour l'instant.

LAYACHI, Mohammed

DIPLÔME: M.Sc.A.

TITRE:

Modélisation et simulation du transport électrique à travers des molécules organiques.

RÉSUMÉ :

La microélectronique approche des limites de la miniaturisation, d'où la nécessité de trouver des technologies de remplacement. C'est ce que le domaine de la nanotechnologie explore maintenant dans le but de réaliser des composants à l'échelle nanométrique.

PROBLÉMATIQUE :

La description du courant à travers une molécule est un problème complexe dont la modélisation se fonde sur la mécanique quantique. Lorsque la molécule est connectée entre deux macroscopiques électrodes en or, le système combiné est un exemple de dispositif mésoscopique. Ce dispositif opère sous l'influence d'un potentiel électrique externe qui conduit le courant à travers la molécule.

MÉTHODOLOGIE :

- Étude théorique des différentes méthodes de mécanique quantique pour traiter le problème;
- Calcul et simulation de la transmission au travers la molécule en utilisant un code simple relié à la méthode Huckel;
- Modification du programme de modélisation basé sur la méthode DFT (Density Functional Theory);
- Test du programme modifié sur quelques molécules (sans les électrodes d'or);
- Faire la simulation sur des molécules diatomiques contenant de l'or afin de comparer les résultats avec les valeurs expérimentales;
- Faire le test sur la molécule modélisée et extraire les caractéristiques d'intérêt;
- Injecter les résultats obtenus dans un code qui modélise la transmission et tracer cette dernière en fonction de l'énergie. La transmission est proportionnelle à la conductance, d'où on peut avoir le courant.

RÉSULTATS :

Les étapes 1, 2, 3 et 4 ont été accomplies. L'étape 5 est en cours.

TITRE :

Implantation automatique de moniteurs d'assertions en langage *e* à partir d'une méthodologie d'encapsulation d'assertions dans une spécification SDL.

RÉSUMÉ :

Le but de ce projet est de proposer une méthode pour accélérer et optimiser la conception d'assertions en langage *e* lors de l'implantation de bancs d'essais pour la vérification fonctionnelle de modèles matériels. Il s'agira d'étudier la possibilité d'encapsuler dans une spécification SDL des assertions et de proposer un outil qui permettra la migration automatique de ces assertions vers un langage de vérification matérielle (langage *e*). Ceci permettrait aux concepteurs de bancs d'essais de définir des assertions au niveau d'une spécification exécutable sans pour autant coder celles-ci à partir de primitives temporelles propres aux langages de vérification. Les moniteurs d'assertion créés automatiquement en langage *e* seraient optimisés pour la réutilisation.

PROBLÉMATIQUE :

La vérification fonctionnelle de modèles de conception matérielle est une des tâches les plus ardues du processus de conception. En effet, puisque la complexité des circuits microélectroniques contemporains augmente sans cesse, la vérification de modèles de conception matérielle est devenue un goulot d'étranglement dans tout processus de conception. Présentement, les obstacles auxquels les concepteurs font face sont la génération d'une grande quantité de stimuli efficaces, la découverte d'erreurs de conception en déployant le moins d'effort possible et l'émulation adéquate de l'environnement d'utilisation du design à l'intérieur d'un banc d'essais. C'est pour ces raisons que la vérification est aujourd'hui la cible de nouveaux outils et de nouvelles méthodologies. Ceux-ci ont pour but de réduire le temps du processus de vérification en permettant un parallélisme des efforts, des niveaux d'abstractions plus élevés ainsi que l'automatisation de certaines tâches.

MÉTHODOLOGIE :

Dans le but de justifier le bien fondé de ce projet et d'expliquer la problématique actuelle de la vérification fonctionnelle, un sondage sur les pratiques de vérification en entreprises sera effectué et les résultats seront présentés. Une étude sur la vérification basée sur les assertions sera effectuée dans le but de proposer une méthodologie d'implantation d'assertions en langage *e* qui permettra d'optimiser la réutilisation. Ensuite, une étude sur l'encapsulation d'assertions dans un langage de spécification exécutable (SDL) sera effectuée. Un modèle de génération automatique de moniteurs d'assertions en langage *e* à partir d'assertions encapsulées dans une spécification SDL sera implanté. Des exemples d'implantation et de vérification à l'aide de ce modèle seront développés.

RÉSULTATS :

Nous avons proposé un partitionnement par aspect générique pour toute implantation d'environnement de vérification. Ces résultats ont été présentés à la conférence HDLCON 2002 ainsi qu'à IWSOC 2002. Un article présentant les méthodes actuelles de vérification fonctionnelle a été soumis à la revue *IEEE Design and Test of Computers*. Cet article présente principalement les résultats du sondage sur la vérification fonctionnelle.

TITRE:

Conception de modules matériels réutilisables pour un réducteur de bruit vidéo.

RÉSUMÉ:

Ce projet est développé en étroite collaboration avec la société Miranda. Il consiste à implanter dans un FPGA, un réducteur de bruit vidéo (bruit de moustique) pour la norme HDTV, ainsi que son optimisation. L'optimisation consiste d'une part à minimiser le matériel nécessaire à la fonctionnalité, mais aussi, au niveau méthodologique, à réduire le temps de développement de tels systèmes matériels.

PROBLÉMATIQUE:

L'algorithme à implanter est d'une grande complexité, requérant plus de 300 opérations sur chaque pixel. Devant travailler sur des données vidéo au format HDTV (arrivant à un débit de 75 MHz), le circuit doit effectuer plus de 20 milliards d'opérations à la seconde. Une architecture dédiée, massivement parallèle est indispensable, tout en trouvant des méthodes innovantes pour minimiser le matériel requis. Concernant la minimisation du temps de développement, des méthodes existent, mais ne sont pas adaptées au contexte, puisque généralement trop lourde à mettre en œuvre.

MÉTHODOLOGIE:

Le travail se décompose en plusieurs étapes :

- Une implantation initiale, non optimisée, a été effectuée pour d'une part prouver sa faisabilité, mais surtout pour bien comprendre et assimiler l'algorithme. Une étude de la complexité nous permet de concentrer nos efforts sur les modules à fort potentiel d'optimisation.
- L'optimisation matérielle a consisté d'une part à analyser en détail l'architecture pour minimiser la taille de chaque donnée. La seconde voie a été d'étudier et de concevoir une unité virgule flottante configurable comme moyen d'optimiser le chemin de données et les opérateurs.
- L'accélération du temps de développement a nécessité la mise en place d'une méthode complète pour la réutilisation des modules matériels (*design-reuse*). Après assimilation des méthodes existantes, mal adaptées au contexte, nous avons développé notre propre méthode en s'inspirant des méthodes existantes. Plusieurs stratégies sont également proposées pour mettre en place efficacement de telles méthodologies dans un environnement industriel.

RÉSULTATS:

L'implantation initiale a été concluante puisque fonctionnelle au niveau simulation. Toutefois, le matériel requis était trop important. Une optimisation par analyse détaillée de chaque module a permis d'économiser 40% de matériel par rapport à l'implantation initiale.

Concernant la méthodologie *design-reuse*, elle a été suivie pour développer plusieurs modules de complexité moyenne, par plusieurs personnes et de plus, moyennant un effort supplémentaire à la conception, la réutilisation de ceux-ci ne coûtait que quelques pourcents de plus du côté de l'effort de conception.

TITRE :

Conception d'un démonstrateur WSI (Wafer Scale Integration).

RÉSUMÉ :

Ce projet vise à étudier plusieurs aspects de la conception de systèmes WSI. Ces aspects incluent les longues interconnexions, l'impact des gradients thermiques sur les biais de synchronisation, la tolérance aux pannes et les stratégies de test.

PROBLÉMATIQUE :

L'objectif de ce projet est de caractériser les biais de synchronisation induits par les gradients de température. La déviation maximale devrait être estimée. Un autre objectif est de développer une stratégie de configuration consacrée à une structure de débit élevé. Le dernier objectif de ce projet est de développer une configuration de contrôle et une stratégie de test des interconnexions.

MÉTHODOLOGIE :

Les déviations temporelles induites par les gradients thermiques devraient être étudiées par l'analyse théorique et caractérisées par la simulation. La stratégie de configuration préférée devrait être mise en application dans un prototype.

RÉSULTATS :

Il y a une déviation approximativement linéaire induite par le gradient de température. 70% de la déviation induite par le gradient de température est contribué par la variation de résistance, qui est le phénomène dominant. Le biais induit par le gradient de la température est négligeable pour des interconnexions locales ainsi que pour les bus globaux.

Basé sur un travail antérieur, on propose un arrangement de la logique de configuration. Des algorithmes de configuration et les procédures de test, de diagnostic et de configuration sont étudiés. Une puce prototype avec 3 x 3 cellules contrôlées par une chaîne de balayage IEEE 1149.1 a été conçue et fabriquée. Un test fonctionnel prouve que la puce fonctionne de la manière prévue.

La norme IEEE 1149.1 est exploitée pour exécuter la configuration et le test à l'échelle de la tranche. Une chaîne de balayage tolérante aux pannes basée sur cette norme a été proposée.

TITRE :

Conception d'un convertisseur A/N Sigma Delta CMOS à basse alimentation et faible consommation d'énergie.

RÉSUMÉ :

Le projet consiste à concevoir un convertisseur A/N Sigma Delta basé sur la technologie CMOS 0.18 micron, à faible alimentation et consommation de puissance. La fréquence d'échantillonnage désirée est 2 MHz avec un rapport de sur échantillonnage de 100.

PROBLÉMATIQUE :

La conversion Sigma Delta devient la méthode la plus populaire pour réaliser un convertisseur analogique à numérique à haute résolution et à faible alimentation et consommation de puissance. La réalisation de ce convertisseur basé sur la technique des capacités commutées devient un problème sérieux pour les circuits à faible alimentation.

MÉTHODOLOGIE :

La méthode prévue pour compléter le présent projet comprendra les étapes suivantes :

- Étude bibliographique détaillée des topologies existantes ;
- Étude théorique détaillée, simulation et caractérisation du design pour satisfaire les spécifications;
- Proposition d'une méthode pour améliorer les performances ;
- Conception, implémentation, fabrication d'une puce et évaluation de l'ensemble du système proposé.

RÉSULTATS :

La conception du convertisseur est terminée mais il reste à faire les dessins des masques de circuit et le soumettre à la fabrication, par la suite faire le test expérimental de la puce qui sera reçu en février 2003.

TITRE:

Une analyse des symboles invalides dans un flot vidéo et conception d'une interface SDRAM

RÉSUMÉ ;

L'analyse des symboles invalides consiste à déterminer la distribution des pixels invalides, introduite dans une interface VIP. Ce projet modifie l'interface VIP, conçue par MiroTech Microsystems Inc., afin qu'elle envoie les contrôles du signal vidéo_data vers une FIFO reliée à un ordinateur par un bus PCL. La lecture de la FIFO nous donne la distribution des invalides parmi les autres contrôles du signal.

L'interface SDRAM offre un support pour les développements reliés aux opérateurs de traitement d'images, qui sont basés sur des tampons d'images. Le projet développe les idées déjà traitées par MiroTech Microsystems Inc., qui a implémenté une interface dans une première version, qui vérifie la fonctionnalité de la SDRAM sur la carte Black Magic, mais qui ne supporte pas les données appartenant aux trames d'image. La plupart des composants contenus dans le générateur de commandes de la version précédente ont été changées. Les générateurs des adresses et des données pour l'écriture et pour la lecture de la SDRAM ont été réalisés au complet.

PROBLÉMATIQUE :

Pour mieux implémenter les opérateurs de traitement d'image, il est nécessaire de connaître la distribution des invalides, parmi les autres contrôles du signal vidéo_data. La plupart des invalides sont générés au niveau de l'interface VIP par la conversion du signal de la caméra en signal vidéo_data. La cause est dans la différence de fréquence à laquelle la caméra transmet par rapport à la fréquence de travail du FPGA.

Pour la synchronisation de deux flots d'image à l'entrée d'un opérateur de traitement d'image et pour le design de certains noyaux de traitement d'image, un tampon de retard des trames d'image est demandé. La SDRAM disponible sur la plate forme peut servir de tampon de retard.

MÉTHODOLOGIE :

L'interface VIP fait l'insertion de pixels invalides pour les cycles d'horloge pour lesquelles il n'y a pas de données valides. Le FPGA transmet au FIFO externe à une fréquence plus grande que la fréquence du PC, donc le flot des données à l'entrée de FIFO comporte plus de données que le flot de données à la sortie (vers le PC) du FIFO. La méthode adoptée pour comprimer le flot de données (données sur 8 bits) est de représenter sur 3 bits le type de mot de contrôle et sur les 5 bits restants le nombre de pixels consécutifs du même type. Ce design est modulaire, chaque composant étant décrit en VHDL par une entité. Un programme écrit en Visual C++ fera la lecture du FIFO et l'affichage des résultats concernant la distribution des invalides.

L'interface PCI envoie l'image vers l'interface SDRAM qui réalise l'écriture des données sur SDRAM à l'adresse désirée par le biais du générateur (d'écriture) des adresses et du générateur des données (représenté par un convertisseur série parallèle). Par le biais du générateur (de lecture) d'adresses, la lecture séquentielle des données, mémorisées en SDRAM, est réalisée et les données lues seront envoyées vers l'interface PCI à l'aide du générateur des données (représenté par un convertisseur parallèle série). Des FIFOs mémorisent les données et les adresses pour qu'elles soient bien synchronisées avec les commandes. Un comparateur d'adresses est utilisé afin d'éviter de faire la lecture d'une donnée à une adresse qui n'a pas été écrite. Le générateur de commandes, en plus de générer les commandes de lecture et d'écriture, réalise l'initialisation et l'auto rafraîchissement distribué de la SDRAM. Le design est modulaire.

RÉSULTATS :

Lors de la simulation sur la carte Black Magic, les résultats obtenus pour une image 638x480 à une fréquence du FPGA de 40MHz, indiquent environ 45000 pixels invalides sont générés au début de chaque trame d'image, environ 2 pixels invalides pour un valide sur chaque ligne. Il y a 364 pixels invalides entre les lignes et environ 484000 invalides à la fin de la trame. La plupart des composants ont été testés avec succès du point de vue simulation fonctionnelle, en utilisant ModelSim. Les autres composants sont présentement en test.

TITRE :

Conception et implémentation d'une famille de convertisseurs de protocoles (Firewire/Ethernet).

RÉSUMÉ :

Le projet consiste à étudier les cas d'interconnexion entre les réseaux Firewire (IEEE 1394) et Ethernet (802.3). Deux cas se dégagent : le transport de datagrammes Ipv4 et le transport d'un flot vidéo. La résolution de ces deux cas sera basée sur des solutions matérielles, en respectant la qualité de service requise par ces protocoles.

PROBLÉMATIQUE :

L'interconnexion de plusieurs réseaux qui fonctionnent selon des protocoles différents coûte de plus en plus cher aux fournisseurs de services réseaux. L'hétérogénéité des protocoles freine la transparence entre les réseaux. Le temps de traitement des paquets dans les passerelles est très élevé, bien que les vitesses de transmission atteignent des sommets.

Généralement, les solutions existantes sont dédiées à un nombre de protocoles, ainsi il est difficile de réutiliser les composants ou de rajouter un nouveau protocole au processus de conversion. Ce manque de programmabilité et de flexibilité et cette lenteur sont les principales lacunes des solutions actuelles.

MÉTHODOLOGIE :

Le principal but de ce projet est de compléter une architecture matérielle d'un convertisseur de protocoles. Ce convertisseur doit se caractériser par sa vitesse de traitement et sa réutilisabilité. Vu la complexité de ce projet, une méthode itérative sera employée, à savoir qu'une première itération sera mise en place. Cette dernière comprendra moins de fonctionnalités mais elle permettra d'observer les goulots d'étranglement de l'architecture.

La méthodologie suivante sera suivie durant ces deux prochaines années de recherche :

- Compléter une première architecture existante (itération 1);
- Vérifier et valider l'architecture en utilisant le langage e;
- Mettre en œuvre l'architecture matérielle à l'aide d'une carte de développement ARM9 comprenant un FPGA Xilinx XVC1000;
- Concevoir et développer un logiciel de retransmission de datagrammes Ipv4 d'un réseau;
- Évaluer les performances de cette architecture matérielle;
- Évaluer les performances de cette architecture logicielle;
- Comparer les performances recueillies;
- Concevoir et développer un logiciel de retransmission de flot vidéo d'un réseau Firewire à Ethernet;
- Proposer une seconde architecture (itération 2).

RÉSULTATS :

La première itération a été complétée; tous les blocs de l'architecture ont été implémentés en VHDL et testés avec un langage de vérification, le e de Specman elite. Les vitesses des composants sont satisfaisantes. Elles varient entre 50 MHz et 100 MHz pour le FPGA Xilinx XCV1000, excepté la vitesse du processeur : GF. Les différents blocs de l'architecture sont actuellement mis en œuvre sur la carte de développement du ARM9.

Un module logiciel a été développé pour effectuer la conversion de protocoles pour le transport de datagrammes Ipv4. Le profilage du module est en phase finale, cependant les résultats préliminaires montrent que l'architecture matérielle est largement plus performante que le module logiciel.

TITRE:

Reconnaissance de formes hyperboliques dans les applications radar par transformée en ondelettes, recuit simulé et réseaux de neurones.

RÉSUMÉ:

L'objectif de ce projet consiste à la détection et à la localisation de formes hyperboliques dans des images radar. Ces patrons sont formés par la réflexion d'ondes radar à l'interface de deux matériaux. Ces ondes réfléchies sont captées par des antennes réceptrices à la surface du sol. La géométrie de l'analyse radar crée des formes hyperboliques sur les images reconstruites et dont la forme est caractéristique de la profondeur des objets enfouis et de la vitesse de propagation des ondes radar dans le sol. Le traitement de ces images est composé de trois parties. Tout d'abord, un filtrage est appliqué permettant d'éliminer le bruit et les réflexions parasites. Par la suite, trois techniques sont mises à l'épreuve; les transformées par ondelettes hyperboliques 3D, un réseau de Boltzmann avec recuit simulé en champ moyen puis un réseau de neurones avec la propagation arrière avec momentum comme algorithme d'apprentissage. Finalement, des techniques de regroupement de données (clustering) sont appliquées aux transformées précédentes. Selon le type d'hyperbole reconnu, la vitesse de l'onde dans le milieu en est déduite ainsi que la composition du sol.

PROBLÉMATIQUE:

Les images radar de sols ou de structures permettent de déceler la présence de matériaux aux propriétés différentes du sol qui les entoure ainsi que d'anomalies de toutes sortes. L'analyse d'images réelles représente un défi de taille quant à la quantité de données à analyser ainsi que sur la standardisation des résultats fortement influencés par l'expérience humaine. La plupart des analyses doivent être réalisées hors du chantier, en laboratoire et nécessitent plusieurs jours de travail. Le traitement de ces données en temps réel permettrait d'accélérer les décisions concernant la tâche à accomplir mais aussi de pouvoir traiter une quantité impressionnante de données guidant ingénieurs et opérateurs dans leur travail.

MÉTHODOLOGIE:

Un traitement en étapes des données est employé. Dans un premier temps, la compréhension physique d'images radar est mise à profit afin d'extraire le bruit et prélever les principales réflexions. Par la suite, une famille d'ondelettes hyperboliques en trois dimensions a été développée et appliquée aux images. Finalement, le regroupement de données est utilisé afin de localiser les sommets des hyperboles de plus forte intensité. Les méthodes de reconnaissance par réseau de Boltzmann et recuit simulé de même que par réseau de neurones sont testées et comparées à la technique par ondelettes.

RÉSULTATS:

La méthode par ondelettes s'est avérée la plus avantageuse quant à la complexité des algorithmes, les temps de calcul ainsi que sur les taux de reconnaissance. La méthode de Boltzmann requiert un temps de traitement beaucoup trop long pour un usage à grande échelle même si la capacité de reconnaissance de ce réseau a clairement été démontrée. Les réseaux de neurones ont aussi donné de bons résultats. Ils nécessitent par contre beaucoup d'ajustements afin d'éliminer les fausses occurrences. De plus, l'atteinte d'une architecture idéale reste un travail d'essais et erreurs.

TITRE:

Caractérisation d'une méthode de test pour les circuits bipolaires CML basée sur l'injection de biais contrôlés.

RÉSUMÉ:

Les technologies de type bipolaire, et en particulier, la technologie CML, sont peu étudiées et documentées. En ce qui concerne les méthodes de test pour les circuits conçus avec ces technologies, rien de spécifique n'existe et les méthodes conventionnelles, employées par exemple avec des circuits CMOS, ne sont pas suffisantes pour garantir une couverture de faute adéquate. Des travaux antérieurs permettent de croire qu'une méthode de test injectant des biais contrôlés pourrait améliorer la couverture de fautes.

PROBLÉMATIQUE:

La majorité des techniques de détection de fautes reposent sur le fait qu'un défaut de fabrication se traduit souvent par un collage. Les collages dans un circuit CML représentent seulement une portion des fautes que l'on peut détecter. En effet, parmi les caractéristiques de la technologie CML, on note la capacité de régénération du signal d'un niveau de circuit à l'autre: Une porte avec un défaut voit son signal de sortie altéré mais après un ou quelques niveaux suivants, le signal aura retrouvé sa valeur nominale; il y aura donc masquage du défaut. Donc, toute technique reposant sur l'évaluation du niveau des signaux aux ports de sortie est insuffisante.

Une technique de test pour les circuits CML doit viser une détection plus fine, ce qui peut devenir coûteux. Il faut trouver une façon de propager l'altération du signal jusqu'aux ports de sortie. Une telle méthode a été proposée par IBM: il s'agit d'injecter un biais sur le signal de sortie de sorte que l'effet supplémentaire causé par une panne produira un niveau de signal tel qu'il ne pourra plus être régénéré et qu'il causera alors un collage. La détection est alors aussi simple que dans les techniques usuelles.

MÉTHODOLOGIE:

Cette méthode de test n'a pas été documentée. Il nous faut donc déterminer les règles de design des circuits CML incorporant cette technique ainsi que les règles de son utilisation. Pour ce faire, les différentes étapes proposées pour atteindre l'objectif d'une méthode de test adaptée aux circuits CML sont:

- Caractérisation de l'effet de l'injection des biais sur une porte CML;
- Étude de la relation entre la force du biais et la couverture de pannes;
- Étude d'une proposition d'amélioration de la méthode;
- Caractérisation de l'injection de biais dans un circuit complexe en vue d'obtenir des règles d'application;
- Évaluation des possibilités de modification après conception.

RÉSULTATS:

Dans un premier temps, un outil d'aide à la conception du circuit d'injection de biais a été conçu (dans le but d'accélérer le calcul des composantes du circuit d'injection de biais). Nous avons effectué par la suite la production des vues schématiques et du netlist correspondant, pour les cellules de la bibliothèque étudiée. Un autre outil automatisant la simulation pour tous les cas d'injection de biais, sur une cellule donnée, développé. Les résultats obtenus à l'aide de cet outil ont permis d'orienter les tests à faire sur des circuits complexes. Les résultats sur des circuits complexes laissent entrevoir quelques complications. Pour l'instant, la règle obtenue est de limiter le biais sous une certaine valeur. L'étude à venir sur une amélioration de la méthode permettra peut-être de lever cette limite. L'étude sur le niveau du biais et la couverture de fautes permet de choisir le seuil utile pour la méthode.

TITRE :

Convertisseur analogique à numérique haute performance.

RÉSUMÉ :

Ce projet étudie des architectures parallèles pipelinées dans un contexte de conversion analogique à numérique. Nous utilisons et analysons la technique de correction digitale des erreurs par redondance. Ceci nous permet d'analyser les sources d'erreurs rencontrées dans les convertisseurs parallèles pipelinés. Nous considérons aussi les manières d'optimiser la consommation de puissance en fonction du nombre de canaux parallèles et des caractéristiques des étages pipelinés.

PROBLÉMATIQUE :

Dans un contexte d'application vidéo, la recherche doit démontrer la faisabilité d'un convertisseur 10 bits opérant à une cadence de 150 méga échantillons par seconde. Ce convertisseur doit rencontrer les spécifications de linéarité de la télévision haute définition.

MÉTHODOLOGIE :

Étude intensive de la littérature proposée par les chercheurs du domaine. Analyse des différentes architectures proposées. Amélioration des architectures ou des modules utilisés. Simulation d'architecture et de modules pour en déterminer les limitations. Création d'un prototype.

RÉSULTATS :

Aucun résultat n'est disponible pour l'instant.

TITRE:

Techniques et méthodes de conception des systèmes intégrés de type SOC.

RÉSUMÉ:

Ce projet vise l'élaboration de techniques et méthodes de conception et de vérification des circuits intégrés de type SOC (*System-On-Chip*). La complexité grandissante des systèmes de type SOC impose une réutilisation efficace des ressources centrées autour des méthodes de conception autres que le VHDL ou Verilog au niveau RTL. Toutefois, à cause de la dépendance entre les représentations au niveau comportemental, RTL et portes, et leur impact sur le partitionnement matériel/logiciel, la performance, la dissipation de puissance et surtout l'effort de vérification, il est nécessaire de développer une approche intégrée à la méthode de conception elle-même. L'objectif du projet consiste à étudier les interfaces matérielle/matérielle et matérielle/logicielle régissant l'intégration des SIP (*Silicon Intellectual Property cores*) afin de proposer des modèles d'interface améliorés et d'explorer les architectures VLSI qui permettent d'implanter efficacement une synchronisation non-bloquante pour des systèmes complexes multiprogrammés à mémoire partagée.

PROBLÉMATIQUE:

La capacité d'intégration offerte par les technologies sub-microniques rend l'implantation des systèmes de type SOC très intéressante. Toutefois, les besoins en vérification croissent de façon exponentielle. Cette capacité d'intégration élevée impose au concepteur un niveau de productivité extrêmement élevé. En effet, les besoins des applications en temps réel, l'augmentation constante du niveau d'intégration HW/SW, du parallélisme au niveau instruction et de la complexité de la hiérarchie de mémoires intégrées et partagées rendent possible une dégradation de performance due à une synchronisation bloquante entre agents communicants. Ceci rend obsolètes ou inadéquates les méthodes traditionnelles de conception et de vérification basées sur la simulation logique. Un défi majeur consiste à développer une méthodologie qui facilite le travail du concepteur dans un environnement de design, où les outils CAD/CAE et la technologie de fabrication sont en constante évolution et où les bibliothèques de composants SIP deviennent de plus en plus complexes.

MÉTHODOLOGIE:

- Étude comparative des interfaces de communication et de méthodes conceptions actuelles incluant les normes PCI-X, PCI Express, Rapid I/O, DDR-1 & DDR-II, Ethernet, SPI-5 USB, IEEE1284, Hypertransport, InfiniBand, AMBA et CoreConnect;
- Étude comparative des processeurs embarqués de type PPC, ARM, MIPS, ARC, Xtensa et DSP;
- Analyse, définition et spécification de la nouvelle architecture basée sur l'utilisation et la gestion de canaux de communication dédiés;
- Validation de la nouvelle méthode de conception et vérification des circuits de type SOC.

RÉSULTATS:

L'implantation matérielle d'une première version d'un FIFO à canaux virtuels a été réalisée avec la technologie TSMC CMOS 0.35 micron. Une application directe du VC-FIFO a permis de modéliser un environnement de vérification basé sur l'outil VCC (Cadence). Le prototype d'un outil (InTime) d'intégration et de validation des spécifications temporelles basé sur la conversion automatique des contraintes d'analyse statique temporelle entre spécifications temporelles basé sur la conversion automatique des contraintes d'analyse statique temporelle entre Prime Time (SYNOPTIS) et Einsteimer (IBM) a été développée. Les résultats sont en accord avec la méthodologie de conception ASIC. Une étude approfondie des besoins en vérification au niveau système nous a rapidement démontré qu'un outil comme In Time est un outil clé dans la méthodologie de conception des circuits intégrés sur puce.

TITRE :

Implémentation sur une plate-forme ARM-FPGA d'un convertisseur de protocoles pour transmission de vidéo.

RÉSUMÉ :

Les convertisseurs de protocoles permettent aux terminaux appartenant à des réseaux hétérogènes de pouvoir communiquer avec toutes sortes d'équipements (anciens ou récents) connectés à ce réseau. L'objectif de ce projet de recherche est d'implémenter une nouvelle architecture flexible d'un convertisseur de protocoles générique, spécialisé dans le transfert de données vidéo. Des travaux préliminaires ont conduit à proposer cette architecture de convertisseur de protocoles générique constituée de coprocesseurs et d'un processeur ARM, et utilisant un bus de communication AMBA afin d'optimiser le processus d'échange entre modules. Tout en travaillant sur l'intégration de cette architecture sur une plate-forme d'évaluation ARM-FPGA, nous proposerons une méthodologie de conception d'une plate-forme générique applicable à un convertisseur de protocoles.

PROBLÉMATIQUE :

Le développement d'un modèle exécutable de cette nouvelle architecture de conversion de protocoles se fera par une implémentation matérielle des modules en respectant leurs spécifications et en tenant compte des contraintes physiques de la plate-forme qui sont : le débit de transmission du protocole de communication et la taille du FPGA. Cette approche nous permettra d'analyser le processus de conversion, d'améliorer certaines fonctions du système et surtout d'éliminer les possibilités de goulots d'étranglement.

MÉTHODOLOGIE :

L'implémentation d'une telle architecture de conversion de protocoles nécessite les étapes suivantes :

- Revue de la littérature portant sur : les protocoles haute-vitesse, les méthodologies du Design Reuse, plate-forme et du protocole de communication AMBA;
- Intégration des modules de l'architecture courante sur une plate-forme d'évaluation ARM-FPGA;
- Simulation d'une conversion de protocoles entre deux protocoles;
- Analyse et optimisation du processus de communication entre modules;
- Modélisation d'une nouvelle plate-forme générique;
- Analyse de performances de cette plate-forme.

RÉSULTATS :

- Validation de l'architecture courante par un banc d'essai qui effectue la conversion de Gigabit Ethernet vers Firewire;
- Évaluation de l'utilisation d'un bus de communication AMBA;
- Modélisation d'une nouvelle plate-forme de convertisseur de protocoles.

TITRE:

Optimisation des réseaux de neurones de grande capacité : étude de leur inefficacité et exploration de solutions.

PROBLÉMATIQUE:

On s'attend à ce qu'un réseau de très grande capacité soit capable d'apprendre des relations de très grande complexité. Or l'optimisation de ces réseaux est en fait inefficace en terme de temps de calcul et de nombre d'erreurs.

Ce problème est probablement relié à l'utilisation de la technique d'optimisation par descente du gradient stochastique. Nous avons identifié plusieurs comportements potentiellement responsables de cette étonnante inefficacité. Il s'agit du «déplacement des paramètres cibles (poids idéaux)», «de la présence de gradients contradictoires», «de l'atténuation ou la dilution du gradient», «de la présence de solutions symétriques», ou soit encore «de l'inexistence d'un mécanisme de spécialisation».

MÉTHODOLOGIE:

- Revue de littérature : identification des problèmes et solutions connues reliées à l'inefficacité des réseaux de neurones de moyennes dimensions.
- Étudier différentes solutions et principes (et implanter une librairie en C++) permettant de réduire les différents problèmes des réseaux de très grandes dimensions, soit
 - Diviser pour régner (réseaux incrémentaux),
 - Optimisation d'une partie des paramètres
 - Prédiction des valeurs des paramètres
 - Utilisation d'une architecture partiellement distribuée à la sortie.
- Expérimentation sur des réseaux de différentes capacités (simple à grande), et analyse comparative en fonction de la vitesse d'apprentissage et du nombre d'erreurs.
- Comparaison des performances des différentes solutions.

RÉSULTATS:

- Les réseaux incrémentaux auxquels nous ajoutons des neurones cachés au niveau de la couche cachée ne nous ont pas permis d'accélérer le processus d'apprentissage.
- Les réseaux incrémentaux auxquels nous ajoutons des couches de neurones ont permis d'accélérer le processus d'apprentissage.
- Le coût diminue de façon plus importante et de façon plus constante lorsqu'on optimise qu'une partie des paramètres à chaque itération.
- La prédiction des valeurs de paramètres par extrapolation quadratique, cubique et linéaire ne nous a pas permis d'accélérer l'apprentissage.
- L'architecture découplée nous a permis de réduire de façon importante l'inefficacité des réseaux de plus grande capacité.

TITRE :

Design et réalisation de microélectrodes matérielles dédiées à la stimulation corticale.

RÉSUMÉ :

Ce projet porte sur la fabrication d'une matrice d'électrodes destinée à la stimulation de neurones au niveau du cortex visuel dans le but de redonner la vue aux personnes aveugles. Pour ce faire, plusieurs méthodes de micro-usinage et de caractérisation devront être exploitées. Le projet inclut également l'intégration de la matrice avec le reste du stimulateur implantable, ce qui implique une collaboration étroite avec les autres membres de l'équipe de recherche.

PROBLÉMATIQUE :

Suite à une maladie ou un accident, il peut arriver qu'une personne perde l'usage du sens de la vue. Au cours du dernier siècle, les progrès réalisés en médecine, en chirurgie et en électronique ont permis de démontrer qu'il est possible de stimuler le cortex visuel d'une personne aveugle à l'aide de signaux électriques pour ainsi reproduire en partie le bon fonctionnement du système visuel. Plusieurs équipes de recherche à travers le monde sont maintenant au travail pour mettre en oeuvre un stimulateur implantable et commercialement viable qui pourrait être utilisé par une majorité de personnes souffrant de cécité. Un des plus grands défis de ce projet est de concevoir une matrice de microélectrodes qui pourra servir d'interface entre le stimulateur et le patient. Ce type de dispositif est particulièrement difficile à réaliser, car il implique un contrôle des dimensions de l'ordre du micron et il nécessite l'introduction d'un corps étranger dans le système biologique de l'homme.

MÉTHODOLOGIE :

Le squelette de la matrice doit d'abord être usiné par un système à arc électrique de haute précision. Différentes composantes viendront alors se greffer à cette structure, ce qui nécessitera l'utilisation de plusieurs techniques : électrodéposition, photolithographie, évaporation de métaux, usinage par laser, gravure plasma et déposition de polymère en phase gazeuse. Dans un second temps, une fois la fabrication terminée, le dispositif devra être optimisé selon ses caractéristiques mécaniques (résistance à l'usure, etc.), électriques (impédance, conductivité, etc.) et sa biocompatibilité (matériaux, procédés, nettoyage et stérilisation). Certaines méthodes de caractérisation telles le microscope électronique à balayage, le XPS, le nano-indenteur et l'analyseur d'impédance seront alors nécessaires. Enfin, l'intégration de la matrice au reste de l'implant, probablement par une méthode de soudure de microcircuits, devra être étudiée.

RÉSULTATS :

Jusqu'à présent, le squelette d'acier inoxydable a pu être usiné sans problème par arc électrique. Cette structure n'a pu être traitée par électropolissage et un dépôt de platine poreux a été déposé aux pointes à titre de sites de stimulation. Un montage de mesure d'impédance a également été préparé et testé avec succès. Les autres étapes de fabrication ont été élaborées en détail et elles pourront bientôt être validées sur de nouveaux échantillons qui devraient arriver sous peu. Aussi, les premiers tests portant sur le procédé envisagé pour intégrer la matrice au reste de l'implant sont à leur début.

TITRE :

Modélisation et simulation d'un milieu neuronal portant une matrice d'électrodes.

RÉSUMÉ :

Ce projet s'intègre dans le programme de recherche de l'implant cortical dédié à rétablir une vision partielle aux personnes non-voyantes. Il nécessite de pouvoir prédire le comportement de la couche IV de l'aire primaire visuelle lorsqu'elle est stimulée électriquement. Ceci devra permettre par exemple de trouver les paramètres de stimulation (amplitude et fréquence des injections de courant) efficaces pour créer des phosphènes et d'améliorer le dispositif. Par ailleurs, peu d'articles traitent de la stimulation à multiples électrodes d'un grand réseau neuronal. Les travaux de ce projet sont complémentaires à ceux de l'étudiant Mathieu Gilson.

PROBLÉMATIQUE :

Il faut premièrement mettre en place un modèle de milieu cortical sous la forme d'un réseau de neurones artificiels. Il faut par la suite construire des modèles d'électrodes en stimulation et en lecture. Deuxièmement, il s'agit de déterminer une méthode (algorithme d'apprentissage) permettant de régler les paramètres du réseau afin d'obtenir une réponse qui soit conforme à des tests cliniques (les tests peuvent concerner d'autres réseaux de neurones que ceux de la couche considérée, il s'agit avant tout de roder les méthodes). La problématique consiste à définir comment une réponse est réaliste de manière quantifiable et jusqu'à quel point on peut se limiter dans la finesse de la description du réseau et des électrodes en espérant une réponse réaliste.

MÉTHODOLOGIE:

Nous nous servons de l'outil NEURON, un programme de simulation de neurones développé par les universités de Yale (New Have, CT) et Duke (Durham, NC). Il repose sur la modélisation de neurones par des sections de câbles connectées entre elles; leurs propriétés électriques, géométriques et physiologiques sont configurables et observables. Il propose aussi des modèles de neurones artificiels permettant de concevoir des réseaux de grande densité, en limitant la puissance de calcul nécessaire.

Les électrodes stimulatrices sont représentées par des cellules stimulatrices reliées à leur voisinage. Les électrodes de lecture enregistrent l'activité électrique des neurones avoisinant son site d'enregistrement. La prochaine étape sera l'ajustement des paramètres du réseau (densités, poids, délais, etc.) et des électrodes à partir d'expériences concrètes et éventuellement d'algorithmes d'apprentissage adéquats. Il faudra aussi mettre en place un banc d'essai de nos modèles afin de vérifier leurs cohérences et de déterminer leurs limites. À terme, on espère effectuer des prévisions sur le comportement de la couche IV stimulée par l'implant.

RÉSULTATS:

Beaucoup de travail a été nécessaire afin de se familiariser avec l'outil NEURON et de construire automatiquement de grands réseaux neuronaux. Il a fallu comprendre les rôles des différents paramètres définissant les neurones et les synapses, ainsi qu'à évaluer les temps de calcul requis pour une simulation en fonction de la précision de la description du tissu neuronal. Les premiers tests ont mis en évidence la présence d'une fréquence de coupure permettant de basculer dans un régime auto-entretenu. Les prochains mettront en évidence l'extension spatiale et temporelle des réactions du cortex artificiel subissant une stimulation.

TITRE:

Conception et réalisation d'un ADC Delta-Sigma passe bande pour des applications en haute fréquence.

RÉSUMÉ:

Le projet consiste à concevoir un convertisseur analogique à numérique (CAN) Sigma-Delta basé sur la technologie CMOS 0.18 micron. La fréquence centrale est 80MHz avec une bande passante ajustable de 200k à 2MHz. La contribution principale sera la réduction de la consommation de puissance sans trop affecter la résolution.

PROBLÉMATIQUE:

Avec les progrès technologiques en microélectronique, il est plausible d'intégrer sur puce un récepteur RF supportant plusieurs standards de communication. Ce récepteur nécessite un CAN qui doit être ajustable pour opérer sur des fréquences centrales et lourdes bandes passantes programmables. En plus, les circuits du CAN Sigma-Delta classique basés sur des capacités commutées ne permettent pas d'opérer sur de hautes fréquences. Nous procédons alors à l'utilisation des intégrateurs basés sur des transconductances et capacités.

MÉTHODOLOGIE:

La méthode prévue pour atteindre les objectifs du présent projet comprendra les étapes suivantes :

- Étude théorique et bibliographique détaillée des topologies existantes;
- Simulation des structures différentes et proposition d'une solution optimale;
- Conception et évaluation d'un modulateur Sigma-Delta à large bande;
- Conception et évaluation d'un modulateur Sigma-Delta à bande passante et fréquences programmables.

RÉSULTATS:

Un modèle d'un CAN Sigma-Delta passe-bande a été complété sur Matlab. L'implantation en CMOS 0.18µm Technology progresse convenablement.

TITRE:

Le diagnostic et l'analyse du rendement dans l'architecture complexe d'interconnexion.

RÉSUMÉ:

Les limites de la densité d'intégration des technologies VLSI motivent les recherches sur la technologie WSI. Cette dernière exige des recherches détaillées sur la testabilité et la tolérance des circuits intégrés. Le projet étudie les problèmes associés à la présence de défauts sur le rendement. Les modèles de rendement existants sont étudiés et un modèle adapté est développé pour une classe de réseaux tolérants.

PROBLÉMATIQUE:

Le rendement est très important en WSI. Précisons que le rendement est nécessaire afin de déterminer le nombre d'éléments redondants qui doivent être additionnés. Les champs dépendent considérablement de combien de pièces de rechange sont employées pour substituer les éléments défectueux. Un grand réseau tolérant présente des contraintes peu communes qui ne sont pas prises en considération dans les stratégies de reconfiguration conventionnelle. Les modèles et les stratégies de reconfiguration doivent être adaptées ou de nouveaux modèles et stratégies doivent être développés pour rencontrer ces contraintes.

MÉTHODOLOGIE:

Le centre de la recherche est sur le diagnostic et l'analyse de rendement d'une architecture comportant un réseau d'interconnexion complexe. Ceci est basé sur la structure d'un demochip tolérant aux pannes. Nous commençons par une étude complète de la tolérance aux pannes et des manières de modéliser le rendement d'une architecture cible prédéfinie. Ceci devrait donner un modèle détaillé qui permet d'optimiser l'architecture pour déterminer combien la tolérance aux pannes est nécessaire.

RÉSULTATS:

Un modèle de rendement borné tenant compte des contraintes très complexe d'une architecture d'intercommunication a été obtenue. Il est démontré que la matrice analysée est assez robuste parce que les pertes de rendement ne s'avèrent jamais très significatives dans la région d'intérêt. On a observé une relation sur le seuil, relativement sensible, entre le rendement de densité de fautes. Lorsque le niveau de la redondance n'est pas convenablement ajusté, le rendement se dégrade rapidement. Un modèle de régression de rendement a été développé dans cette étude. Ce modèle peut prévoir exactement la pente et les points importants des courbes de rendement. Ces modèles peuvent être employés pour prévoir le moment où la redondance est plus nécessaire pour fournir des rangées et des cellules. Un article intitulé «Yield Modeling of a WSI Telecom Router Architecture» a été accepté pour publication dans 2002 IEEE International Symposium on Defect and Fault Tolerance in VLSI (DFT2002)

QUINN, David

DIPLÔME: M.Sc.A.

TITRE:

Distribution d'une application de traitement de paquets pour une architecture multiprocesseur sur puce.

RÉSUMÉ:

Ce projet s'intéresse à l'élaboration d'une méthodologie nécessaire à la phase de distribution d'une application sur des architectures multiprocesseurs. Les architectures utilisées, développées à partir de modèles *SystemC cycle accurate*, seront dédiées aux problèmes des applications de traitement de paquets, alors que la métrique d'évaluation de la distribution sera le débit maximal du traitement des paquets.

PROBLÉMATIQUE:

Principalement dictée par la croissance d'internet, l'explosion de la demande en largeur de bande est jumelée au besoin d'une intelligence accrue pour le support de nouvelles applications réseaux, tels le transport de la voix sur IP, les réseaux privés virtuels et plusieurs autres. Les architectures conventionnelles employées ne sont fondamentalement pas bâties pour le maintien de cette demande. Il y a donc un besoin éminent pour de nouvelles approches dans la conception de plate-formes multiprocesseurs spécialisées à haut débit et la distribution des applications sur celles-ci.

MÉTHODOLOGIE:

Les étapes suivantes devront être complétées :

- Recherche bibliographique afin d'estimer l'état actuel des recherches;
- Développement d'une application réseau;
- Modélisation d'une architecture multiprocesseur modulaire sur puce;
- Élaboration, expérimentation et évaluation de la méthodologie quant à la distribution de l'application.

RÉSULTATS:

Différentes modélisations d'architectures et d'applications ont été réalisées en *SystemC*. Toutefois, aucun résultat quant à la distribution de l'application n'a encore été obtenu.

TITRE:

Automatisation du processus de création des modèles de couverture fonctionnelle des circuits numériques

RÉSUMÉ:

L'objectif de ce projet consiste à développer une méthode afin d'automatiser la création de modèle pour mesurer la couverture fonctionnelle des circuits numériques. Le problème avec cet objectif est que pour mesurer une couverture quelconque, nous devons nous baser sur une métrique standard qui s'applique sur une description standard d'un circuit. Les fonctionnalités d'un circuit étant habituellement décrites sous forme textuelle dans un document de spécification, il est difficile de pouvoir travailler de façon automatisée avec ce genre de description. Ainsi, ce que nous proposons est d'effectuer une description standardisée de la spécification d'un circuit en utilisant un langage de haut niveau qui permettra de valider la spécification. Ayant cette description standardisée, nous sommes maintenant en mesure d'effectuer un traitement sur la spécification exécutable du circuit. Le traitement que nous effectuons utilise un outil que nous avons développé dans le but de prendre en entrée la spécification exécutable. Cet outil produit de façon automatique un module de banc d'essai dédié à la couverture fonctionnelle du circuit décrit par la spécification exécutable. L'outil implémente dans le module d'analyse de couverture généré, une métrique qui est basée sur le test des flots transactionnels. Ainsi, le module de banc d'essai produit par notre outil peut être incorporé dans n'importe quel banc d'essai dédié à la vérification d'un circuit au niveau RTL. L'utilité de ce module est en fait de permettre la création d'une suite de tests qui permettront de couvrir la métrique définie et aussi de réduire l'application de vecteurs redondants. Cela implique qu'avec ce module d'analyse de couverture, il sera potentiellement possible de créer une suite de tests moins longue et ayant aussi une plus grande puissance de détection d'erreurs.

PROBLÉMATIQUE:

Les technologies reliées au milieu de la microélectronique permettent la réalisation de circuit de plus en plus complexe. Cela implique que les circuits entrant en production sont maintenant en mesure de réaliser un plus grand nombre d'opérations et aussi des opérations plus complexes. Il est donc de plus en plus difficile de pouvoir affirmer que le circuit en cours de conception réalise correctement tous les éléments que l'on peut énumérer dans la spécification fonctionnelle du circuit. De ce fait, les méthodes de vérification actuelles doivent s'adapter à cette augmentation de complexité afin que la vérification fonctionnelle de n'importe quel circuit complexe ne devienne pas le goulot d'étranglement du développement des circuits numériques.

MÉTHODOLOGIE:

Les étapes suivantes sont réalisées dans ce projet:

- Revue de la littérature sur les méthodes de vérification fonctionnelle actuelle;
- Élaboration d'une méthode afin d'automatiser la couverture fonctionnelle;
- Développement d'un exemple simple permettant de prouver la méthode;
- Développement d'un outil qui permettra d'automatiser la méthode;
- Application de la méthode avec l'outil développé sur un design industriel réel.

RÉSULTATS:

Les étapes énumérées précédemment ont toutes été accomplies à l'exception de l'application de la méthode avec l'outil sur un exemple concret. Cette étape est présentement en cours de réalisation.

TITRE:

Détecteurs de phase linéaires de précision à usage multiple.

RÉSUMÉ:

Les détecteurs de phase sont essentiels à la conception de divers systèmes en microélectronique. Qu'ils soient destinés à la réalisation d'une boucle de verrouillage de phase, un synthétiseur de fréquence, un système de recouvrement d'horloge ou même pour mesurer un déphasage en boucle ouverte, ceux-ci se doivent d'être très précis et idéalement linéaires.

PROBLÉMATIQUE:

Un bon nombre de détecteurs de phase existent dans la littérature. Certains précis, d'autres non. Les quelques détecteurs dits de précision souffrent par contre de quelques imperfections les rendant non souhaitables ou, à la limite, inutilisables pour certaines applications typiques. Celles-ci requièrent alors la conception de nouveaux détecteurs exempts de ces imperfections. Des exemples de ces imperfections sont la sensibilité au bruit en mode commun, l'exigence de signaux d'horloge de forme particulière, la génération de bruit en sortie ou un comportement non linéaire.

MÉTHODOLOGIE:

Le projet de recherche consiste en la conception d'un détecteur simple exempt de tels défauts et pouvant être exploité dans toutes les applications nommées précédemment. Pour ce faire, certains autres circuits adapteront le détecteur aux différentes applications. De plus, étant donné la précision recherchée, de nouvelles méthodes de test et d'auto calibration à même le «chip» doivent être élaborées pour bien caractériser le détecteur et le dénuder des défauts liés au procédé de fabrication. Outre les méthodes d'auto calibration, il est aussi possible d'exploiter des résistances programmables issues d'une nouvelle technologie pour calibrer de façon manuelle le circuit. La figure de bruit de ces résistances doit être, par ailleurs, caractérisée pour bien connaître l'impact de ces résistances sur la précision du circuit. Une autre tâche parallèle à la conception consiste alors à caractériser expérimentalement la figure de bruit des résistances programmables.

RÉSULTATS:

Aucun résultat expérimental n'est encore disponible. Par contre, les simulations présentent des détecteurs de très grande précision exempts des défauts énumérés plus haut et exploitables dans toutes les applications aussi énumérées plus haut.

TITRE:

Implémentation pour l'extraction en temps réel des caractéristiques de la modulation intentionnelle sur les impulsions radars.

RÉSUMÉ:

Ce projet s'inscrit dans le cadre d'une étude en vue de réaliser un système de mesure de soutien électronique impliquant la recherche, l'interception, la localisation et l'analyse des signaux radars dans un contexte de surveillance militaire.

PROBLÉMATIQUE:

Ce projet vise à extraire en temps réel des caractéristiques propres aux impulsions radars, en particulier celles liées à la modulation intentionnelle. L'ensemble des algorithmes doit traiter une impulsion de 1 μ seconde avec une latence de 10 μ secondes entre chaque impulsion. Chaque impulsion doit être échantillonnée avec un taux d'échantillonnage de 215 millions d'échantillons par seconde.

MÉTHODOLOGIE:

Des algorithmes d'extraction de ces paramètres seront dans un premier temps analysés afin d'étudier les sections critiques. Par la suite, ces algorithmes seront reformulés et implémentés sur des circuits programmables, des processeurs spécialisés pour le traitement numérique des signaux ou les deux, suivi d'une réalisation sur des circuits intégrés spécialisés, s'il y a lieu.

RÉSULTATS:

Ce projet fait l'objet d'un circuit intégré programmable (FPGA) et les résultats sont en cours. De nouvelles voies de recherche sont explorées afin d'obtenir une accélération globale plus élevée.

TITRE:

Modélisation et conception d'un système d'exploitation d'une plate-forme co-design en *SystemC* destinée au partitionnement des systèmes sur puce (SOC).

RÉSUMÉ:

L'objectif est de concevoir un système logiciel capable d'utiliser les ressources d'une plate-forme de design codé en *SystemC* et d'ordonner des tâches logicielles ayant la même architecture que les tâches matérielles (écrites en *SystemC*). Ceci dans le but de fournir une plate forme d'aide au partitionnement de manière à réduire considérablement les coûts de développement en terme de temps.

PROBLÉMATIQUE:

L'idée de permuter une tâche en logiciel vers du matériel (ou vice-versa), sans modifier le code source est un problème complexe. Comment utiliser les nouvelles fonctionnalités qu'offre l'implantation d'un OS (par exemple : l'ordonnancement par priorité) qui ne sont pas offerts par *SystemC* tout en gardant la compatibilité des différents modules matériel/logiciel écrit en *SystemC* afin de permettre une permutation.

MÉTHODOLOGIE:

Le découpage du projet en phases indépendantes facilite le développement et la réutilisation réduisant considérablement le temps de codage et d'intégration. Ce projet peut se diviser en deux phases :

La partie utilisateur (l'API) :

- *API SystemC (partie utilisateur) :*
Actuellement, les modules écrits en *SystemC* ne sont pas compréhensibles par l'OS (uC/OS-II) qui dispose de ses propres services. L'objectif est de développer une couche logicielle qui viendra se placer entre les modules logiciels de l'application et l'OS de manière à ce que ses deux parties puissent communiquer.

La partie plate forme (port):

- *Port de l'OS (partie plate forme)*
L'objectif est de concevoir un port afin que l'OS (uC/OS-II), puisse être adapté à la plate-forme utilisant comme processeur un ISS basé sur le ARM.

RÉSULTATS:

Il est encore trop tôt pour avoir des résultats. La modélisation de l'API du système d'exploitation et la plate forme de co-design est en cours de développement.

TITRE:

Élaboration d'une méthode de calcul pour déterminer la conductance moléculaire d'un système : molécule entre deux contacts métalliques d'or.

RÉSUMÉ:

Le projet consiste à la réalisation des circuits à base des dispositifs moléculaires afin de tester ces dispositifs nanoélectroniques.

PROBLÉMATIQUE:

L'électronique moléculaire vise à remplacer les matériaux semi-conducteurs classiques par des matériaux moléculaires. Ce travail vise à explorer des méthodes efficaces pour l'étude de la transconductance dans un système : Métal-Molécule-Métal, pour la description des propriétés électroniques et le transport électrique d'espèces moléculaires organiques pouvant être utilisées dans les composantes électriques (transistors, diodes, etc..).

MÉTHODOLOGIE:

Dans le cadre plus général, le passage d'un électron à proximité d'un objet métallique entraîne un déplacement de charge dans celui-ci. Ici, on présente en place un formalisme de mécanique quantique permettant de traiter la conductance d'un système constitué de deux molécules de di thiol ($S-C_6H_4S$) prises entre deux contacts métalliques en or.

RÉSULTATS:

Cette méthode est basée sur la fonction de Green et traite par la méthode dite Tight-Binding a donné un ordre de grandeur de la résistance qui est comparable avec les mesures expérimentales.

TITRE:

Conception et réalisation d'un module de démultiplexage analogique dédié à un stimulateur visuel implantable.

RÉSUMÉ:

L'objectif de ce projet de recherche consiste dans la conception et la réalisation d'une interface électronique mixte (numérique analogique) entre la partie centrale d'un implant visuel (regroupant un processeur dédié et un lien à fréquences radio) et la matrice d'électrodes. Parmi les principales fonctions de cette interface, nous retrouvons la génération d'un courant de stimulation ayant l'amplitude et la fréquence variables et l'aiguillage de ce courant vers un des sites de stimulation.

PROBLÉMATIQUE:

L'excitation d'une zone dans le cerveau (le cortex visuel) avec des impulsions de courant a comme résultat l'apparition des sensations lumineuses (phosphènes). Cette sensation est directement proportionnelle à l'intensité, la durée et la fréquence de chaque impulsion. Une matrice de 25 x 25 électrodes sera implantée dans le cortex visuel d'une personne aveugle. Si chaque paire d'électrodes de cette matrice est stimulée avec une information proportionnelle à une zone de l'image reçue, cette personne pourra apercevoir une représentation lumineuse qui est similaire à la scène visualisée.

MÉTHODOLOGIE:

Un convertisseur numérique analogique (CAN) à 5 bits, basé sur le code thermomètre, sert à programmer une source de courant pour générer le courant de stimulation avec amplitude et durée variables. Une partie numérique de contrôle accomplit les autres tâches pour commander le circuit de démultiplexage. Pour générer des impulsions bi phasiques, à partir de l'impulsion monophasique est utilisée une structure de transistors en H. La technologie CMOS35 sera utilisée pour intégrer l'ensemble du démultiplexeur.

RÉSULTATS:

Dans un premier temps, nous avons proposé un module de stimulation. Ensuite, nous avons assemblé une deuxième architecture qui consiste en l'interface de stimulation et démultiplexage qui est munie d'un module permettant la caractérisation du contact électrodes tissus nerveux. Cette dernière architecture permet de savoir l'état de chaque site de stimulation. En effet, l'implant sera en mesure de recueillir de nombreuses données (tension développée aux bornes des 2 contacts électrodes tissus, quantité de charge injectée dans les tissus, etc.) et les envoyer vers l'extérieur. Pour démontrer la faisabilité des techniques proposées et valider les différents circuits conçus et simulés, deux puces ont été fabriquées en technologie CMOS 0.35 microns de la compagnie TSMC (Taiwan Semiconductor Company). Les résultats expérimentaux de ces puces montrent la bonne fonctionnalité de ces modules proposés.

TITRE:

Conception et implémentation de circuits analogiques et mixtes de haute précision.

RÉSUMÉ:

Le projet consiste en l'étude de différentes architectures de circuits analogiques et mixtes ainsi que l'élaboration de techniques appropriées d'optimisation, afin de satisfaire des critères de stabilité et de précision. L'étude de l'architecture d'une référence de tension stable en température et avec le temps, ainsi que la conception et l'implémentation d'un amplificateur opérationnel CMOS compensé automatiquement par une technique numérique, couvrent les thèmes de cette recherche.

PROBLÉMATIQUE:

La stabilité ne peut être atteinte sans la connaissance individuelle de l'influence de chaque paramètre sur le comportement d'un circuit. La précision ne peut être atteinte sans la minimisation de la sensibilité du circuit à chacun de ces paramètres qui contribuent à la stabilité et la précision d'un circuit analogique et l'élaboration de techniques appropriées d'optimisation qui les neutralisent.

MÉTHODOLOGIE:

- Recherche de la littérature sur les architectures proposées;
- Identification individuelle des paramètres qui constituent la liste de sensibilité;
- Application de méthodes correctives.

RÉSULTATS:

Les topologies de références de tension bandgap ont été étudiées et analysées.

Les résultats de simulation ont montré un certain niveau de performance atteint après l'application de procédures d'optimisation.

Une méthode automatique de correction de la tension de décalage d'un amplificateur opérationnel CMOS a été conçue et implémentée sur une puce en technologie 0.18 μ m.

Un article intitulé «*An Automatic Offset Correction Technique Based on Differential Input Stage Load Tuning*» a été soumis pour ISCAS 2003.

TITRE:

Conception d'un circuit de conversion de protocoles pour la transmission de vidéo sur des réseaux haute-vitesse.

RÉSUMÉ:

Le projet consiste à concevoir et réaliser une architecture flexible, capable d'effectuer la conversion en temps réel de plusieurs protocoles réseaux existants et futurs. Les protocoles existants ciblés sont ceux capables de transporter des données vidéo numériques de qualité studio, c'est-à-dire de plus de 360 Mbps.

PROBLÉMATIQUE:

La quête de l'augmentation de la largeur de bande des réseaux informatiques actuels est incontournable. Bon nombre de groupes de recherche en sont à développer des protocoles visant à obtenir des débits de données toujours plus grands. Résultat, il est difficile de faire cohabiter ces protocoles dans un même réseau.

Une des solutions existantes (passerelle) n'est efficace que pour des protocoles à bas débits de données, soit moins de 100 Mbps. Par ailleurs, elle ne permet que la conversion d'un nombre fini de protocoles. Une autre solution (routeur passerelle) exige la modification de la topologie du réseau pour être utilisable et elle n'est pas transparente du point de vue du réseau.

MÉTHODOLOGIE:

Cette recherche vise à permettre la cohabitation de protocoles dans un même réseau, et ce, sans influencer sa topologie, sa configuration et son utilisation.

Voici les éléments de la méthodologie utilisée afin de mener à terme ce projet de recherche:

- Recherche bibliographique pour déterminer et comprendre les protocoles haute vitesse intéressants pour des applications multimédias;
- Développement d'une architecture logicielle flexible permettant la conversion entre des protocoles;
- Faire le profilage de cette architecture et considérer l'accélération matériellement des parties trop exigeantes en terme de cycle processeur;
- Faire le partitionnement logiciel matériel ou concevoir une nouvelle architecture à partir des observations du profilage;

RÉSULTATS:

La recherche bibliographique est complétée et les protocoles IEEE 802.3 et IEEE 1394 ont été retenus. Une première architecture logicielle a été développée mais remplacée par une seconde plus performante. L'analyse des résultats de profilage de la seconde architecture est en cours. Également, une architecture logicielle matérielle a été proposée. Sa mise en œuvre et son évolution sont les sujets d'autres projets de maîtrises.

TITRE:

Capteur d'image CMOS à large bande dynamique pour un stimulateur cortical.

RÉSUMÉ:

Ce projet vise à concevoir un capteur d'images à large bande dynamique intégrée en technologie CMOS. L'objectif visé est son intégration à un implant visuel. Ce dernier est un appareil visant à stimuler le cortex cérébral de patients aveugles dans le but de leur rendre une vision fonctionnelle. Le capteur intégrera toutes les composantes nécessaires à la transformation du signal optique en une matrice de pixels représentant l'image captée.

PROBLÉMATIQUE:

Un capteur d'images dédié à stimuler le cortex visuel d'un patient aveugle implique plusieurs contraintes très différentes de celles d'un capteur d'images standard. Entre autre, il doit être en mesure de discerner des détails dans différents niveaux d'illumination, selon le type d'endroit où se trouve l'utilisateur. De plus, il doit pouvoir capturer des images dans lesquelles se retrouvent à la fois, de hautes intensités lumineuses et de très faibles intensités.

MÉTHODOLOGIE:

Le capteur est composé d'une matrice de pixels numériques actifs. Le temps d'exposition initial est variable et permet ainsi de s'adapter aux différentes scènes. Lors de l'exposition à une scène à large bande dynamique, le système peut échantillonner la matrice de pixels à différents moments afin de récupérer les détails de chaque zone d'illumination. Cette méthode donne comme résultat une valeur à point flottant pour chaque pixel.

RÉSULTATS:

Un premier prototype est en phase de production avec la technologie CMOS 0,18µm. La réception du chip est prévue pour l'automne 2002. Les tests fonctionnels seront ensuite exécutés afin de valider la technique de conception proposée.

TITRE:

Conception et implantation de la génération automatique de bancs d'essai réutilisables basés sur des règles.

RÉSUMÉ:

Le but principal de ce travail est de développer une méthodologie servant à construire des bancs d'essai réutilisables à un niveau d'abstraction dit « fonctionnel ». Un second objectif de ce projet est de concevoir le prototype d'un outil basé sur la dite méthodologie. Le projet présente une méthodologie pour la capture des spécifications fonctionnelles d'un système, ainsi que pour la conception automatique de bancs d'essais réutilisables utilisant une technique basée sur des règles définies à partir des spécifications capturées. La thèse présente une méthodologie de vérification fonctionnelle utilisant cet outil.

PROBLÉMATIQUE:

Les bancs d'essai sont généralement conçus au niveau RTL et sont spécifiques à un module particulier. Il est donc difficile de l'utiliser pour d'autres modules, obligeant le concepteur à tout recommencer à chaque fois. On observe donc un besoin pour une nouvelle méthodologie pour la réutilisation dans le domaine de la vérification.

Des erreurs se glissent inévitablement dans les bancs d'essai et constituent une perte de productivité importante. La conception, la réalisation et le débogage des bancs d'essai requièrent beaucoup de ressources. Un outil automatisé viendra réduire ce temps de conception.

MÉTHODOLOGIE:

La première étape consiste à analyser les méthodologies, les outils et la littérature qui existent déjà dans le champ de vérification fonctionnelle. Une attention particulière est portée sur la réutilisation des bancs d'essai. Par la suite, nous proposons un moyen pour la capture des fonctionnalités d'un système grâce au langage SDL (System Description Language). Bien qu'il soit possible d'obtenir plusieurs implantations différentes de modules à partir d'une spécification, il n'existe généralement qu'une abstraction « fonctionnelle » de ceux-ci. Il est donc possible de concevoir des bancs d'essai réutilisables à ce niveau. On réalise cette méthodologie à l'aide d'une technique basée sur des règles. Ces règles définissent l'information nécessaire à la construction des bancs d'essai et aussi comment utiliser cette information.

RÉSULTATS:

Une nouvelle méthodologie pour la réutilisation d'outils de vérification a été proposée et un outil qui génère automatiquement des bancs d'essai en langage *e* a été développé.

TITRE:

Design et implémentation d'un module de synchronisation et de traitement des échos ultrasoniques.

RÉSUMÉ:

La formation d'images par les ondes ultrasoniques (appelée «Beamforming») nécessite d'acquérir et de synchroniser convenablement des échos reçus par capteur intégrant plusieurs cellules ultrasoniques.

Les échos reçus par les cellules formant les différents canaux sont retardés individuellement selon leurs distances et sont ensuite additionnés pour former un pixel d'image. Nous procédons à mettre en œuvre une architecture permettant de réaliser le module en technologie CMOS pour construire un système opérant à très basse consommation d'énergie et occupant une petite surface de silicium.

PROBLÉMATIQUE:

La synchronisation des échos reçus provenant de différentes cellules ultrasoniques dépend de nombreux paramètres variables. Ces paramètres sont liés par une équation complexe déterminant les différents délais à compenser. L'implémentation numérique (en VHDL) de cette équation à multi variable exige des ressources considérables. Nous désirons donc chercher de nouvelles techniques de design pour réduire la consommation d'énergie et la surface occupée en technologie CMOS

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes:

- Proposer une architecture de «Beamforming» sans considérer la puissance dissipée;
- Considérer un «Beamforming» reconfigurable;
- Considérer la basse puissance et la petite surface;
- Concevoir les blocs numériques en utilisant VHDL;
- Analyser des résultats en comparant avec les simulations par MATLAB et par le simulateur logique;
- Valider l'ensemble du système sur plate-forme reconfigurable.

RÉSULTATS:

La conception et l'implémentation VHDL d'une première architecture du « Beamforming » sans considérer la réduction de la dissipation de puissance ont été complétées et nous travaillons les autres étapes énumérées ci-dessus.

YANG, Michael

DIPLÔME: Ph.D.

TITRE:

Développer une méthode de design systématique d'un circuit logique quantique pour résoudre des problèmes complexes.

RÉSUMÉ:

Les ordinateurs quantiques peuvent théoriquement résoudre des problèmes dit np-complets dans des temps/ressources polynomialement fonction du nombre de variable impliquée. Plusieurs problèmes rencontrés en datamining d'immenses entrepôts de données, en simulation de systèmes réels, en prédiction, ne peuvent être abordés avec des architectures

PROBLÉMATIQUE :

En logique classique, il existe plusieurs méthodes systématiques, plus ou moins optimales, pour réaliser un circuit à partir d'un algorithme. Une façon de réaliser un circuit quantique pourrait être de convertir chacune des architectures classiques à une architecture quantique nous permettant ainsi de superposer un nombre exponentiel de processus et de les traiter en parallèle. Cependant, les problèmes complexes (np complet) appellent des méthodes différentes et trouver un circuit quantique efficace (et réalisables) pouvant effectuer certaines fonctions arithmétique d'un algorithme parallélisable est une partie non triviale de ce domaine (comme l'algorithme de Peter Shor sur la factorisation de nombres premiers).

MÉTHODOLOGIE:

- Trouver des exemples simples, mais adéquats pour illustrer le gain obtainable à utiliser un circuit quantique ;
- Décomposer une fonction en plusieurs fonctions quantiques qui soient orthogonales d'une p/r à l'autre ou pouvant utiliser l'essentiel de l'approche de Shor (transformé d'Hadamard/Fourier) ;
- Exprimer chacune de ces fonctions orthogonales par des opérations logiques dont le nombre est indépendant de la grandeur de la sortie de cette fonction exprimée ;
- Réaliser ces opérations logiques par des portes quantiques universelles ;
- Prouver que le temps de calcul/matériel nécessaire croît polynomialement avec le nombre d'entrées.

RÉSULTATS:

- Comprendre la littérature récente (algorithme de Shor et application en RMN) sur la façon de décomposer une fonction telle que «a exposant x modulo n» ;
- Nous avons déjà réussi à convertir une petite architecture classique (additionneur) pouvant être réalisée grâce à une architecture quantique.

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés ci-haut sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels).

Subventions, contrats et conventions de recherche individuelles

Chercheur	Organisme, Programme	Montant annuel	Période de validité	Titre
Audet, Y.,	CRSNG, Micronet	20,000.00 \$	2001 – 2002	«Characterization of CMOS Gate-Controlled Lateral Bipolar Phototransistors for Active Pixel Sensors and Optical Communications»
Bois, G.	CRSNG	18,972.00 \$	2000 – 2003	«Estimation, raffinement et synthèse des communications dans le processus de codesign logiciel/matériel»
Boyer, F.R.,	CRSNG	82,000.00 \$	2002- 2006	Horloge à période variable et lien entre le synchrone et l'asynchrone
Boyer, F.R.,	École Polytechnique de Montréal	15,000.00 \$	2003 – 2004	Traitement de signal et isolation de la voix dans des prothèses auditives numériques
Brault, J.J.,	CRSNG	17,000.00 \$	2002 - 2005	Circuits électroniques pour l'optimisation utilisant le recuit déterministe
Martel, S.,	Chaire de Recherche du Canada	100,000.00 \$	2001 – 2005	«Conception de micro/nano systèmes»
Martel, S.,	CRSNG	32,000.00 \$	2002 - 2005	«Miniature Instrumented Robots for Applications at the Molecular and/or Atomic Scale»
Martel, S.,	Polytechnique – MIT Collaborations MEQ	40,000.00 \$	2001 – 2002	«Stage en entreprises»
Meunier, M.,	CRSNG	34,650.00 \$	1999 – 2002	«Couches minces et nanoparticules par laser pulsé»
Savaria, Y.,	Chaire de Recherche du Canada	200,000.00 \$	2001 – 2008	«Conception de systèmes microélectroniques intégrés»
Savaria, Y.,	CRSNG	51,728.00 \$	2001 – 2004	«Méthodes de conception de circuits intégrés analogiques précis et d'horloges rapides et précises»
Savaria, Y.,	Hyperchip	84,000.00 \$	2000 – 2002	«Wafer-Scale High Performance Digital Switches; Design, Implementation and Test Demonstration»
Savaria, Y.	CRSNG, Micronet, PMC Sierra, Gennum	133,000.00 \$	2002– 2003	«Architecture of Digital Video Circuits and Synchronization of High Speed Systems»

Chercheur	Organisme, Programme	Montant annuel	Période de validité	Titre
Savaria, Y.,	Ministère de la Défense Nationale	80,000.00 \$	2000 – 2002	Investigation of Digital Hardware Implementation of IMOP
Sawan, M.,	CRSNG	30,900.00 \$	2000 – 2002	«Circuits intégrés mixtes dédiés aux systèmes électroniques sans fils»
Sawan, M.,	Victhom	300,000.00 \$	2002 - 2005	Design et réalisation d'un capteur d'ENG.
Sawan, M.,	Micronet, CRSNG,	20,000.00 \$	2000 – 2002	«High Performance Mixed-Signal Circuits for Future Wireless Application»
Sawan, M.,	CRSNG	46,850.00 \$	2002 – 2006	Smart Medical Microsystems Dedicated for Wireless and Massively Parallel Neural Recording in the Cortex
Sawan, M.,	Chaire de Recherche du Canada	200,000.00 \$	2000 – 2007	«Dispositifs médicaux intelligents»

Subventions, contrats et conventions de recherche de groupe

Chercheurs	Organisme Programme	Montant annuel	Période de validité	Titre
Aboulhamid, M. Bois, G.	CRSNG, Micronet, Mentor Graphics,	191,600.00 \$	2000 – 2003	«Synthesis and Verification of Systems - On-A-Chip»
Aboulhamid, M. Bois, G.,	Micronet, CRSNG, Mentor Graphic	75,000.00 \$	2000 - 2003	Hardware/Software System Partitioning and Development of Estimation Tools
Audet, C., Beaudry, C., Bertrand, F., Boyer, F.R., Dufour, S., Galinier, P., Roy, R., Saucier, A.,	Fondation Canadienne pour l'Innovation (FCI)	4,574,178.00 \$	2002 - 2006	Plate-forme de développement d'algorithmes parallèles pour la modélisation et l'optimisation de systèmes complexes d'ingénierie et de systèmes multi-agents de production industrielle.
Barge, B., Savaria, Y., et 5 autres	Fondation Canadienne pour l'Innovation (FCI)– FCI - National Networks	2,300,000.00 \$	2002 – 2005	National Collaboratory for Verification, Validation and Testing in Microelectronics Photonics and Systems
Bengio, Y., Brault, J.J.,	IRIS Precarn	20,000.00 \$	2001 – 2002	Basic Research and continuing education in learning algorithms

Chercheurs	Organisme Programme	Montant annuel	Période de validité	Titre
Bois, G., Sawan, M., Savaria, Y., Gourdeau, R.,	Ministère de l'Éducation (Québec)	156,614.00 \$	2002 – 2003	Laboratoire pour la conception conjointe logiciel/matériel de systèmes embarqués
Bois, G., Sawan, M., Savaria, Y.,	Société Canadienne de Microélectronique	112,455.00 \$	2001 - 2002	Digital Test Equipment Competition
Bois, G., Sawan, M., Savaria, Y., et al.	Société Canadienne de Microélectronique	82,450.00 \$	2002 - 2003	Poste de travail pour la conception VLSI
Camarero, R., Savaria, Y., et 8 autres	Fondation Canadienne de l'Innovation CRSNG, MEQ, Fonds Polytechnique	1,595,000.00 \$	1999 - 2003	«Projet Étoile : Réseau de métaconception et prototypage»
Ghannouchi, F., Sawan, M.,	CRSNG Stratégique	29,100.00 \$	2002 - 2004	Power and spectrum efficient RF/DSP designed transmitters for 4G applications
Houde, D., Maciejko, R.,	Valorisation Recherche Québec	597,500.00 \$	2001- 2004	«FEMTOTECH : développements et applications des technologies laser à impulsion ultra -brèves
Martinu, L., Meunier, M et 3 autres	FCAR Infrastructure	50,000.00 \$	1999 - 2001	«Modification de surfaces»
Martinu, L, Meunier, M et 3 autres	FCAR Équipement	25,000.00 \$	1999 - 2001	«Modification de surfaces»
Marsh, T., Savaria, Y. & Al.	Fondation Canadienne de l'Innovation (FCI)	5,002,739.00 \$	2000 - 2002	«System-On-Chip Research Network: A national library of microelectronic systems components and CAD tools available to multiple research sites through secure communication links»
Martel, S., Hatsopoulos, N.	MIT – Brown University Collaboration	100,000.00 \$	2001 - 2002	«Telemetric Electrode Array System NIMA Foundation»
Meunier M., et 16 autres	FCAR, Centre	145,000.00 \$	1999 - 2001	GCM infrastructure
Meunier M., et 12 autres	CRSNG Infrastructure	170,000.00 \$	1999 - 2001	«Thin >Film Group Laboratory»
Meunier, M., et 9 autres,	FCI Infrastructure	10,860,000 \$	2000 - 2002	«Mini Superionic Conductors»

Chercheurs	Organisme Programme	Montant annuel	Période de validité	Titre
Meunier, M., Yelon, A.,	CRSNG Coop	45,000.00 \$	2000 - 2001	«Micro-piles SOFC»
Meunier, M., Savaria, Y.,	LTRIM Partenariats Technologiques	60,000.00 \$	2002 – 2005	«Modélisation d'un procédé de calibrage par laser de circuits microélectroniques et élaboration d'un algorithme de centrale»
Meunier, M., Savaria, Y.,	CRSNG	220,000.00 \$	2002 - 2004	«Modélisation d'un procédé de calibrage par laser de circuits microélectroniques et élaboration d'un algorithme de centrales»
Savaria, Y., Bois, G. Sawan, M.,	FCAR Équipe	65,000.00 \$	2000 – 2003	«Méthodes de conception des systèmes électroniques modernes»
Savaria, Y., Bois, G., Sawan, M.,	Polytechnique Infrastructure	35,000.00 \$	2001 – 2002	Fonds interne
Savaria, Y., Badia, A., Desjardins, P., Rochefort, A.	CRSNG	80,000.00 \$	2002 – 2004	«A molecular electronic test platform for the development of an integrated hybrid CMOS/molecular electronic technology»
Sawan, M., Savaria, Y., & Al.	Fondation Canadienne pour l'Innovation Gouvernement du Québec	1 740,217.00 \$	2000 – 2003	«Dispositifs Médicaux Intelligents (DMI): Design, Construction Essais et Validation in Vitro et inVivo»
Sawan, M., Guitton, D., Savaria, Y., Meunier, M	CRSNG stratégique	135,700.00 \$	2000 – 2003	«Dispositif électronique implantable dédié à la création d'une vision artificielle chez les non-voyants»
Sawan, M., Corcos, J., Elhilali, M.,	Institut de la recherché en Santé	99,000.00 \$	2002 – 2005	Wireless monitoring and subsequent selective stimulation to efficiently recuperate the bladder function in spinal cord injured patients.
Sawan, M., et 19 autres	NATEQ (FCAR) Infrastructure	255,000.00 \$	2002 – 2006	«Centre de recherche ReSMiQ»

ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA) AU GRM ET À LA POLYTECHNIQUE.

<p>Fournisseur: ACA 1 x Sun GPID CNTL (SB488A)</p> <p>Fournisseur: CMC 1 x RPB (MOD2) 1 x Test Head (REVO) 1 x Test Head (TH1000)</p> <p>Fournisseur: DIGIDYNE99 1 x SMI (K1236)</p> <p>Fournisseur: GGB 6 x Microwave Probe (40A) 3 x Picoprobe (28) 2 x Power supply (Dual Output)</p> <p>Fournisseur: HP 1 x A/D Digitizer (E1429B) 1 x A/W Generator (E1445A) 1 x Calibration Kit (85033D) 1 x Comman Module (E1406A) 1 x D20 System (E1494A) 1 x Instrument Rack (E3661A) 1 x Moniteur Couleur (17") 1 x Analyseur Network (8753E) 2 x Patter I/O POD (E1454A) 1 x Programmable P/S (6623A) 1 x Analyseur Spectrum (8593E) 1 x Terminator PAT I/O (E1452A) 1 x HPUX Test Station (745i) 1 x Timing Module (E1450A) 1 x Timing POD (E1453A) 1 x VXI Mainframe (E1401A)9999</p> <p>Fournisseur: IMS 1 x Système Test XL100</p>	<p>Fournisseur: SUN 1 x Sun Blade 1000 (5 Go) 2 x Sun Blade 100 (2 Go) 2 x Station ULTRA 10 4 x Station ULTRA1-140 2 x Serveur Entreprise1-140 3 x Serveur Ultra 10</p> <p>1 x Storage A1000 (200 Go) 1 x Disk Externe UNIPACK (9.1GB) 1 x Disk Externe MultiPack</p> <p>6 x Moniteurs couleur 20" 4 x Moniteurs couleur 21" 1 x Tape .25" 150MB 1 x Tape Drive 20-40GB 8MM</p> <p>Fournisseur: TEK 1 x Power Meter NRVS 1 x Power Sensor NRV-Z6</p> <p>Fournisseur: TEKTRONIX 1 x CAL Substrate CAL96</p> <p>Fournisseur: TESTFORCE 1 x A/W Generator 8750 4 x Micropositioner MH5-L 4 x Micropositioner MH5-R</p>
---	---

ÉQUIPEMENT APPARTENANT AU GROUPE (www.GRM.polymtl.ca)

<p>PC : ~ 85 x PC variant de Pentium-I à Pentium-IV</p> <p>SUN : (GRM) (27) SUN SparcStation 1 x SunBlade 1000 2-Proc 3 x Sun Ultra-10 2 x Sun Ultra-5 1 x Sun Ultra-1 7 x Sun SparcStation 10 8 x Sun SparcStation 5 5 x Sun SparcStation 4</p> <p>1 x Sun Storage A1000 (400 Gig RAID-5) 6 x SUN External disk drive 2 x SUN 150 MB external tape drive 2 x SUN 14 GB external tape drive</p> <p>(VLSI) 15 x SunBlade 100 1 x Ultra -10 1 x Ultra -1</p> <p>Imprimantes : 2 x HP printer LaserJet 4050TN 2 x HP printer LaserJet 4M+ 1 x HP printer LaserJet 5M 1 x HP printer Laser jet III 1 x HP printer 1200/C 2 x HP printer DeskJet C 1 x HP Color Deskjet 3820</p> <p>Autre : ~100 x APC UPS (GRM & VLSI)</p> <p>Microélectronique :</p> <p>1 x HP Semi-Cond. P.A. 4145A 1 x HP function Generator 8111A 1 x HP Constellation Analyzer 3709B 1 x HP Spectrum Analyzer 8553L 1 x HP Spectrum Analyzer 3580A 2 x HP oscilloscope 1741A 1 x HP Power supply 6202B 1 x HP CW Generator 83712B 1 x HP Logic Analyzer 16500B 1 x HP Pulse Generator 81130A</p>	<p>Microélectronique : (suite)</p> <p>1 x HP Oscilloscope 54120B 1 x HP Impedance Analyzer 4294A 1 x HP Spectrum Analyzer 8593E 2 x HP Power Supply E3641A 1 x HP Network Analyzer 8753E 1 x HP Oscilloscope 54616 1 x HP WaveForm Generator 33250A 1 x HP Oscilloscope 54645D 1 x HP WaveForm Generator 33120A 1 x Rapid prototyping board V.2 1 x ARM SOC prototyping board 1 x Miranda Research Espresso 1 x MiroTech Cage VME et Pc 1 x Tektronix Analyseur Logique 3002 1 x PHILIPS oscilloscope 0-25 MHz PM3212 1 x SUN 76" data center cabinet 2 x DC power Supply Agilent 34970A 1 x Wentworth Prober Microscope Camera 195lh 1 x Head Test TH1000 1 x Oscilloscope 7623 1 x Keithley SMU 230 1 x SRS Signal Analyzer SR785 1 x Headtest IMS 1 x Power Meter 1020.1809.02 1 x BK-Precision Fnc. Generator 4011 2 x TPS Power Supply TPS4000 1 x LeCroy Oscilloscope 9304 3 x Tektronix Oscilloscope TDS320 1 x Tektronix Logic Analyzer TLA715 1 x Keithley Multimètre 2002 2 x Weller (Fer à souder) 3 x Philips Power Supply PE1514 2 x Xantrex Power Supply XT20-3 1 x Instek Power Supply PC-3030 1 x BGA rework station 1 x K&S LEICA Ball Bonder 1 x Volumetric Ventilator (Drager) 1 x 101dB Attenuator (RLC) 1 x Programmable Furnace (Barnstead) 1 x BGA Station Rework (OK) 1 x Saline Bath (PolyScience) 1 x GPIB PCI card (Ines) 1 x Impedance analyzer fixtures (5) (Agilent) 1 x Solder Paste Dispenser (Techcon) 1 x Micromanipulator (Nahishige) 1 x Shaker (Data Physics)</p>
--	---

LOGICIELS

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible au laboratoire de microélectronique. Quelques-uns de ces logiciels sont achetés par le GRM, les autres, Cadence, Mentor, Synopsys, Xilinx etc, sont distribués en tout ou en partie par la Société Canadienne de Microélectronique. (CMC)

Aldec

ARM developer suite for SOC/IP

Cadence (environnement intégré par la conception des circuits VLSI)

- IC
- ICC
- Cadmos
- DES
- DSMDP
- DSMSE
- FE
- LDV
- SPR
- SPW
- VCC

FrameMaker 4 et 5 (Logiciel de traitement de texte spécialisé)

HSPICE (maintenant Synopsys)

Matlab (logiciel pour le traitement mathématique)

- Matlab de Math Works
- DSB Block set de Math Works
- Fuzzy Logic Toolbox de Math Works
- Matlab Compiler de Math Works
- Neural Network Toolbox de Math Works
- Nonlinear Control Design Block set de Math Works
- Optimization Toolbox de Math Works
- Partial Differential Equation Toolbox de Math Works
- Power System Block set de Math Works
- Robust Control Toolbox de Math Works
- Statistics Toolbox de Math Works
- Extended Symbolic Math Toolbox de Math Works
- Wavelet Toolbox de Math Works
- Communications Toolbox de Math Works
- Communications Block set de Math Works
- Data Acquisition Toolbox de Math Works
- Real-Time Workshop de Math Works
- State flow de Math Works

Mentor Graphics

- C.1, C.2
- DFT
- HDL Designer
- Seamless
- Renoir
- Calibre
- Model Tech / ModelSim
- DxD-EE Innoveda
- HyperLynx 6.1/Innoveda
- Power PCB 5.0/Innoveda
- BoardSim/Innoveda
- Design Suite/Innoveda

Logiciels (suite)

Synopsys

- SIM (Core Simulation Tools)
- SYN (Core Synthesis Tools)
- CCSS (Co-Centric)
- FM (Formality)
- PT (PrimeTime)
- FPGA Compiler2
- HSPICE (et STAR SIM)

Synplicity / Synplify

Virage Logic – Compilateur de mémoire matériel

Xilinx Alliance

TSpice with L-Edit de Tanner

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés pour publication

- [A-1] CORMIER, L.M., MA, F., BAH, S.T., GUÉTRÉ, S., MEUNIER, M., PALEOLOGOU, M., YELON, A., «Sodium Salt Splitting Performance of a Novel NASICON-polymer Composite Action Selective Membrane», accepté pour publication *J. Electrochemical Society*, 2001.
- [A-2] FAYOMI, C., SAWAN, M., ROBERTS, G.W., «Reliable Circuit Techniques for Low-Voltage Analog Design in Deep Submicron Standard CMOS: A Survey», accepté pour publication à *Analog Integrated Circuits & Signals Processing J. (AICSPJ)*, 2002.
- [A-3] KABASHIN, A.V., MEUNIER, M., «Photoluminescence characterization of Si-based nanostructured films produced by pulsed laser ablation in an inert residual gas», accepté dans *J. Vacuum Science and Tech.*, 2001.
- [A-4] KABASHIN, A.V., SYLVESTRE, J.P., PATSKOVSKY, S., MEUNIER, M., «Correlation between photoluminescence properties and morphology of laser-ablated Si/SiO_x nanostructured films», accepté à *J. Applied Physics*, 2001.
- [A-5] KABASHIN, A., MEUNIER, M., «Fabrication of Photoluminescent Si-based layers by air optical breakdown near the silicon surface», accepté dans *Applied Surface Science*, 2001.
- [A-6] KASSEM, A., WANG, J., KHOUAS, A., SAWAN, M., BOUKADOUM, M., «Variable Delay CMOS Implementation for Ultrasonic Beamforming» accepté à ICM 2002 Conference, International Conference on Microelectronic, Lebanon
- [A-7] LOISEAU, L., SAVARIA, Y., «Methodologies and Strategies for Effective Design-Reuse» accepté à la revue Canadienne de Génie Électrique, septembre 2002.
- [A-8] MARTEL, S., MADDEN, P., HUNTER, I., ROUSHDY, O., MADDEN, J., SOSNOWSKI, L., LAFONTAINE, S., «Toward nano-factories operated by miniature autonomous robots capable of various tasks at the molecular and atomic scales», accepté à *Journal of Micromechanics*.
- [A-9] ZHONGFANG, J., LAURIN, J. -J., SAVARIA, Y., «A Practical Approach to Model Interconnects in VLSI Systems», accepté pour publication à *IEEE Transactions on VLSI*, 2001.

Articles de revues publiés de septembre 2001 à août 2002

- [P-1] ABDEL-GAWAD, M., BOYER, S., SAWAN, M., ELHILALI, M.M., «Reduction of bladder outlet resistance by selective stimulation of the central sacral root using high frequency blockage: a chronic study in spinalized dogs», *J. Urol.*, vol. 166, no 22, 2001, pp. 728-733.
- [P-2] BEAUDIN, S., MARCEAU, R., BOIS, G., SAVARIA, Y., KANDIL, N., «An Economic Parallel Processing Technology for Faster than Real-Time Transient Stability Simulation» accepté pour publication dans *European Transactions on Electrical Power*, vol. 13, no. 2 mars/avril 2002.
- [P-3] BOYER, F., ABOULHAMID, M., SAVARIA, Y., «Optimal Design of Synchronous Circuits Using Software Pipelining Techniques», *ACM TODAES*, vol. 6 no. 4, octobre 2001, pp. 516-532
- [P-4] BOYER, S., SAWAN, M., ABDEL-GAWAD, M., ROBIN, S., ELHILALI, M.M., «Implantable Selective Stimulator to Improve Bladder Voiding: Design and Chronic Experiments in Dogs», *IEEE Trans. On Rehabilitation Eng.*, vol. 8 no. 4, 2000, pp. 464-470.
- [P-5] CALBAZA, D.E., SAVARIA, Y., «A Direct Digital Period Synthesis Circuit», *Journal of Solid-State Circuits*, vol. 37, no. 8 août 2002, pp. 1039-1045.
- [P-6] CALBAZA, D.E., SAVARIA, Y., «Direct Digital Frequency Synthesis of Low-Jitter Clocks», *Journal of Solid-State Circuits*, vol. 36, no. 3, mars 2001, pp. 570-572
- [P-7] CRAMPON, M.A., BRAILOVSKI, V., SAWAN, M., TROCHU, F., «Nerve cuff electrode with shape memory alloy armature: Design and fabrication», *Bio-Med Mat & Eng. J.*, Vol. 12, no, 4, 2002, pp. 397-410.
- [P-8] DECORSE, P., QUENNEVILLE, E., MEUNIER, M., YELON, A., MORIN, F., «Characterization of La_{0.5}Sr_{0.5}MnO₃ thin films prepared by pulsed laser deposition» *J Vac. Sci. Technol. A.*, 2001, A19, 910-916.
- [P-9] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «New CMOS Short-Locking Time and Wide-Locking Range Frequency-Locked Loop», *IEEE Trans. On Circuits & Systems II*, vol. 48. No. 5, 2001, pp. 441-449.
- [P-10] DONFACK, C., SAWAN, M., SAVARIA, Y., «Efficient Monitoring of Electrodes Nerve Contacts During FNS of the Bladder» *Med & Bio. Eng. & Comp.*, vol. 38, 2000, p. 465-468.

Articles de revues publiés de septembre 2001 à août 2002. (suite)

- [P-11] GRANGER, E., RUBIN, M.A., GROSSBERG, S., LAVOIE, E., «A What-and-Where Fusion Neural Network for Recognition and Tracking of Multiple Radar Emitters», *Neural Networks*, pp. 325-344, 2001.
- [P-12] HU, Y., SAWAN, M., «CMOS Front-end Amplifier Dedicated to Monitor Low Amplitude Signal from Implantable Sensors», *Kluwer Analog IC & Signal Proc.*, J., Vol. 33, no. 1, 2002, pp. 29-41
- [P-13] KABASHIN, A.V., CHARBONNEAU-LEFORT, M., MEUNIER, M., LEONELLI, R., «Effects of Deposition and Post-fabrication Conditions on Photoluminescent Properties of Nanostructures Si/SiO_x Films Prepared by Laser Ablation», *Applied Surface Science*, 168, 2000 pp. 328-331.
- [P-14] LORAZO, P., LEWIS, L.J., MEUNIER, M., «Picosecond Pulsed Laser Ablation of Silicon: A Molecular-dynamics Study», *Applied Surface Science*, 168, 2000, pp. 276-279.
- [P-15] MEUNIER, M., GAGNON, Y., LACOURSE, A., SAVARIA, Y., CADOTTE, M., «A New Laser Trimming Process for Microelectronics». *Applied Science*, 2002, vol. 186, no. 1 pp. 52-56.
- [P-16] QUENNEVILLE, E., SMITS, J.P., MORIN, F., MEUNIER, M., YELON, A., «Electronic transport by Small Polarons in La_{0.5} Sr_{0.5} MnO₃», *J. Applied Physics* 90, 2001, pp. 1891-1896.
- [P-17] WU, X., SACHER, E., MEUNIER, M., «Thermophoresis: Applications for preventing particle recontamination», *J. Adhesion* 75, 2001, p. 341.
- [P-18] YANG, D.Q., MEUNIER, M., SACHER, E., «The Estimation of the Average Dimensions of Deposited Clusters from XPS Emission Intensity Ratios», *Applied Surface Science*, 173, 2001, pp. 134-139.

Articles de revues publiés de septembre 2000 à août 2001

- [P-19] ABDEL-GAWAD, M., BOYER, S., SAWAN, M., ELHILALI, M.M., «Reduction of bladder outlet resistance by selective stimulation of the central sacral root using high frequency blockage: a chronic study in spinalized dogs», *J. Urol.*, vol. 166, no 22, 2001, pp. 728-733.
- [P-20] BOYER, S., SAWAN, M., ABDEL-GAWAD, M., ROBIN, S., ELHILALI, M.M., «Implantable Selective Stimulator to Improve Bladder Voiding: Design and Chronic Experiments in Dogs», *IEEE Trans. On Rehabilitation Eng.*, vol. 8 no. 4, 2000, pp. 464-470.
- [P-21] CALBAZA, D.E., SAVARIA, Y., «Direct Digital Frequency Synthesis of Low-Jitter Clocks», *Journal of Solid-State Circuits*, vol. 36, no. 3, mars 2001, pp. 570-572
- [P-22] DECORSE, P., QUENNEVILLE, E., MEUNIER, M., YELON, A., MORIN, F., «Characterization of La_{0.5}Sr_{0.5}MnO₃ thin films prepared by pulsed laser deposition» *J Vac. Sci. Technol. A.*, 2001, A19, 910-916.
- [P-23] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «New Frequency-locked loop based on CMOS frequency-to-voltage converter: design and implementation», *IEEE Trans. On CAS-II*, vol. 48, no. 5, 2001, pp. 441-449.
- [P-24] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «New CMOS Short-Locking Time and Wide-Locking Range Frequency-Locked Loop», *IEEE Trans. On Circuits & Systems II*, vol. 48. No.5, 2001, pp. 441-449.
- [P-25] GRANGER, E., RUBIN, M.A., GROSSBERG, S., LAVOIE, E., «A What-and-Where Fusion Neural Network for Recognition and Tracking of Multiple Radar Emitters», *Neural Networks*, pp. 325-344, 2001
- [P-26] KABASHIN, A.V., CHARBONNEAU-LEFORT, M., MEUNIER, M., LEONELLI, R., «Effects of Deposition and Post-fabrication Conditions on Photoluminescent Properties of Nanostructures Si/SiO_x Films Prepared by Laser Ablation», *Applied Surface Science*, 168, 2000 pp. 328-331.
- [P-27] LORAZO, P., LEWIS, L.J., MEUNIER, M., «Picosecond Pulsed Laser Ablation of Silicon: A Molecular-dynamics Study», *Applied Surface Science*, 168, 2000, pp. 276-279.
- [P-28] MIREUX, OL, BRAULT, J.J., BOSISIO, R., «A Bayesian Network Decoder for Direct-Conversion Microwave and Millimetre-Wave Six Port Receivers», *Microwave and Optical Technology Letters*, juillet 2001, vol. 30, no. 1, pp. 33-38,
- [P-29] QUENNEVILLE, E., SMITS, J.P., MORIN, F., MEUNIER, M., YELON, A., «Electronic transport by Small Polarons in La_{0.5} Sr_{0.5} MnO₃», *J. Applied Physics* 90, 2001, pp. 1891-1896.
- [P-30] SAWAN, M., Comments on Survey done by J. Garvis, N. Rijkhoff, «Functional Electrical Stimulation for Control of Internal Organ Function», *Neuromodul.*, vol. 4 no. 4, 2001 pp. 163-164.

Articles de revues publiés de septembre 2000 à août 2001. (suite)

- [P-31] WU, X., SACHER, E., MEUNIER, M., «Thermophoresis: Applications for preventing particle recontamination», *J. Adhesion* 75, 2001, p. 341.
- [P-32] YANG, D.Q., MEUNIER, M., SACHER, E., «The Estimation of the Average Dimensions of Deposited Clusters from XPS Emission Intensity Ratios», *Applied Surface Science*, 173, 2001, pp. 134-139

Articles de conférence de septembre 2001 à août 2002

- [C-1] AUDET, Y., CHAPMAN, G. H., «Design of a Self-Correcting Active Pixel Sensor», Proceedings of the 2001 International Symposium on DFT in VLSI Systems, San Francisco, CA, pp. 18-26, 2001
- [C-2] BA, A., SCHNEIDER, E., ABDEL-KARIM, A., SAWAN, M., ELHILALI, M., «New Dual Stimulator to Improve the Bladder Functions: Chronic Experiments in Dogs», IFESS, Ljubljana, juin 2002.
- [C-3] BENDALI, A., SAVARIA, Y., «Low-Voltage Bandgap Reference with Temperature Compensation Based on a Threshold Voltage Technique», ISCAS 2002, Phoenix, juin 2002, pp. 201-204.
- [C-4] BOUGATAYA, M., LAKHASI, A., SAVARIA, Y., MASSICOTTE, D., «Mixed fluid-heat transfer approach for VLSI steady state thermal a» Canadian Conference on Electrical and Computer Engineering, 2002, IEEE CCECE 2002, vol. 1, pp. 403-407.
- [C-5] BOYER, F., ABOULHAMID, M., SAVARIA, Y., «Optimal Design of Synchronous Circuits Using Software Pipelining Techniques» accepté pour publication à *ACM Tr. On design Automation of Electrical Systems*, vol. 6 no. 4, 2001, pp. 516-532.
- [C-6] BOYER, F.R., ABOULHAMID, E.M., SAVARIA, Y., «Minimizing sensitivity to clock skew variations using level sensitive latches», European Conference on Circuit Theory and Design, 2001, vol. 2, pp. 253-256.
- [C-7] BRAULT, J.-J., WU, K., BOSISIO, R.G., «Neural Networks in microwave/millimeter wave six ports», NIMIA 2001, Nato Advanced Study Institute on Neural Networks for Instrumentation, Measurement, and Related Industrial Applications, Crema, Italie 9-20 octobre 2001, 8 p.
- [C-8] BRAULT, J.-J., WU, K., BOSISIO, R.G., «Status of New Six-Port Receivers», 7th Ka Band Utilisation Conference, Santa Margherita Ligure, Genève, Italie, 26-28 septembre 2001, 8p.
- [C-9] BURGERT, J., MALASEK, J., MARTEL, S., WISEMAN, C., DYER, R., HUNTER, I., HATSOPOULOS, N., AND DONOGHUE, J., «Embedded Electronics for a 64-channel wireless brain implant», », Proceeding of SPIE: Microrobotics and Microassembly, 29-31 octobre 2001, pp. 124-134
- [C-10] CANTIN, M.-A., SAVARIA, Y., LAVOIE, P., «A Comparison of Automatic Word Length Optimization Procedures», ISCAS 2002, Phoenix, juin 2002, pp. 612-615.
- [C-11] CHABINI, N., ABOULHAMID, E.M., SAVARIA, Y., «Minimizing Register Requirements for Synchronous Circuits Derived Using Software Pipelining Techniques», Proceedings of the 13th International Conference on Microelectronics (ICM 2001), 29-31 octobre 2001, Rabat, Maroc, pp. 249-252.
- [C-12] CHABINI, N., SAVARIA, Y., «Methods for Optimizing Register Placement in Synchronous Circuits Derived Using Software Pipelining Techniques», Proceedings of the 14th International Symposium on System Synthesis (ISSS'2001) octobre 2001, Montréal, pp. 209-214.
- [C-13] CHABINI, N., ABOULHAMID, E.M., SAVARIA, Y., «Determining Schedules for Reducing Power Consumption Using Multiple Supply Voltages», Proceedings of the International Conference on Computer Design (ICCD'2001), Austin, Texas, pp. 546-552.
- [C-14] CHEBLI, R., KASSEM, A., SAWAN, M., «Logarithmic Programmable Preamplifier Dedicated to Ultrasonic Receivers», IEEE-ISCAS, Scottsdale, Arizona, mai 2002.
- [C-15] CHEBLI, R., KASSEM, A., SAWAN, M., «Integrated Front-End Preamplifier Dedicated to Ultrasonic Receivers», IEEE-ICECS, Malta, septembre 2001.
- [C-16] DELAGE, J.F., SAWAN, M., «Lead Compensation to Improve the Stability of a Two Stage Rail-to-Rail CMOS Opamp», IEEE-ICECS, Malta, septembre 2001.
- [C-17] DIDO, J., GÉRAUDIE, N., LOISEAU, L., PAYEUR, O., SAVARIA, Y., POIRIER, D., «A Flexible Floating-Point Format for Optimizing Data-Paths and Operators in FPGA-based DSPs», FPGA'2002, Monterey, février 2002, pp. 50-58.
- [C-18] ELHALLABI, H., SAWAN, M., «High Frequency and High Q CMOS GM-C Bandpass Filter with Automatic On-Chip Tuning» Int. Conf. On Microelectronics, Rabat, Morocco, octobre 2001.

Articles de conférence de septembre 2001 à août 2002 (suite)

- [C-19] ELHALLABI, H., FOUZAR, Y., SAWAN, M., «High Frequency CMOS GM-C Bandpass Filter with Automatic On-Chip Tuning», IEEE-ICECS, Malta, septembre 2001
- [C-20] FILION, L., CHEVALIER, J., BOIS, G., ABOULHAMID, A., «The Syslib-Picasso Methodology for the Co-Design Specification Capture Phase», Proceedings of the International Workshop on System-On-Chip for Real-Time Applications, Calgary, juillet 2002, pp 183-192.
- [C-21] FILION, L., BOIS, G., ABOULHAMID, M., «SYSLIB: A system-level language extended from Cynlib for SoC», Proceedings of the International HDL Conference and Exhibition, San Jose, mars 11-12, 2002, pp 191-197.
- [C-22] FOFONOFF, T., WISEMAN, C., DYER, R., MALASEK, J., BURGERT, J., MARTEL, S., HUNTER, I., HATSOPOULOS, N., DONOGHUE, J., «Mechanical assembly of a microelectrode array for use in a wireless intracortical recording device», IEEE-EMB Special Topic Conference 2nd Annual International Conference on Microtechnologies in Medicine and Biology, Madison, WI, USA, 2 au 4 mai 2002, pp. 269-272.
- [C-23] FOUZAR, Y., SAVARIA, Y., SAWAN, M., «A CMOS Phase-Locked Loop with an Auto-calibrated VCO», IEEE-ISCAS 2002, Phoenix, mai 2002, pp. 177-180.
- [C-24] HASHEMI, S., SAWAN, M., SAVARIA, Y., «Analysis of Power Conversion Chains in Transcutaneously Powered Electronic Implants», Proceedings of 7th Annual Conference of the International Functional Electrical Stimulation Society, IFESS 2002, Ljubljana, Slovénie, juin 2002, pp. 196-199.
- [C-25] HÉNEAULT, Y., FILION, L., BOIS, G., «A Fast Hardware Co-Specification and Co-Simulation Methodology Integrated in a H/S Co-Design Platform» Proceedings of the International Conference on Microelectronic, Maroc, octobre 2001, pp. 253-256.
- [C-26] KHOUAS, A., DERIEUX, A., «FDP : Fault Detection Probability Function for Analog Circuits», IEEE International Symposium on Circuits and Systems ISCAS'01, Sydney, Australie, mai 2001.
- [C-27] LAFRANCE, L-P., CANTIN, M.-A., SAVARIA, Y., SUNG, S.H., LAVOIE, P., «Architecture and Performance Characterization of Hardware and Software Implementations of the Crozier Frequency Estimation Algorithms», ISCAS 2002, Phoenix, juin 2002, pp. 823-826.
- [C-28] LEMIRE, J.-F., REGIMBAL, S., SAVARIA, Y., BOIS, G., ABOULHAMID, E.M., BARON, A., «Applying Aspect-Oriented Programming to Hardware Verification with e», HDLCON'2002, San-José, mars 2002, pp. 68-75.
- [C-29] LOISEAU, L., SAVARIA, Y., «Methodologies and Strategies for Effective Design-Reuse», International Workshop on Systems on Chip», Banff, juillet 2002, pp. 39-48.
- [C-30] MARTEL, S., RIEBEL, S., KOKER, T., SHERWOOD, M., HUNTER, I., «Large-scale nanorobotic factory automation based on the NanoWalker technology», Proceedings of the 8th IEEE International Conference on Emerging Technologies and Factory Automation, Special Session on Microrobotics in Manufacturing, Nice, France 15-18 octobre 2001, pp. 591-597
- [C-31] MARTEL, S., FERRANDO, J. B.C., OLOGUE, L.C., FOFONOFF, T., HUNTER, I., «Implementing frequency modulated piezo-based locomotion for achieving further miniaturization for wireless robots», Proceeding of SPIE: Microrobotics and Microassembly, Newton, MA., 29-31 octobre 2001, pp. 210-220
- [C-32] MARTEL, S., HUNTER, I., «Piezo-drive circuits for amplitude modulated locomotion for miniature wireless robots», Proceeding of SPIE: Microrobotics and Microassembly, Newton, MA., 29-31 octobre 2001, vol. 4658 pp. 199-209.
- [C-33] MARTEL, S., KOKER, T., HUNTER, I., «Main design issues for embedding onto a wireless miniature robot, a scanning tunneling positioning system capable of atomic resolution over a half-meter diameter surface area», Proceeding of SPIE: Microrobotics and Microassembly, Newton, MA, 29-31 octobre 2001, vol. 4568, pp. 68-77.
- [C-34] MARTEL, S., KOKER, T., RIEBEL, S., SHERWOOD, M., SUURKIVI, J., HUNTER, I., «An infrastructure suited for supporting a fleet of wireless miniature robot designed for atomic-scale operations, », Proceeding of SPIE: Microrobotics and Microassembly, Newton, MA, 29-31 octobre 2001, vol. 4568, pp. 221-230.
- [C-35] MARTEL, S., OLAGUE, L.C., FERRANDO, J.B.C., RIEBEL, S., KOKER, T., SUURKIVI, J., FOFONOFF, T., SHERWOOD, M., DYER, R., HUNTER, I., «General description of the wireless miniature NanoWalker robot designed for atomic-scale operations», », Proceeding of SPIE: Microrobotics and Microassembly, Newton, MA, 29-31 octobre 2001 vol. 4568, pp. 231-240.

Articles de conférence de septembre 2001 à août 2002 (suite)

- [C-36] MARTEL, S., EMBLER, J., RIEBEL, S., GIBBONS, J., HUNTER, I., «A novel heat dissipation approach for high-powered miniature robots», *Proceeding of SPIE: Microrobotics and Microassembly*, Newton, MA, 29-31 octobre 2001, vol. 4568, pp. 241,251
- [C-37] MARTEL, S., JONES, L., HUNTER, I., «A mechanically flexible, battery-powered, differential electrode unit for electrophysiological recordings», *Proceedings of the 23rd Annual International Conference of the III, Engineering in Medicine and Biology Society*, Istanbul, Turquie, 25-28 octobre 2001, vol. 3, pp. 3074-3076.
- [C-38] MARTEL, S., HUNTER, I., «A universal front-end stage for electrophysiological mappings», *Proceedings of the 23rd Annual International Conference of the III, Engineering in Medicine and Biology Society*, Istanbul, Turquie, 25-28 octobre 2001, vol. 4, pp. 3244-3247.
- [C-39] MARTEL, S., LAFONTAINE, S., HUNTER, I., «A pc-based instrumentation board that overcomes many drawbacks of typical commercial data acquisition systems for electrophysiological recording applications», *Proceedings of the 23rd Annual International Conference of the III, Engineering in Medicine and Biology Society*, Istanbul, Turquie, 25-28 octobre 2001, vol. 4, pp. 3321-3324.
- [C-40] MARTEL, S., HATSAPOULOS, N., HUNTER, I., DONOGHUE, J., BURGERT, J., MALASEK, J., WISEMAN, C., DYER, R., «Development of a wireless brain implant: the, telemetric electrode array system (teas) project», *Proceedings of the 23rd Annual International Conference of the III, Engineering in Medicine and Biology Society*, Istanbul, Turquie, 25-28 octobre 2001, vol. 4, pp. 3594-3597.
- [C-41] MARTEL, S., HUNTER, I., «An IEEE-1394 based outlet for home automation health care networks», *Proceedings of the 23rd Annual International Conference of the III, Engineering in Medicine and Biology Society*, Istanbul, Turquie, 25-28 octobre 2001, vol. 4, pp. 3739-3742.
- [C-42] MAURER, F., MARTEL, S., «Extreme programming. Rapid development for Web-based applications» *IEEE Internet Computing*, janvier-février 2002, pp. 86-90.
- [C-43] REGIMBAL, S., LEMIRE, J.-F., SAVARIA, Y., BOIS, G., ABOULHAMID. E.M., BARON, A., «Aspect Partitioning for Hardware Verification Reuse», *International Workshop on Systems on Chip*, Banff, juillet 2002, pp. 49-58.
- [C-44] RENAUD, M., SAVARIA, Y., «A Linear Phase Detector for Arbitrary Clock Signals», *ISCAS'2002*, Phoenix, juin 2002, pp. 775-778
- [C-45] SCHNEIDER, E., ABEDL-KARIM, A., SAWAN, M., ELHILALI, M., «New Stimulation Strategy to Improve the Bladder Function in Paraplegics: Chronic Experience in Dogs», *IEEE-EMBS*, Istanbul, Turquie, octobre 2001.

Articles de conférence de septembre 2000 à août 2001

- [C-46] AUDET, Y., CHAPMAN, G.H., «Design of a Self-Correcting Active Pixel Sensor», *Proceedings of the 2001 International Symposium on DFT in VLSI Systems*, San Francisco, CA, 2001 pp. 18-26.
- [C- 47] BOYER, F.R., ABOULHAMID, E.M., SAVARIA, Y., «An efficient verification method for a class of multi-phase sequential circuits», *IEEE International Conference on Electronics, Circuits & Systems*, 2000, pp. 510-515.
- [C-48] CANTIN, M. -A., SAVARIA, Y., PRODANNOS, D., LAVOIE, P., «An Automatic Word Length Determination Method», *ISCAS 2001*, mai 2001, Sydney, Australie, Vol. 5, pp. 53 - 56.
- [C-49] CHABINI, N., ABOULHAMID, M., SAVARIA, Y., «Efficient Methods for Reducing Register and Phase Requirements for Synchronous Circuits Derived Using Software Pipelining Techniques», *Proceeding of the 15th European Conference on Circuit Theory and Design (ECCTD'2001)*, 28-31 août 2001, Espoo, Finlande, vol. 2 pp. 237-240.
- [C-50] CHABINI, N., ABOULHAMID. M., SAVARIA, Y., «Fast Method for Determining an Efficient Bound on the Optimal Solution of the Cost-to-Time Ratio Problem», *Proceedings of the 5th World*
- [C-51] *Multiconference on Systemics, Cybernetics and Informatics (SCI'2001) and ISAS'2001*, 22-25 juillet 2001, Orlando, Floride, Vol. VII, pp. 195-200.
- [C-52] CHABINI, N., ABOULHAMID, M., SAVARIA, Y., «Reducing Register and Phase Requirements for Synchronous Circuits Derived Using Software Pipelining Techniques», *IEEE Computer Society Workshop on VLSI*, 19 – 20 avril 2001, Orlando, Floride, pp. 71 – 77.
- [C-53] CHAREST, L., REID, M., ABOULHAMID, M., BOIS, G., «A Methodology for Interfacing Open Source SystemC with a Third Party Software», *Proc. of DATE 2001*, Munich, Allemagne, mars 2001, pp.16-20.

Articles de conférence de septembre 2000 à août 2001 (suite)

- [C-54] CYR, G., BOIS, G., ABOULHAMID, M., «Synthesis of communication interface for SOC using VSIA recommendations» *DATE 2001, Design Forum*, Munich, Allemagne, mars 2001, pp.155-159.
- [C-55] DJEMOUAI, A., SAWAN, M., «Fast-Locking Low-Jitter Integrated CMOS Phase-Locked Loop», *Proc. Of the IEEE International symposium on Circuits and Systems*, Sydney, Australie, mai 2001
- [C-56] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «New CMOS Integrated Pulse Width Modulator for Voltage Conversion Applications», *IEEE-ICECS*, Kaslik, décembre 2000.
- [C-57] FAYOMI, C., ROBERTS, G., SAWAN, M., «A 1-V, 10 bit, Rail-to-Rail Successive Approximation ADC in Standard 0.18 μ m CMOS Technology», *Proc. Of the IEEE International symposium on Circuits and Systems*, Sydney, Australie, mai 2001.
- [C-58] FAYOMI, C., SAWAN, M., ROBERTS, G.W., «A Design Strategy for a 1-V Rail-to-Rail Input/Output CMOS Opamp» *IEEE-ISCAS*, Sydney, mai 2001.
- [C-59] FOUZAR, Y., SAVARIA, Y., SAWAN, M., «A New Controlled Loop Gain Phase-Locked Loop Technique», *IEEE-ISCAS*, Sydney, mai 2001, vol. 4, pp. 810-813.
- [C-60] FOUZAR, Y., SAWAN, M., SAVARIA, Y., «Very Fast Integrated Phase-Locked Loop Based on Variable Controlled Gain Technique», *IEEE-ICECS*, Kaslik, décembre 2000.
- [C-61] GRANGER, E., RUBIN, M.A., GROSSBERG, S., LAVOIE, P., «Radar ESM with a What-and Where Fusion Neural Network», D.J. Miller et al., eds., *Proc. 2000 Int'l Workshop on Neural Networks for Signal Processing XI*, IEEE Press, pp. 539-438, 2001.
- [C-62] HARB, A., SAWAN, M., «Low-Power CMOS Interface for Recording and Processing Very Low Amplitude Signal», *IEEE-ECECS*, Kaslik, décembre 2000, pp. 911-914.
- [C-63] HU, Y., SAWAN, M., «Low Noise Front-End Amplifier Dedicated to Monitor Very Low Amplitude Signal from Implantable Sensors», *IFESS*, Cleveland, juin 2001.
- [C-64] JECKLEN, E.G., GHANNOUCHI, M., SAWAN, M., BEAUREGARD, F., «Amplifier's Prédistorsion-Based Linearizers for (forward-channel link) (down-link) broadband applications», *IEEE-ICECS*, Kaslik, décembre 2000.
- [C-65] MARTEL, S., et AL., «Techniques for continuous power delivery to a group of 15-Watt + 3.3 to \pm 150 VDC miniature wireless instrumented and fast stepping robots through several thousand intermittent contacts per second between the robots' legs and the walking surface», 5-6 novembre 2000, vol. 4194, pp. 168-177.
- [C-66] MARTEL, S., et AL., «NanoRunner: a very small wireless robot with three piezo-actuated legs suited for design experimentations and validations through pre-programmed behaviours», 5-6 novembre 2000, vol. 4194, pp. 149-156.
- [C-67] MARTEL, S., et AL., «Optical high resolution positioning system for miniature robot», 5-6 novembre 2000, vol. 4191, pp. 121-128.
- [C-68] MARTEL, S., SARASWAT, A., MICHEL, A., HUNTER, I., «Preliminary evaluation and experimentation of the push-slip method for achieving micrometer and sub-micrometer step sizes with a miniature piezo-actuated three-legged robot operating under high normal forces», 5-6 novembre 2000, vol. 4194, pp. 141-148.
- [C-69] MARTEL, S., ROUSHDY, O., SHERWOOD, M., HUNTER, I., «optical high resolution positioning system for miniature robot», *Proceedings of SPIE: Microrobotics and Microassembly*, Boston, MA, 5-6 novembre 2000, vol. 4194, pp. 121-128.
- [C-70] MARTEL, S., et AL., «Fundamentals of piezo-ceramic actuation for micrometer and sub-micrometer motions for the NanoWalker robot», 5-6 novembre 2000, vol. 4194, pp. 82-93.
- [C-71] MARTEL, S., AU, J., HUNTER, I., «A board-level electro-micro fluidic systems fabrication process based on electronic design methodology», *Proceedings of the 1st Annual International IEEE EMBS Special Topic Conference on Micro-Technology in Medicine and Biology*: Lyon, France, 12-14 octobre 2000, pp. 316-321.
- [C-72] MARTEL, S., ROUSHDY, O., HUNTER, I., «Miniature instrumented robots for mass-scale synthesis and characterization», *Proceedings of the 1st Annual International IEEE EMBS Special Topic Conference on Micro-Technology in Medicine and Biology: Micro-Instrumentation*, Lyon, France, 12-14 octobre 2000, pp. 160-164.
- [C-73] MARTEL, S., BEVILACQUA, J., DYER, R., FOFONOFF, T., GARCIA DE QUEVEDO, W., HELM, C., SHERWOOD, M., HUNTER, I., «Development of a miniature three-legged bio-instrumented autonomous robot», *Proceedings of IEEE-EMBS Asia-Pacific Conference on Biomedical Engineering*, Hangzhou, Chine, 26-28 septembre 2000, pp.513-514.

Articles de conférence de septembre 2000 à août 2001 (suite)

- [C-74] MARTEL, S., SHERWOOD, M., HELM, C., GARCIA DE QUEVEDO, W., FOFONOFF, T., DYER, R., BEVILACQUA, J., KAUFMAN, J., ROUSHDY, O., HUNTER, I., «Three-legged wireless miniature robots for mass-scale operations at the sub-atomic scale», *Proceedings of the 2001 IEEE International Conference on Robotics and Automation: From Microrobotics to Nan Robotics*, Seoul, South Korea, 21-26 mai 2001, vol. 4, pp. 3423-3428.
- [C-75] MEUNIER, M., GAGNON, Y., LACOURSE, A., SAVARIA, Y., CADOTTE, M., «A New Laser Trimming Process for Microelectronics» *Proceeding of the SPIE*, janvier 2001, volume 4274, pp. 385-392.
- [C-76] MONTÉ, G., ANTAKI, B., PATENAUDE, S., SAVARIA, Y., THIBEAULT, C., TROUBOURST, P., «Tools for the Characterization of Bipolar CML Testability», *19th IEEE Proc. On VTS 2001, Naveena Nagee Award*, pp. 388-395.
- [C-77] NEKILI, M., SAVARIA, Y., BOIS, G., «Minimizing Process-Induced Skew Using Delay Tuning», *Proc. Of the IEEE International symposium on Circuits and Systems*, Sydney, Australie, mai 2001, vol. 4, pp. 426-429.
- [C-78] NSAME, P., GROU-SZABO, R., SAVARIA, Y., «INTIME: A Multi-Tool Specification Environment for Ensuring Timing Constraints Integrity for SOC Design», *IP Based Design 2000*, décembre 2000, pp. 139-144.
- [C-79] REID, M., CHAREST, L., ABOULHAMID, M., BOIS, G., «Implementing a Graphical User Interface for SystemC», *Proceedings of the International HDL Conference and Exhibition*, San José, Californie, mars 2001, pp. 224-231
- [C-80] THÉRIAULT, L., AUDET, D., SAVARIA, Y., «Performance estimators for hardware/software co-design», *Proc. Of the IEEE International symposium on Circuits and Systems*, Sydney, Australie, mai 2001, vol. 5, pp. 17-20.

AUTRES PUBLICATIONS (invitation)

CHAPITRE DE LIVRES

- [L-1] CHAREST, L., ABOULHAMID, M., BOIS, G., «Applying multi-paradigm and patterns approaches to hardware/software design and reuse», Chap 11 de *Patterns and Skeletons for Parallel and Distributed Computing*, RABHI, F.E. (ed.), Springer Verlag, 2002, pp. 297-325, ISBN 1-85233-506-8.

BREVETS

- [B- 1] DIDO, J., SAWAN, M., BELLEMARE, F., «Catheter for Tran diaphragmatic Pressure and EMGdi Measurements using helicoidal electrodes», pending, mars 2002.
- [B- 2] GAGNON, Y., MEUNIER, M., SAVARIA, Y., «Method and Apparatus for Iteratiely Selectively Tuning the Impedance of Integrated Semiconductor Devices Using a Focused Heating Source», brevet depose au Canada # 2,277,607, US # 6,329,272 accordé en décembre 2001.
- [B- 3] LACOURSE, A., GAGNON, Y., LANGLOIS, H., SAVARIA, Y., «Method for Modifying Impedance of Semiconductor Devices Using a Focused Heating Source», brevet déposé au Canada en août 2002.

RAPPORTS TECHNIQUES

- [R-1] GRANGER, E., SAVARIA, Y., LA VOIE, P., «A Pattern Reordering Approach Based on Ambiguity Detection for On-Line Category Learning», Rapport technique EPM/RT -01/02, École Polytechnique de Montréal, octobre 2001, 40 pages.

INDEX DES AUTEURS

	<i>GRANGER, Éric</i>	59
A		
<i>AMEZZANE, Ilham</i>		19
<i>ANDRÉ, Walder</i>		20
B		
<i>BA, Aguibou</i>		21
<i>BAILLARGÉ, Jacques</i>		22
<i>BENDALI, Abdelhalim</i>		23
<i>BENNY, OLIVIER</i>		24
<i>BERTOLA, Marc</i>		25
<i>BOYER, Stéphane</i>		26
<i>BOYOGUENO BENDÉ, André</i>		27
<i>BUFFONI, Louis-Xavier</i>		28
<i>BUI, Hung Tien</i>		29
C		
<i>CALBAZA, Dorin-Emil</i>		30
<i>CANTIN, Marc-André</i>		31
<i>CARNIGUIAN, Sylvain</i>		32
<i>CHABINI, Nouredine</i>		33
<i>CHEBLI, Robert</i>		34
<i>CHEVALIER, Jérôme</i>		35
<i>CHOUCHANE, Tahar</i>		36
<i>CHUREAU, Alexandre</i>		37
<i>COUDYSER, Michael</i>		38
<i>COULOMBE, Jonathan</i>		39
D		
<i>DELAFOSSÉ, Maurice Jacques-A.</i>		40
<i>DELAGE Jean-François</i>		41
<i>DESLAURIERS, François</i>		42
<i>DIDO, Jérôme</i>		43
<i>DJEBBI, Moncef</i>		44
<i>DJEMOUAI, Abdelouhab</i>		45
<i>DUBOIS, Martin</i>		46
<i>DUBOIS, Mathieu</i>		47
<i>DUVAL, Olivier</i>		48
E		
<i>ELSANKARY, Kamal</i>		49
F		
<i>FAYOMI, Christian</i>		50
<i>FILION, Luc</i>		51
<i>FORTIN, Marc-Antoine</i>		53
<i>FOUZAR, Youcef</i>		54
G		
<i>GERVAIS, Jean-François</i>		55
<i>GHATTAS, Hany</i>		56
<i>GILSON, Mathieu</i>		57
<i>GOSSELIN, Benoît</i>		58
H		
<i>HARB, Adnan</i>		60
<i>HASHEMI, Saeid</i>		61
<i>HU, Yamu</i>		62
I		
<i>IZOUGGAGHEN, Badre</i>		63
J		
<i>JECKLEN, Ernesto</i>		64
K		
<i>KASSEM, Abdallah</i>		65
<i>KUMAR, Padmapriya</i>		66
L		
<i>LAFRANCE, Louis-Pierre</i>		67
<i>LANGLOIS, Hughes</i>		68
<i>LAVIGUEUR, Bruno</i>		69
<i>LAYACHI, Mohammed</i>		70
<i>LEMIRE, Jean-François</i>		71
<i>LOISEAU, Ludovic</i>		72
<i>LU, Meng</i>		73
<i>LU, Zhijun</i>		74
M		
<i>MARDARE, Diana-Liliana</i>		75
<i>MBAYE, Mame Maria</i>		76
<i>MCFADDEN, David</i>		77
<i>MONTÉ-GENEST, Ginette</i>		78
<i>MORIN, Dominic</i>		79
N		
<i>NSAME, Pascal</i>		80
P		
<i>PEPGA BISOU, Jean</i>		81
<i>PIERAUT, Francis</i>		82
<i>PIGEON, Sébastien</i>		83
<i>PY, Jean-Sébastien</i>		84
Q		
<i>QIN, Lisheng</i>		85
<i>QIU, Bing</i>		86
<i>QUINN, David</i>		87

R

RÉGIMBAL, Sébastien..... 88
RENAUD, Mathieu..... 89
RICHARD, Jean-François 90
RONDONNEAU, Mathieu 91

S

SAMMOU, Redouane..... 92

T

TIZU, Marius Sorin..... 93
TRABELSI, Abdelaziz..... 94

TREMBLAY, Jean-Marc 95
TRÉPANIÉ, Jean-Luc..... 96

W

WANG, Jiahong..... 97
WANG, Junfeng..... 98

Y

YANG, Michael 99